

**T.C.
İNÖNÜ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**KESİR DERECELİ KONTROL SİSTEMLERİNDE PARAMETRE
OPTİMİZASYONUNA DAYALI KONTROLÖR TASARIMI**

TUFAN DOĞRUER

**DOKTORA TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI**

ARALIK 2019

Tezin Başlığı : Kesir Dereceli Kontrol Sistemlerinde Parametre Optimizasyonuna Dayalı Kontrolör Tasarımı

Tezi Hazırlayan : Tufan DOĞRUER

Sınav Tarihi : 13.12.2019

Yukarıda adı geçen tez jürimizce değerlendirilerek Elektrik-Elektronik Mühendisliği Anabilim Dalında Doktora Tezi olarak kabul edilmiştir.

Sınav Jüri Üyeleri

Tez Danışmanı : Prof. Dr. Nusret TAN

İnönü Üniversitesi

Prof. Dr. İbrahim KAYA

Dicle Üniversitesi

Prof. Dr. Arif MEMMEDOV

İnönü Üniversitesi

Prof. Dr. Serdar Ethem HAMAMCI

İnönü Üniversitesi

Doç. Dr. Fevzi HANSU

Siirt Üniversitesi

Prof. Dr. Kazım TÜRK

Enstitü Müdürü

ONUR SÖZÜ

Doktora Tezi olarak sunduđum “**Kesir Dereceli Kontrol Sistemlerinde Parametre Optimizasyonuna Dayalı Kontrolör Tasarımı**” başlıklı bu çalışmanın bilimsel ahlak ve geleneklere aykırı düşecek bir yardıma başvurmaksızın tarafımdan yazıldığını ve yararlandığım bütün kaynakların, hem metin içinde hem de kaynakçada yöntemine uygun biçimde gösterilenlerden oluştuđunu belirtir, bunu onurumla doğrularım.

Tufan DOĐRUEK

ÖZET

Doktora Tezi

KESİR DERECELİ KONTROL SİSTEMLERİNDE PARAMETRE OPTİMİZASYONUNA DAYALI KONTROLÖR TASARIMI

Tufan DOĞRUER

İnönü Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalı

204+xiii sayfa

2019

Danışman: Prof. Dr. Nusret TAN

Kontrol sistemini kararlı yapan, istenen çıkış cevabını sağlayacak kontrolör parametrelerinin başarılı bir şekilde belirlenmesi kontrol teorisinde üzerinde durulması gereken en önemli konu başlıklarından birisidir. Günümüze kadar, kontrolör parametrelerinin belirlenmesinde birçok yöntem kullanılmıştır. Bütün bu kontrolör parametrelerinin ayarlanmasına yönelik metotlar farklı kontrol sistemlerinde farklı sonuçlar verebilir. Bundan dolayı en iyi kontrolör parametrelerinin ayarlanmasında özel bir metot olduğu söylenemez.

Kesir dereceli sistemlerin gerçek sistemleri tamsayı dereceli sistemlere göre daha iyi modelleyebildiği bilinen bir gerçektir. Bu tez çalışmasında, kesir dereceli transfer fonksiyonu içeren kontrol sistemlerinde parametre optimizasyonuna dayalı kontrolör tasarımları gerçekleştiren çeşitli optimizasyon metotları geliştirilmiştir. İlk olarak, parametre belirsizliğine sahip kesir dereceli transfer fonksiyonu içeren sistemlerin kontrolünü faz ilerlemeli ve faz gerilemeli kontrolörler ile sağlamak için bir yöntem önerilmiştir. Kontrol sisteminde oluşan hatanın minimize edilmesine dayalı optimizasyon yöntemleri geliştirilerek, kesir dereceli sistemler için PI, PID, PI-PD, kesir dereceli PID, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları gerçekleştirilmiş, faz ilerlemeli ve faz gerilemeli kontrolör ile denetlenen sistemlerin kararlılık analizleri yapılmıştır. Burada, integral performans kriterleri optimizasyon işleminde amaç fonksiyonu olarak kullanılarak hata minimize edilmiştir. Ayrıca, PID, PI-PD, faz ilerlemeli ve faz gerilemeli kontrolör parametrelerini belirlemek için referans modele dayalı optimizasyon teknikleri geliştirilerek, kontrol sistemlerinin tasarımı yapılmıştır. İlave olarak, bazı sezgisel algoritmalar kullanılarak PI, PID ve PI-PD kontrolör parametrelerinin belirlenmesi için optimizasyon algoritmaları geliştirilerek, kesir dereceli sistemlerin kontrolü sağlanmıştır. Son olarak, TRMS sistemi üzerinde gerçek zamanlı kontrol uygulamalarının gerçekleştirildiği deneysel çalışmalara yer verilmiştir. Bu çalışmalarda, TRMS'nin dikey seviye hareket, yatay seviye hareket, decoupling kontrolleri kesir dereceli PID kontrolör ile yapılmıştır.

ANAHTAR KELİMELER: Kesir dereceli kontrol sistemleri, kontrolör tasarımı, optimizasyon, sezgisel algoritmalar, kararlılık analizi, TRMS.

ABSTRACT

Ph. D. Thesis

DESIGN OF CONTROLLERS BASED ON PARAMETERS OPTIMIZATION IN FRACTIONAL ORDER CONTROL SYSTEMS

Tufan DOĞRUER

Inonu University
Graduate School of Natural and Applied Sciences
Department of Electric-Electronics Engineering

204+ xiii pages

2019

Supervisor: Prof. Dr. Nusret TAN

One of the most important topics to be emphasized in the control theory is the successful determination of the controller parameters that make the control system stable and provide the desired output response. To date, many methods have been used to determine the controller parameters. Methods for tuning all of the controller parameters may produce different results in different control systems. Therefore, it cannot be said that there is a special method for tuning the best controller parameters.

It is a known fact that fractional order systems can model real systems better than integer order systems. In this thesis, a variety of optimization methods have been developed that implement controller designs based on parameter optimization in control systems with fractional order transfer functions. First, a method for controlling systems with fractional order transfer function including uncertain parameters is proposed using phase-lead and phase-lag controllers. PI, PID, PI-PD, fraction order PID, phase-lead and phase-lag controller designs were performed for fractional order systems and stability analysis of the systems controlled by phase-lead and phase-lag controller were investigated. Here, the error is minimized by using integral performance criteria as objective function in the optimization process. In order to determine the controller parameters such as PI, PI-PD, phase-lead and lag, optimization techniques based on reference model were developed and control systems were designed. In addition, optimization algorithms have been developed to determine PI, PID and PI-PD controller parameters by using some heuristic algorithms and control of fractional order systems has been provided. Finally, real-time control applications on TRMS system have been carried out. In this experimental study, pitch position, yaw position and decoupling controls of TRMS were performed with fractional order PID controller.

KEYWORDS: Fractional order control systems, controller design, optimization, heuristic algorithms, stability analysis, TRMS.

TEŐEKKÜR

Tez alıŐmam boyunca anlayıŐlı tutumuyla bana her tÜrlÜ konuda destek olan, bilgi birikimi ve tecrÜbelerinden yararlandıĐım ok deĐerli danıŐman hocam Prof. Dr. Nusret TAN'a,

Tez izleme komitesi üyeleri deĐerli hocalarım Prof. Dr. Arif MEMMEDOV ve Prof. Dr. Serdar Ethem HAMAMCI'ya,

Bu süreçte birlikte alıŐma imkânı bulduĐum proje alıŐma arkadaŐım Dr. Öğr. Üyesi Ali YÜCE'ye, her konuda yardımlarını esirgemeyen deĐerli Elektrik-Elektronik MühendisliĐi Bölümü hocalarına,

alıŐmalarım sırasında yanımda olan ve bu zorlu süreçte beni sabırla destekleyen deĐerli eŐim Serap, kızlarım Buse Őimâl ve Melis'e sonsuz teŐekkür ederim.

Ayrıca bu tez alıŐması, TÜBİTAK 1001 programı erevesinde 115E388 no'lu proje olarak TÜBİTAK tarafından desteklendiĐinden dolayı TÜBİTAK'a teŐekkürlerimi sunarım.

İÇİNDEKİLER

| | |
|--|------|
| ÖZET..... | i |
| ABSTRACT..... | ii |
| TEŞEKKÜR..... | iii |
| İÇİNDEKİLER..... | iv |
| SİMGELER VE KISALTMALAR..... | vi |
| ŞEKİLLER DİZİNİ..... | vii |
| ÇİZELGELER DİZİNİ..... | xiii |
| 1. GİRİŞ..... | 1 |
| 1.1. Tezde Yapılan Çalışmalar | 13 |
| 2. PARAMETRE BELİRSİZLİĞİ İÇEREN KESİR DERECELİ TRANSFER FONKSİYONLARI İÇİN FAZ İLERLEMELİ VE FAZ GERİLEMELİ KONTROLÖR TASARIMI..... | 15 |
| 2.1. Giriş..... | 15 |
| 2.2. Kontrol Sistemlerinde Parametre Belirsizliği Durumu..... | 18 |
| 2.3. Kharitonov Teoremi..... | 20 |
| 2.4. On altı Kharitonov Transfer Fonksiyonu..... | 23 |
| 2.5. Otuz iki Sistem..... | 24 |
| 2.6. Faz İlerlemeli Kontrolör Tasarımı..... | 25 |
| 2.7. Faz Gerilemeli Kontrolör Tasarımı..... | 26 |
| 2.8. Uygulama Örnekleri..... | 27 |
| 2.8.1 Örnek 1..... | 27 |
| 2.8.2 Örnek 2..... | 35 |
| 2.8.3 Örnek 3..... | 41 |
| 2.9. Bölüm 2'nin Sonuçları..... | 44 |
| 3. KESİR DERECELİ TRANSFER FONKSİYONU İÇEREN KONTROL SİSTEMLERİNDE İNTEGRAL PERFORMANS KRİTERLERİNE DAYALI OPTİMİZASYON YÖNTEMİ İLE KONTROLÖR TASARIMLARI..... | 45 |
| 3.1. Giriş..... | 45 |
| 3.2. Optimizasyon Yöntemi..... | 47 |
| 3.3. Kesir Dereceli Transfer Fonksiyonları İçeren Kontrol Sistemleri için Optimizasyon Yöntemi ile Kontrolör Tasarımları..... | 48 |
| 3.3.1. PID Kontrolör Tasarımı..... | 48 |
| 3.3.1.1. Örnek 1..... | 48 |
| 3.3.1.2. Örnek 2..... | 51 |
| 3.3.1.3. Örnek 3..... | 52 |
| 3.3.1.4. Örnek 4..... | 54 |
| 3.3.2. PI-PD Kontrolör Tasarımı..... | 55 |
| 3.3.2.1. Örnek 1..... | 56 |
| 3.3.2.2. Örnek 2..... | 59 |
| 3.3.3. Faz İlerlemeli ve Faz Gerilemeli Kontrolör Tasarımı..... | 62 |
| 3.3.3.1. Örnek 1..... | 62 |
| 3.3.3.2. Örnek 2..... | 67 |
| 3.3.3.3. Örnek 3..... | 70 |
| 3.3.3.4. Örnek 4..... | 72 |
| 3.4. Kesir Dereceli Transfer Fonksiyonu İçeren Kontrol Sistemlerinde Kararlılık Sınır Eğrisi Yöntemini Kullanarak PI Kontrolör Tasarımı..... | 75 |
| 3.4.1. Örnek 1..... | 78 |
| 3.4.2. Örnek 2..... | 83 |

| | | |
|----------|--|------------|
| 3.5. | Kesir Dereceli PID Kontrolör Tasarımı ve PID ile Karşılaştırılması..... | 87 |
| 3.5.1. | Örnek 1..... | 88 |
| 3.5.2. | Örnek 2..... | 92 |
| 3.6. | Bölüm 3'ün Sonuçları..... | 95 |
| 4. | KESİR DERECELİ KONTROL SİSTEMLERİNDE REFERANS MODELE DAYALI OPTİMİZASYON YÖNTEMİ İLE KONTROLÖR TASARIMLARI..... | 96 |
| 4.1. | Giriş..... | 96 |
| 4.2. | Kesir Dereceli Kontrol Sistemleri için Bode'nin İdeal Transfer Fonksiyonu Kullanılarak Kontrolör Tasarımları..... | 97 |
| 4.2.1. | PID Kontrolör Tasarımı..... | 101 |
| 4.2.1.1. | Örnek 1..... | 101 |
| 4.2.2. | PI-PD Kontrolör Tasarımı | 108 |
| 4.2.2.1. | Örnek 1..... | 108 |
| 4.2.3. | Faz İlerlemeli ve Faz Gerilemeli Kontrolör Tasarımı | 114 |
| 4.2.3.1. | Örnek 1..... | 115 |
| 4.3. | Kesir Dereceli Transfer Fonksiyonları İçeren Kontrol Sistemleri için İkinci Mertebeden Bir Sistem Modeline Dayalı PID Kontrolör Tasarımı | 119 |
| 4.3.1. | Örnek 1..... | 122 |
| 4.4. | Bölüm 4'ün Sonuçları | 127 |
| 5. | KESİR DERECELİ TRANSFER FONKSİYONU İÇEREN KONTROL SİSTEMLERİNDE SEZGİSEL ALGORİTMALAR KULLANILARAK KONTROLÖR TASARIMLARI..... | 128 |
| 5.1. | Giriş..... | 128 |
| 5.2. | Sezgisel Algoritmalar..... | 129 |
| 5.2.1. | Yapay Arı Kolonisi Algoritması (ABC)..... | 129 |
| 5.2.2. | Genetik Algoritma (GA)..... | 132 |
| 5.2.3. | Parçacık Sürüsü Optimizasyon Algoritması (PSO)..... | 134 |
| 5.3. | Kontrolör Tasarım Yöntemi..... | 136 |
| 5.4. | Simulasyon Çalışması..... | 138 |
| 5.4.1. | Örnek 1..... | 138 |
| 5.4.2. | Örnek 2..... | 148 |
| 5.4.3. | Örnek 3..... | 156 |
| 5.5. | Bölüm 5'in Sonuçları..... | 163 |
| 6. | ÇİFT MOTORLU HELİKOPTER MODELİ ÜZERİNDE GERÇEK ZAMANLI KESİR DERECELİ KONTROL UYGULAMALARI..... | 164 |
| 6.1. | Giriş..... | 164 |
| 6.2. | TRMS'nin Matematiksel Modeli..... | 166 |
| 6.3. | TRMS'nin Matematiksel Modelinin Gerçek Zamanlı Olarak Belirlenmesi..... | 169 |
| 6.4. | TRMS'nin Dikey Seviye Hareket Kontrolü..... | 171 |
| 6.5. | TRMS'nin Yatay Seviye Hareket Kontrolü..... | 174 |
| 6.6. | TRMS'nin Decoupling Kontrolü..... | 177 |
| 6.7. | Bölüm 6'nın Sonuçları..... | 182 |
| 7. | SONUÇ VE ÖNERİLER..... | 183 |
| 7.1. | Tez Çalışmasında Elde Edilen Sonuçlar..... | 183 |
| 7.2. | Gelecekte Yapılabilecek Çalışmalarla ilgili Öneriler..... | 185 |
| | KAYNAKLAR..... | 187 |
| | EKLER..... | 198 |
| | ÖZGEÇMİŞ..... | 201 |

SİMGELER VE KISALTMALAR

| | |
|--------------------|--|
| KDKS | Kesir Dereceli Kontrol Sistemi |
| KDTF | Kesir Dereceli Transfer Fonksiyon |
| PD | Oransal-Türevsel (Proportional-Derivative) Kontrolör |
| PI | Oransal-İntegral (Proportional-Integral) Kontrolör |
| PI^λ | Kesir Dereceli PI Kontrolör |
| PID | Oransal-İntegral-Türevsel (Proportional-Integral-Derivative) Kontrolör |
| $PI^\lambda D^\mu$ | Kesir Dereceli PID Kontrolör |
| IAE | Hatanın Mutlak Değerinin İntegrali (Integral Absolute Error) |
| ISE | Hatanın Karesinin İntegrali (Integral Squared Error) |
| ITAE | Hatanın Zaman Ağırlıklı Mutlak Değerinin İntegrali (Integral Time-weighted Absolute Error) |
| ITSE | Hatanın Zaman Ağırlıklı Karesinin İntegrali (Integral Time-weighted Squared Error) |
| Γ | Euler Gamma Fonksiyonu |
| GL | Grünwald-Letnikov |
| RL | Riemann-Liouville |
| Re | Reel |
| Im | Sanal |
| CFE | Sürekli Kesir Açılımı (Continued Fraction Expansion) |
| D | Türev Operatörü |
| SBL | Kararlılık Sınır Eğrisi (Stability Boundary Locus) |
| ABC | Yapay Arı Kolonisi Algoritması (Artificial Bee Colony) |
| GA | Genetik Algoritma (Genetic Algorithm) |
| PSO | Parçacık Sürüsü Optimizasyonu (Particle Swarm Optimization) |
| TRMS | Çift Motorlu Çok Giriş Çok Çıkışlı Sistem (Twin Rotor Multi Input Multi Output System) |

ŞEKİLLER DİZİNİ

| | | |
|-------------|---|----|
| Şekil 1.1. | Birim geri beslemeli kontrol sisteminin blok diyagramı..... | 1 |
| Şekil 1.2. | Sinüs fonksiyonu ve sinüs fonksiyonunun Grünwald-Letnikov tamsayı ve kesir dereceli türev tanımları..... | 8 |
| Şekil 1.3. | Kesir dereceli sistemler için kararlılık bölgeleri..... | 11 |
| Şekil 2.1. | Üç belirsiz parametre için parametre uzayındaki belirsizlik kutusu..... | 19 |
| Şekil 2.2. | Kharitonov dikdörtgeni..... | 22 |
| Şekil 2.3. | Kharitonov dikdörtgenlerinin hareketi ($0 \leq \omega \leq 1.5$)..... | 23 |
| Şekil 2.4. | Belirsiz parametre içeren kesir dereceli transfer fonksiyonları için Bode diyagramı..... | 27 |
| Şekil 2.5. | Kontrolör uygulanan ve uygulanmayan ($C(s)=I$) sistemlerin kapalı çevrim birim basamak cevapları..... | 28 |
| Şekil 2.6. | Kontrolör uygulanan ve uygulanmayan ($C(s)=I$) sistemlerin kapalı çevrim birim basamak cevapları..... | 29 |
| Şekil 2.7. | Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı | 31 |
| Şekil 2.8. | Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı | 31 |
| Şekil 2.9. | Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 32 |
| Şekil 2.10. | Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 32 |
| Şekil 2.11. | Faz ilerlemeli kontrolör ile kontrol edilen sistemlerin Bode diyagramları..... | 33 |
| Şekil 2.12. | Faz gerilemeli kontrolör ile kontrol edilen sistemlerin Bode diyagramları..... | 33 |
| Şekil 2.13. | Faz ilerlemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 20$ rad/sn'de Nyquist şablonu..... | 34 |
| Şekil 2.14. | Faz gerilemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 20$ rad/sn'de Nyquist şablonu..... | 34 |
| Şekil 2.15. | Parametre belirsizliği ve zaman gecikmesi içeren kesir dereceli transfer fonksiyonları için Bode diyagramları..... | 35 |
| Şekil 2.16. | Kontrolör uygulanan ve uygulanmayan ($C(s)=I$) sistemlerin kapalı çevrim birim basamak cevapları..... | 37 |
| Şekil 2.17. | Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı | 38 |
| Şekil 2.18. | Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı | 38 |
| Şekil 2.19. | Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 39 |
| Şekil 2.20. | Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 39 |
| Şekil 2.21. | Faz ilerlemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 30$ rad/sn'de Nyquist şablonu..... | 40 |
| Şekil 2.22. | Faz gerilemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 30$ rad/sn'de Nyquist şablonu..... | 40 |
| Şekil 2.23. | Parametre belirsizliği ve zaman gecikmesi içeren kesir dereceli transfer fonksiyonları için Bode diyagramları..... | 42 |
| Şekil 2.24. | Kontrolör uygulanan ve uygulanmayan ($C(s)=I$) sistemlerin kapalı çevrim birim basamak cevapları..... | 43 |
| Şekil 2.25. | Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 43 |

| | | |
|-------------|--|----|
| Şekil 2.26. | Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları..... | 44 |
| Şekil 3.1. | <i>PID</i> kontrolör optimizasyonu için kullanılan blok diyagram..... | 47 |
| Şekil 3.2. | <i>PID</i> kontrolör içeren birim geri beslemeli kontrol sistemi..... | 49 |
| Şekil 3.3. | Geri beslemeli kontrol sisteminin Simulink modeli..... | 50 |
| Şekil 3.4. | Kontrol edilmemiş sistem ($C(s)=I$) çıkışı ile <i>PID</i> kontrolör kullanılarak elde edilen sistem çıkışının kapalı çevrim birim basamak cevapları..... | 51 |
| Şekil 3.5. | Kontrol edilmemiş sistem ($C(s)=I$) çıkışı ile <i>PID</i> kontrolör kullanılarak elde edilen sistem çıkışının kapalı çevrim birim basamak cevapları..... | 52 |
| Şekil 3.6. | Kontrol edilmemiş sistem çıkışı ve <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 53 |
| Şekil 3.7. | Kontrol edilmemiş ($C(s)=I$) sistem çıkışı ve <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 55 |
| Şekil 3.8. | <i>PI-PD</i> kontrolör yapısı içeren kapalı çevrim kontrol sistemi..... | 56 |
| Şekil 3.9. | Kontrolörsüz sistemin açık çevrim birim basamak cevabı..... | 57 |
| Şekil 3.10. | ITSE kriterine göre oluşturulan Simulink modeli..... | 57 |
| Şekil 3.11. | <i>PI-PD</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 58 |
| Şekil 3.12. | Çeşitli integral performans kriterlerine göre <i>PI-PD</i> kontrolör için elde edilen kontrol sinyalleri..... | 59 |
| Şekil 3.13. | Kontrolörsüz sistemin açık çevrim birim basamak cevabı..... | 60 |
| Şekil 3.14. | <i>PI-PD</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 61 |
| Şekil 3.15. | Çeşitli integral performans kriterlerine göre <i>PI-PD</i> kontrolör için elde edilen kontrol sinyalleri..... | 62 |
| Şekil 3.16. | $C(s)=I$ durumunda kesir dereceli sistemin kapalı çevrim birim basamak cevabı..... | 63 |
| Şekil 3.17. | ITAE kriteri için oluşturulan Simulink modeli..... | 63 |
| Şekil 3.18. | Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevabı..... | 65 |
| Şekil 3.19. | Faz gerilemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevabı..... | 65 |
| Şekil 3.20. | Kompleks düzlemde kutupların dağılımı..... | 67 |
| Şekil 3.21. | Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları..... | 68 |
| Şekil 3.22. | Kompleks düzlemde kutupların dağılımı..... | 69 |
| Şekil 3.23. | Optimizasyon ve Ogata'nın metoduna göre tasarlanan kontrolörlerin sisteme uygulanmasıyla elde edilen kapalı çevrim birim basamak cevapları..... | 70 |
| Şekil 3.24. | Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları..... | 71 |
| Şekil 3.25. | Kompleks düzlemde kutupların dağılımı..... | 72 |
| Şekil 3.26. | $C(s)=I$ için sistemin kapalı çevrim birim basamak cevabı..... | 73 |
| Şekil 3.27. | Faz ilerlemeli ve faz gerilemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları..... | 74 |
| Şekil 3.28. | Kompleks düzlemde kutupların dağılımı..... | 75 |
| Şekil 3.29. | $C(s)=I$ olduğu zaman kapalı çevrim sistemin birim basamak cevabı..... | 78 |

| | | |
|-------------|---|-----|
| Şekil 3.30. | Kararlılık bölgesi ve kararlılık sınır eğrisi..... | 79 |
| Şekil 3.31. | IAE performans kriterine göre oluşturulan Simulink modeli..... | 80 |
| Şekil 3.32. | <i>PI</i> kontrolör parametrelerinin kararlılık bölgesi içerisindeki dağılımları..... | 81 |
| Şekil 3.33. | Farklı integral performans kriterlerine göre <i>PI</i> kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları | 81 |
| Şekil 3.34. | Ziegler-Nichols ve optimizasyon yöntemiyle kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları..... | 82 |
| Şekil 3.35. | $C(s)=I$ olduğu zaman kapalı çevrim sistemin birim basamak cevabı..... | 83 |
| Şekil 3.36. | Kararlılık bölgesi ve kararlılık sınır eğrisi..... | 84 |
| Şekil 3.37. | <i>PI</i> kontrolör parametrelerinin kararlılık bölgesi içerisindeki dağılımları..... | 85 |
| Şekil 3.38. | Farklı integral performans kriterlerine göre <i>PI</i> kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları | 86 |
| Şekil 3.39. | Kararlılık bölgesi içerisinde seçilen iki farklı nokta için <i>PI</i> kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları..... | 86 |
| Şekil 3.40. | Kesir dereceli <i>PID</i> kontrolörün yapısı..... | 87 |
| Şekil 3.41. | <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 90 |
| Şekil 3.42. | Kesir dereceli <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 90 |
| Şekil 3.43. | IAE performans kriterine dayalı belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevabı..... | 91 |
| Şekil 3.44. | <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 93 |
| Şekil 3.45. | Kesir dereceli <i>PID</i> ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları..... | 93 |
| Şekil 3.46. | ISE performans kriterine dayalı belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevabı..... | 94 |
| Şekil 4.1. | Bode'nin ideal transfer fonksiyonunun kapalı çevrim kontrol sisteminin blok diyagramı..... | 97 |
| Şekil 4.2. | Çeşitli γ parametresi değerlerine göre yüzde aşmanın değişimi | 98 |
| Şekil 4.3. | Bode'nin ideal transfer fonksiyonunda farklı γ değerleri için sistemin kapalı çevrim birim basamak cevapları..... | 100 |
| Şekil 4.4. | Optimizasyonda kullanılan modelin <i>PID</i> kontrolör için blok diyagramı..... | 101 |
| Şekil 4.5. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 0.5$ rad/s) | 103 |
| Şekil 4.6. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 1$ rad/s) | 103 |
| Şekil 4.7. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 2$ rad/s) | 104 |
| Şekil 4.8. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 3$ rad/s) | 104 |

| | | |
|-------------|---|-----|
| Şekil 4.9. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma = 1.2$) | 107 |
| Şekil 4.10. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma = 1.5$) | 107 |
| Şekil 4.11. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma = 1.8$) | 108 |
| Şekil 4.12. | $C_{PI}(s)=1$ ve $C_{PD}(s)=1$ için sistemin kapalı çevrim birim basamak cevabı | 109 |
| Şekil 4.13. | <i>PI-PD</i> ile kontrol edilen sistemlerin birim basamak cevapları..... | 110 |
| Şekil 4.14. | <i>PI-PD</i> ile kontrol edilen sistemlerin birim basamak cevapları..... | 110 |
| Şekil 4.15. | Referans model, <i>PI-PD</i> ile kontrol edilen sistem ve Åström-Hägglund yöntemiyle tasarlanmış <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları..... | 111 |
| Şekil 4.16. | Referans ve <i>PI-PD</i> ile kontrol edilen sistemlerin birim basamak cevapları..... | 112 |
| Şekil 4.17. | <i>PI-PD</i> ile kontrol edilen parametre belirsizliğine sahip sistemlerin birim basamak cevapları..... | 113 |
| Şekil 4.18. | Faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin belirlenmesi için kullanılan model..... | 114 |
| Şekil 4.19. | Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 1$ rad/s)..... | 116 |
| Şekil 4.20. | Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 4$ rad/s)..... | 116 |
| Şekil 4.21. | Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma = 1.1$)..... | 117 |
| Şekil 4.22. | Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma = 1.4$)..... | 118 |
| Şekil 4.23. | Kontrolör parametrelerinin γ parametresine göre değişimi..... | 118 |
| Şekil 4.24. | Kontrolör parametrelerinin ω_c parametresine göre değişimi..... | 119 |
| Şekil 4.25. | İkinci mertebeden bir sistemin blok diyagramı..... | 119 |
| Şekil 4.26. | İkinci mertebeden bir sistemde çeşitli sönüm oranları için kapalı çevrim sistemin birim basamak cevapları..... | 121 |
| Şekil 4.27. | Optimizasyonda kullanılan modelin blok diyagramı..... | 122 |
| Şekil 4.28. | Kontrol edilen ve kontrol edilmemiş ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları..... | 124 |
| Şekil 4.29. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 2$ rad/s) | 124 |
| Şekil 4.30. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 3$ rad/s) | 125 |
| Şekil 4.31. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 4$ rad/s) | 125 |
| Şekil 4.32. | <i>PID</i> ile kontrol edilen sistemlerin birim basamak cevapları ($\zeta = 0.5$) | 126 |
| Şekil 5.1. | <i>PI/PID</i> kontrolörün parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı..... | 137 |
| Şekil 5.2. | <i>PI-PD</i> kontrolörün parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı..... | 137 |

| | | |
|-------------|--|-----|
| Şekil 5.3. | Kararlılık sınır eğrisi..... | 139 |
| Şekil 5.4. | ABC algoritması ile belirlenen <i>PI</i> kontrolörlerin kararlılık sınır eğrisi üzerindeki dağılımı..... | 141 |
| Şekil 5.5. | ABC algoritması ile belirlenen <i>PI</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 143 |
| Şekil 5.6. | ABC algoritması ile elde edilen uygunluk değerleri..... | 143 |
| Şekil 5.7. | Genetik algoritma ile belirlenen <i>PI</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 144 |
| Şekil 5.8. | Genetik algoritma ile elde edilen uygunluk değerleri..... | 144 |
| Şekil 5.9. | Genetik algoritma ve Ziegler-Nichols metodu ile belirlenen <i>PI</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 145 |
| Şekil 5.10. | PSO algoritması ile belirlenen <i>PI</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 145 |
| Şekil 5.11. | PSO algoritması ile elde edilen uygunluk değerleri..... | 146 |
| Şekil 5.12. | ABC algoritması ile belirlenen <i>PI</i> kontrolörler için kontrol sinyalleri..... | 146 |
| Şekil 5.13. | Genetik algoritma ile belirlenen <i>PI</i> kontrolörler için kontrol sinyalleri..... | 147 |
| Şekil 5.14. | PSO algoritması ile belirlenen <i>PI</i> kontrolörler için kontrol sinyalleri..... | 147 |
| Şekil 5.15. | ABC algoritması ile belirlenen <i>PID</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 151 |
| Şekil 5.16. | ABC algoritması ile elde edilen uygunluk değerleri..... | 151 |
| Şekil 5.17. | Genetik algoritma ile belirlenen <i>PID</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 152 |
| Şekil 5.18. | PSO algoritması ile belirlenen <i>PID</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 152 |
| Şekil 5.19. | PSO algoritması ile elde edilen uygunluk değerleri..... | 153 |
| Şekil 5.20. | IAE performans kriteri ve Ziegler-Nichols metoduna göre elde edilmiş <i>PID</i> kontrolörlerin sisteme uygulanmasıyla elde edilmiş birim basamak cevapları..... | 153 |
| Şekil 5.21. | ITAE performans kriterine göre farklı algoritmalar ile elde edilen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 154 |
| Şekil 5.22. | ABC algoritması ile belirlenen <i>PID</i> kontrolörler için kontrol sinyalleri..... | 154 |
| Şekil 5.23. | Genetik algoritma ile belirlenen <i>PID</i> kontrolörler için kontrol sinyalleri..... | 155 |
| Şekil 5.24. | PSO algoritması ile belirlenen <i>PID</i> kontrolörler için kontrol sinyalleri..... | 155 |
| Şekil 5.25. | ABC algoritması ile belirlenen <i>PI-PD</i> kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 159 |

| | | |
|-------------|--|-----|
| Şekil 5.26. | ABC algoritması ile elde edilen uygunluk değerleri..... | 159 |
| Şekil 5.27. | Genetik algoritma ile belirlenen $PI-PD$ kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 160 |
| Şekil 5.28. | PSO algoritması ile belirlenen $PI-PD$ kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları..... | 160 |
| Şekil 5.29. | PSO algoritması ile elde edilen uygunluk değerleri..... | 161 |
| Şekil 5.30. | ITSE performans kriterine göre elde edilmiş $PI-PD$ kontrolörlerin sisteme uygulanmasıyla elde edilmiş birim basamak cevapları..... | 161 |
| Şekil 5.31. | ABC algoritması ile belirlenen $PI-PD$ kontrolörler için kontrol sinyalleri..... | 162 |
| Şekil 5.32. | Genetik algoritma ile belirlenen $PI-PD$ kontrolörler için kontrol sinyalleri..... | 162 |
| Şekil 5.33. | PSO algoritması ile belirlenen $PI-PD$ kontrolörler için kontrol sinyalleri..... | 163 |
| Şekil 6.1. | Çift motorlu çok giriş çok çıkışlı sistem deney düzeneği (Feedback Instruments)..... | 164 |
| Şekil 6.2. | TRMS'nin elektromekanik modeli..... | 166 |
| Şekil 6.3. | TRMS'nin blok diyagramı..... | 169 |
| Şekil 6.4. | TRMS dikey seviye hareket yolu Simulink modeli..... | 170 |
| Şekil 6.5. | Simulink model belirleme aracı..... | 170 |
| Şekil 6.6. | Dikey seviye hareket yolu gerçek zamanlı Simulink modeli..... | 172 |
| Şekil 6.7. | PID ve $PI^\lambda D^\mu$ ile kontrol edilen dikey seviye hareket modelinin gerçek zamanlı birim basamak cevapları..... | 173 |
| Şekil 6.8. | Dikey hareket kontrolü için $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali..... | 173 |
| Şekil 6.9. | Dikey hareket kontrolü için PID ile kontrol edilen sistemin ürettiği kontrol sinyali..... | 174 |
| Şekil 6.10. | Yatay seviye hareket yolu gerçek zamanlı Simulink modeli..... | 175 |
| Şekil 6.11. | PID ve $PI^\lambda D^\mu$ ile kontrol edilen yatay seviye hareket modelinin gerçek zamanlı birim basamak cevapları..... | 176 |
| Şekil 6.12. | Yatay hareket kontrolü için $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali..... | 176 |
| Şekil 6.13. | TRMS'nin dinamik decoupling blok diyagramı..... | 177 |
| Şekil 6.14. | TRMS'nin decoupling sisteminin Simulink modeli..... | 180 |
| Şekil 6.15. | PID ve $PI^\lambda D^\mu$ ile kontrol edilen dikey seviye hareket modelinin gerçek zamanlı birim basamak cevapları..... | 181 |
| Şekil 6.16. | PID ve $PI^\lambda D^\mu$ ile kontrol edilen yatay seviye hareket modelinin gerçek zamanlı birim basamak cevapları..... | 181 |

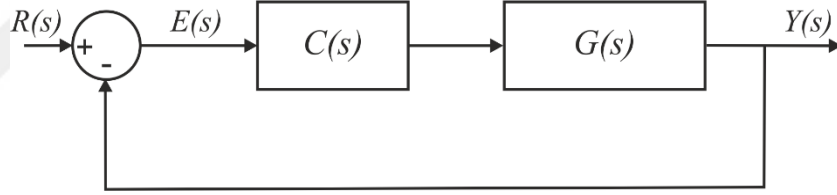
ÇİZELGELER DİZİNİ

| | | |
|---------------|--|-----|
| Çizelge 3.1. | Sıklıkla kullanılan integral performans kriterleri | 46 |
| Çizelge 3.2. | <i>PID</i> parametreleri ve zaman cevabı performans karakteristikleri | 53 |
| Çizelge 3.3. | <i>PID</i> parametreleri ve zaman cevabı performans karakteristikleri | 54 |
| Çizelge 3.4. | <i>PI-PD</i> kontrolör parametreleri ve zaman cevabı performans karakteristikleri..... | 58 |
| Çizelge 3.5. | <i>PI-PD</i> kontrolör parametreleri ve zaman cevabı performans karakteristikleri..... | 60 |
| Çizelge 3.6. | Faz ilerlemeli ve gerilemeli kontrolör parametreleri..... | 64 |
| Çizelge 3.7. | Faz ilerlemeli ve gerilemeli kontrolörler ile kontrol edilen sistemin zaman cevabı performans karakteristikleri..... | 66 |
| Çizelge 3.8. | Faz ilerlemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri..... | 68 |
| Çizelge 3.9. | Faz ilerlemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri..... | 71 |
| Çizelge 3.10. | Faz ilerlemeli veya gerilemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri..... | 73 |
| Çizelge 3.11. | <i>PI</i> kontrolör parametreleri..... | 80 |
| Çizelge 3.12. | Zaman cevabı performans karakteristikleri..... | 82 |
| Çizelge 3.13. | <i>PI</i> kontrolör parametreleri..... | 84 |
| Çizelge 3.14. | Zaman cevabı performans karakteristikleri..... | 85 |
| Çizelge 3.15. | <i>PID</i> ve kesir dereceli <i>PID</i> kontrolör parametreleri..... | 89 |
| Çizelge 3.16. | <i>PID</i> ve kesir dereceli <i>PID</i> kontrolör ile denetlenen sistemlerin zaman cevabı performans karakteristikleri..... | 91 |
| Çizelge 3.17. | <i>PID</i> ve kesir dereceli <i>PID</i> kontrolör parametreleri..... | 92 |
| Çizelge 3.18. | <i>PID</i> ve kesir dereceli <i>PID</i> kontrolör ile denetlenen sistemlerin zaman cevabı performans karakteristikleri..... | 94 |
| Çizelge 4.1. | Farklı γ değerleri için yüzde aşma değerleri..... | 98 |
| Çizelge 4.2. | Farklı γ değerleri için zaman parametreleri değerleri ($\omega_c=1$ rad/s)..... | 99 |
| Çizelge 4.3. | Farklı ω_c ve γ parametreleri için <i>PID</i> kontrolör parametreleri... | 102 |
| Çizelge 4.4. | Zaman cevabı performans karakteristikleri..... | 105 |
| Çizelge 4.5. | Çeşitli ω_c parametresine göre belirlenen <i>PID</i> kontrolör parametreleri..... | 105 |
| Çizelge 4.6. | Zaman cevabı performans karakteristikleri..... | 106 |
| Çizelge 4.7. | <i>PI-PD</i> kontrolör parametreleri..... | 109 |
| Çizelge 4.8. | Zaman cevabı performans karakteristikleri..... | 112 |
| Çizelge 4.9. | Faz ilerlemeli/gerilemeli kontrolör parametreleri..... | 115 |
| Çizelge 4.10. | <i>PID</i> kontrolör parametreleri..... | 123 |
| Çizelge 4.11. | Zaman cevabı performans karakteristikleri..... | 126 |
| Çizelge 5.1. | Algoritmalarda kullanılan parametre değerleri..... | 138 |
| Çizelge 5.2. | <i>PI</i> kontrolör parametreleri..... | 140 |
| Çizelge 5.3. | Zaman cevabı özellikleri..... | 141 |
| Çizelge 5.4. | <i>PID</i> kontrolör parametre ve uygunluk değerleri..... | 149 |
| Çizelge 5.5. | Zaman cevabı özellikleri..... | 149 |
| Çizelge 5.6. | <i>PI-PD</i> kontrolör parametre ve uygunluk değerleri..... | 157 |
| Çizelge 5.7. | Zaman cevabı özellikleri..... | 157 |
| Çizelge 6.1. | TRMS model parametreleri..... | 168 |

1. GİRİŞ

Kontrol sistemleri, endüstrinin birçok alanında gittikçe artan bir kullanım ile hayatımızda önemli bir rol oynamaktadır. Kontrol sistemleri pek çok alanda ortaya çıkabilecek problemlere çözüm getirebilecek bir disiplin olarak düşünülebilir. Çoğalan dünya nüfusunun taleplerinin karşılanması açısından kontrol sistemleri üzerinde yapılan araştırma ve geliştirme çalışmaları değerli hale gelmiştir.

Kontrol sistemleri, genel olarak açık çevrimli ve kapalı çevrimli kontrol sistemleri olarak ikiye ayrılır. Açık çevrimli bir kontrol sisteminde, giriş ve çıkış işaretlerinin haricinde, kontrol edilen sistem ve kontrol eden sistem olarak iki temel bileşen vardır. Kapalı çevrimli sistemlerde, açık çevrimli sisteme ilave olarak geri besleme yer alır. Geri beslemenin, sistem davranışları üzerinde tasarım kriterlerini belirleyecek önemli etkileri vardır. Basit bir kapalı çevrim kontrol sisteminin blok diyagramı Şekil 1.1 ile verilmiştir [1]. Burada, $C(s)$ kontrol eden sistem ya da kontrolör, $G(s)$ kontrol edilen sistem olarak adlandırılır.



Şekil 1.1. Birim geri beslemeli kontrol sisteminin blok diyagramı

Kontrol edilecek sistemin istenen çıkış cevabını üretebilmesi için kontrolör, sistemin girişini otomatik olarak ayarlayabilmelidir. Sistemin ayarlanan bir değerde sabit tutulması ya da girişe uygulanan referans bir sinyalin minimum hata ile takip edilmesi kontrol edilecek sistemden beklenen tepkiler olabilir. Buna bağlı olarak, kontrol sisteminden beklenen hassasiyet, sistemin cevap hızı, bozucu giderme özelliğine sahip olması gibi parametreler dikkate alınarak kontrolör tasarımı yapılmalıdır. Kontrolör tasarımı, mekanik, hidrolik ve pnömatik gibi elemanlarla yapılabilmesine rağmen maliyetlerinin az olması ve kolay gerçekleştirilebilir olmasından dolayı elektronik devreler ve mikroişlemci/mikrodenetleyici devrelerle de yapılabilir [2]. En uygun kontrolör tasarımı için denetlenen sistemin fiziksel yapısı da önem taşır.

İstenen tasarım kriterlerinin gerçekleştirilebilmesi için uygun kontrolör yapısının seçimi önemlidir. Çoğu zaman, oransal-kazanç (P), oransal-integral (PI), oransal-türev (PD), oransal-integral-türev (PID) gibi tasarım kriterlerini sağlayacak en basit yapıdaki kontrolörler tercih edilir. Bu kontrolörlere ilave olarak faz ilerlemeli, faz gerilemeli, faz ilerlemeli/gerilemeli, oransal integral-oransal türev ($PI-PD$) ve kesir dereceli PID kontrolörlerde çeşitli sistemlerde tercih edilirler.

Kontrol sistemini kararlı yapan, istenen çıkış cevabını sağlayacak kontrolör parametrelerinin başarılı bir şekilde belirlenmesi kontrol teorisinin ana başlıklarından birisidir. Günümüze kadar, kontrolör parametrelerinin belirlenmesinde birçok yöntem kullanılmıştır. PID kontrolör parametrelerinin hesaplanmasında kullanılan Ziegler-Nichols [3], Cohen-Coon [4], Åström-Hägglund [5], Chien-Hrones-Reswick [6], Wang-Juang-Chan [7] gibi ayarlama (tuning) metotlarının yanında kutup yerleştirme, kazanç-faz payı [8-11], frekans analizi, kararlılık analizi [12, 13] ve optimal kontrolör parametrelerinin belirlenmesine dayanan [14] metotlar da kullanılmaktadır [15, 16].

Basit bir kontrol sisteminde bulunan iki bileşenden birisi olan kontrolör tamsayı dereceli olabileceği gibi kesir dereceli bir yapıda da olabilir. Benzer şekilde, kontrol edilen sistem ya tamsayı dereceli ya da kesir dereceli olabilir. Bu durumda karşımıza dört alternatif çıkmaktadır. Bu alternatifler içerisinde sistemin kesir dereceli olması, kontrolörün ise tamsayı dereceli ya da kesir dereceli olması bu çalışmanın içeriğini oluşturmaktadır.

Üç yüzyılın üzerinde bir geçmişe sahip olan kesirli hesaplama, matematiğin bir konusu olmasına rağmen birçok disiplin tarafından ilgi görmüş ve kullanılmaya başlanmıştır. İlk yıllarda hesaplama güçlüğünden dolayı yeterli ilgiyi göremeyen kesirli hesaplamalar, yaklaşık son yirmi yıldır bilgisayar bilimlerindeki gelişmelere paralel olarak oldukça popüler bir çalışma alanı haline gelmiştir. Kesirli hesaplamanın tarihi ilk olarak, Leibniz ve L'Hospital arasındaki mektuplaşmayla başlamış, 18. yüzyılda ilk teorik çalışmanın Euler ve Lagrange tarafından sunulmasıyla devam etmiştir. Bu alanda ilk sistematik çalışmalar 19. yüzyılda Liouville, Riemann ve Holmgren tarafından yapılmıştır [17]. 1823 yılında, Abel tarafından sunulan çalışma kesirli hesaplamanın ilk uygulama çalışması olmuştur. Sinyal işleme [18], elektronik [19], robotik [20], fizik [21], makine [22], biomühendislik [23] gibi alanlarda çalışmaları olan kesirli hesaplamanın kontrol mühendisliğine ilk girişi 1945 yılında Bode [24] ile olmuştur [25]. Sonrasında, 1958 yılında Tustin [26], büyük nesnelere kontrolünü gerçekleştirmek için kesirli matematikten yararlanmıştır. Manabe, sırasıyla

1961 ve 1963'te yaptığı çalışmalarda, kontrol sisteminde kesir dereceli integrali kullanmıştır [27, 28]. Kesirli hesaplama, son yıllarda mühendis ve bilim adamları tarafından yeniden keşfedilmiş ve birçok bilim dalında kademeli olarak uygulanmıştır.

Kontrol teorisinde, kesir dereceli sistemlere olan ilginin artması bu alanda yapılan çalışma sayısını hızla artırmaktadır. Kesir dereceli sistemler için tam sayı dereceli kontrolör parametrelerinin belirlenmesine yönelik yapılan birçok çalışma literatürde yerini almıştır. Örneğin, Yeroğlu ve Tan [29] çalışmalarında, kesir dereceli durumlar için bazı klasik kontrolör tasarım metotları sunmuşlardır. Parametre belirsizliğine sahip kesir dereceli sistemler için faz gerilemeli kontrolör, faz ilerlemeli-faz gerilemeli kontrolör ve *PI* kontrolör tasarımları gerçekleştirilmiştir. Belirlenen *PID* parametrelerine göre yapılan kontrolörün başarılı sonuçlar verdiği görülmüştür. Özbay vd. [30] çalışmalarında, zaman gecikmesine sahip kesir dereceli doğrusal zamanla değişmeyen sistemler için *PID* kontrolör tasarımı gerçekleştirmeye yönelik bir yöntem sunmuşlardır. Özyetkin vd. [31], zaman gecikmesi içeren kesir dereceli sistemler için *PI* ve *PID* kontrolör tasarımı için bir yöntem sunmuşlardır. Kararlılık sınır eğrisi yöntemi ile *PI* ve *PID* kontrolörler için kararlılık bölgeleri belirlenmiştir. Sürekli kesir açılımı (CFE) yöntemi ile farklı yaklaşıklık dereceleri için sonuçlar karşılaştırılmış ve yaklaşıklık sırasının kararlılık bölgesindeki etkisini gösteren sayısal örnekler verilmiştir. Meneses vd. [32], kesir dereceli modellere dayalı tamsayı dereceli *PI* ve *PID* kontrolör parametrelerini belirlemek için FOMRoT (fractional order model robust tuning) olarak adlandırılan yeni bir ayarlama yöntemi sunmuşlardır. Çalışmalarında yüksek mertebeden bir sistemi örnek alarak, dayanıklılık, performans gibi kriterler ile farklı ayarlama yöntemleri ve önerdikleri yöntemi karşılaştırmışlardır.

Fiziksel sistemleri ifade ederken, kesir dereceli sistemlerin tamsayı dereceli sistemlerden daha başarılı olduğu bilinen bir gerçektir. Benzer şekilde, tamsayı dereceli kontrolörler yerine kesir dereceli kontrolörler kullanıldığında kontrol sisteminin performansının daha iyi olduğu yapılan çalışmalardan görülmüştür [33]. Oustaloup [34], dinamik sistemlerin kontrolü için kesir dereceli algoritmaları tanıtmış ve CRONE (commande robuste d'ordre non entiere) olarak bilinen kesir dereceli kontrolörü ilk kez kullanarak, *PID* kontrolöre göre daha üstün olduğunu vurgulamıştır. Podlubny [35], geleneksel *PID* kontrolör ile kesir dereceli *PID* kontrolörü karşılaştırdığında, kesir dereceli bir sistemde kesir dereceli *PID* kontrolörün daha faydalı olduğunu vurgulamıştır. Başka bir çalışmada Monje vd. [36], tamsayı dereceli sistemler için kesir dereceli *PID* tasarımı yapmışlardır. Çalışmalarının amacı, kapalı

çevrimli sistem için beş farklı tasarım özelliğinin yerine getirilmesiyle kesir dereceli *PID* kontrolör için optimal parametre ayarlamasını gerçekleştirmektedir. Kesir dereceli *PID* kontrolörde klasik kontrolöre göre fazladan iki parametre daha vardır. Kontrolörün parametrelerinin ayarlanması için bir doğrusal olmayan minimizasyon fonksiyonuna bağlı bir iteratif optimizasyon metodu kullanılmıştır. Çalışmada, bazı örnekler sunulmuş ve simülasyon sonuçlarından kesir dereceli *PID* kontrolörün etkisi gösterilmiştir. Tavazoei ve Tavakoli-Kakhki [37] yaptıkları çalışmada, kesir dereceli faz ilerlemeli/faz gerilemeli kontrolör tasarımı için bir yöntem sunmuşlardır. Yöntemin başarısının kontrol sistemi tasarımında uygulanabilirliği sayısal örnekler ve deneysel sonuçlarla doğrulandığını belirtmişlerdir. Başka bir çalışmada [38], tamsayı dereceli bir sistem için kesir dereceli faz ilerlemeli kontrolör tasarımı gerçekleştirilmiştir. Burada kesir dereceli faz ilerlemeli kontrolör tasarımı için iki metot önerilmiştir. Hamamcı [39] çalışmasında, kesir dereceli *PI* ve kesir dereceli *PID* kontrolörler kullanarak kesir dereceli sistemlerin kararlılık bölgelerini belirlemek için bir yöntem sunmuştur. Kesir dereceli *PI* ve kesir dereceli *PD* kontrolörlerin parametrelerinin otomatik ayarlanması için bir yöntem Keyser vd. [40] tarafından sunulmuştur. Sunulan yöntem, kontrolör parametrelerinin hesaplanmasında gereken işlemin modül, faz ve faz eğimini belirleyebilen basit bir deney üzerine kuruludur. Önerilen yöntemin kapalı çevrimli sistemlerin kararlılığının sağlanmasında basit ve etkili olduğunu belirtmişlerdir. Valério ve Da Costa [41] çalışmalarında, zaman gecikmesine sahip tamsayı dereceli sistemler için kesir dereceli *PID* kontrolör tasarımı iki analitik yöntemle gerçekleştirmişlerdir. Özyetkin [42] çalışmasında, zaman gecikmesine sahip tamsayı dereceli sistemler için $PI^\lambda - PD^\mu$ kontrolör tasarımı için bir yöntem sunmuştur. Kararlılık sınır eğrisi ve ağırlıklı geometrik merkez metodu kullanılarak kontrolör parametreleri belirlenmiştir. Çalışmada, sunulan yöntemin oldukça güvenilir sonuçlar verdiği vurgulanmıştır. Zheng vd. [43] kesir dereceli *PID* kontrolör tasarımı için geliştirilmiş bir frekans domeni tasarım metodu önermişlerdir. Geliştirilen yöntemin uygulanmasıyla, kesir dereceli *PID* kontrolör parametrelerinin farklı tasarım gereksinimlerine göre analitik olarak hesaplanabileceğini vurgulamışlardır. Liu vd. [44] kesir dereceli sistemler için dayanıklı kesir dereceli *PD* kontrolör tasarımı ve dayanıklılık analizini sunmuşlardır. Kesir dereceli kontrolör ya da kesir dereceli sistemler için kontrolör tasarımları içeren benzer çalışmaları [45-52] çoğaltmak mümkündür.

Bilgisayarların işlem yeteneklerinin artması, kontrolör parametrelerinin belirlenmesi için kullanılan optimizasyon metotlarının çoğalmasına neden olmuştur. Optimizasyon, tanımlanan problem için belirli kısıtlara göre minimum ya da maksimum çözüm noktalarını bulmamızı sağlayan bilgisayar yazılımıdır. Kısacası bir problemde mümkün olan çözümler içerisinde en iyisine ulaşmak için kullanılan bir işlemdir. Kontrol sistemlerinde optimal kontrolör parametrelerinin belirlenmesi için çeşitli optimizasyon yöntemleri geliştirilmiştir. Örneğin, Bode'nin ideal transfer fonksiyonunun referans model olarak kullanılarak, parametrelerinin ayarlanmasıyla kapalı çevrim bir kontrol sisteminde istenen bir çıkış cevabı elde edilebilmektedir. Barbosa vd. [53], Bode'nin ideal transfer fonksiyonunu kesir dereceli bir referans model olarak kullanarak, *PID* kontrolör parametrelerini istenen kesirli referans modelin ve sistemin *PID* kontrolör ile olan zaman yanıtları arasındaki hatanın en aza indirilmesi ile belirlemek için bir yöntem sunmuşlardır. Hatayı minimize etmek için hatanın karesinin integrali (ISE) performans kriterini kullanmışlardır. Verilen örneklerle, sunulan yöntemin etkinliği ve geçerliliğini göstermişlerdir. Başka bir çalışmada [29], Bode'nin ideal transfer fonksiyonu referans model alınarak yeni bir model oluşturulmuştur. Oluşturulan model ile referans model karşılaştırılmış ve en küçük kareler yöntemine göre çıkış sinyalindeki hata sıfıra yakın olacak şekilde *PID* kontrolör parametreleri optimize edilmiştir. Azarmi vd. [54], Bode'nin ideal transfer fonksiyonuna dayanan kesir dereceli *PI* kontrolörün parametrelerini ayarlamak için basit bir analitik yöntem kullanmışlardır. Önerilen yöntemin etkisini göstermek için çift motorlu helikopter modeli üzerinde uygulama yapıp, elde edilen sonuçları karşılaştırmalı olarak sunmuşlardır. Başka bir çalışmada [55], Bode'nin ideal transfer fonksiyonu kullanılarak kesir dereceli sistemler için kesir dereceli kontrolör tasarımları gerçekleştirilmiştir. Liu ve Zhang [56], Bode'nin ideal çevrim transfer fonksiyonu ile dayanıklı kesir dereceli *PID* kontrolör tasarımı gerçekleştirmişlerdir. Tamsayı ve kesir dereceli sistemler için yapılan kontrolör tasarımlarında hatanın zaman ağırlıklı mutlak değerinin integrali (ITAE) performans kriterini kullanmışlardır.

Çoğu zaman bir kontrol sisteminin performansı değerlendirilirken sistemin birim basamak cevabına karşı gösterdiği geçici ve kalıcı durum davranışı incelenir. Özellikle sistemin geçici durum cevabına ait maksimum yüzde aşma, tepe zamanı, yükselme zamanı ve yerleşme zamanı gibi zaman parametreleri dikkate alınır. Bu parametrelerin küçük değerli olması istenir. Fakat bu parametrelere göre tasarım yapmak güçtür. Dolayısı ile kapalı çevrim kontrol sisteminde hatayı esas alarak optimal kontrol

parametrelerini hesaplamaya yönelik integral performans kriterleri geliştirilmiştir. Kontrolör tasarımında integral performans kriterleri kullanılarak kontrolör içeren sistemin doğrudan minimize edilmesiyle optimal kontrolör parametreleri bulunabilir. Örneğin, Zhuang ve Atherton [57], *PID* kontrolör parametrelerini integral performans kriterlerini kullanarak optimize etmişlerdir. Çalışmalarında, integral performans kriterleri ile ilgili yeni bilgiler sunarak, bunların MATLAB programına nasıl dâhil edildiğini açıklamışlardır. Padulo ve Visioli [58], tamsayı ve kesir dereceli *PID* kontrolör için bir dizi parametre ayarlama kuralları sunmuşlardır. Çalışmada farklı yapıda sistemler için hatanın karesinin integrali (IAE) performans kriteri ile minimizasyon yapılarak kontrolör parametreleri belirlenmiştir. Sonuç olarak, performans kriterlerinin analitik ifadeleri elde edilmiş ve onların performans değerlendirilmesi amacıyla etkin bir şekilde kullanılacağından bahsedilmiştir. Deniz vd. [59], kesir dereceli *PID* kontrolör parametrelerini ISE, ISTE ve IST²E performans kriterlerine dayalı olarak belirlemişlerdir. Grandi ve Trierweile [60], kesir dereceli *PID* kontrolör parametrelerini belirlemek için frekans cevabı yaklaşım metoduna dayalı bir ayarlama yöntemi önermişlerdir. Yöntem, kapalı çevrimde istenen davranışın tanımlanması yoluyla optimal kontrolörlerin basit tasarımına izin verir.

Gerçek sistemlerin modellenmesinde çeşitli sebeplerden dolayı belirsizlik içeren durumlar olabilir. Parametre belirsizliğine sahip olan sistem her bir sabiti belirli bir aralıkta değişen sistem olarak adlandırılır. Kharitonov [61] teoremi kullanılarak parametre belirsizliği yapısındaki kontrol sistemlerinin frekans analizi ile ilgili yapılan çalışmalar mevcuttur [62, 63]. Yapılan bu çalışmalar tamsayı dereceli kontrol sistemleri için geçerlidir. Parametre belirsizliğine sahip kesir dereceli kontrol sistemleri ile ilgili literatürde çalışmalar bulunmaktadır [64-66]. Kontrol sistemlerinde önemli konulardan birisi de zaman gecikmesidir. Zaman gecikmesi, gerçek sistemlerde birçok zaman karşılaştığımız bir durumdur. Zaman gecikmesine sahip kontrol sistemleri giriş cevabına belirli bir süre sonra yanıt verirler. Dolayısıyla, modellenen sistemlerin zaman gecikmesi içermesi tercih edilir. [67-73] gibi çalışmalar zaman gecikmeli sistemlerde kontrolör tasarımı ile ilgili yapılan çalışmalara örnek olarak sayılabilir. Modellenen kesir dereceli sistemlerin hem parametre belirsizliği hem de zaman gecikmesi içermesi gerçeğe daha yakın sonuçlar vermesini sağlar.

Günümüzde, kesir dereceli sistemlerin oldukça popüler kullanıma sahip olduğu yapılan literatür araştırmasından anlaşılmaktadır. Aşağıda kesir dereceli sistemlerin

matematiksel altyapısından bahsedilerek, kesir dereceli kontrol sistemlerinde kararlılık analizi ile ilgili bilgiler verilmiştir.

Kesirli sistemler, tamsayı dereceli sistemlerin genelleştirilmiş bir hali olarak düşünülür. Tam sayı dereceli olmayan türev ve integral operatörü ${}_a D_t^\alpha$, Denklem 1.1 şeklinde tanımlanır. Burada, a ve t integral işleminin alt ve üst sınırlarını, α kesir derecesini gösterir.

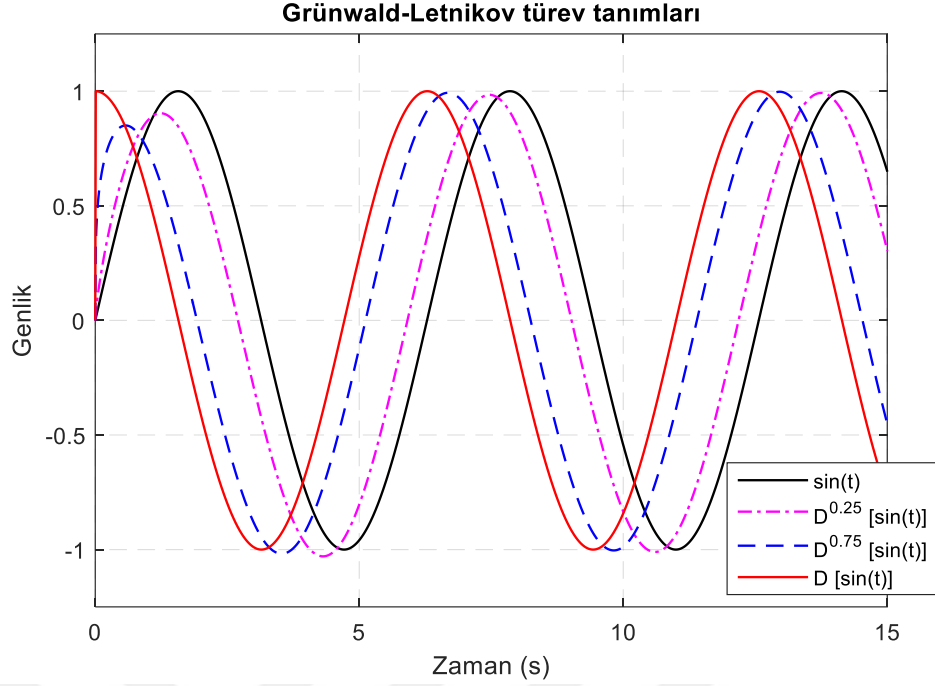
$${}_a D_t^\alpha = \begin{cases} \frac{d^\alpha}{dt^\alpha} & ; \alpha > 0 \\ 1 & ; \alpha = 1 \\ \int_a^t (d\tau)^{-\alpha} & ; \alpha < 0 \end{cases} \quad (1.1)$$

Kesir dereceli türev ve integral için kullanılan birçok tanım vardır ve bunlardan en popüler olanları Grünwald-Letnikov ve Riemann-Liouville olarak sayılabilir. Grünwald-Letnikov türev ve integral tanımı sırasıyla Denklem 1.2 ve Denklem 1.3 ile verilmiştir [74]. Burada h adım aralığını gösterir.

$${}_a D_t^\alpha f(t) = \lim_{h \rightarrow 0} \frac{1}{h^\alpha} \sum_{j=0}^{\left[\frac{t-a}{h} \right]} (-1)^j \frac{\Gamma(\alpha+1)}{j! \Gamma(\alpha-j+1)} f(t-jh) \quad (1.2)$$

$${}_a D_t^{-\alpha} f(t) = \lim_{h \rightarrow 0} h^\alpha \sum_{j=0}^{\left[\frac{t-a}{h} \right]} \frac{\Gamma(\alpha+j)}{j! \Gamma(\alpha)} f(t-jh) \quad (1.3)$$

Grünwald-Letnikov tanımı, $f(t)=\sin(t)$ şeklinde bir fonksiyon örnek alınarak açıklanabilir. Sinüs fonksiyonunun tamsayı dereceli türevinin, sinüs fonksiyonunun 90° 'lik faz kayması ile elde edildiği bilinmektedir. Sinüs fonksiyonunun Grünwald-Letnikov tanımına göre tamsayı dereceli ve kesir dereceli türev tanımı Şekil 1.2'de gösterilmiştir. Sinüs fonksiyonunun 0.25 ve 0.75'inci kesir dereceli türevlerinde 90° 'den daha küçük faz kaymaları olduğu görülmektedir. Ayrıca, şekildeki sinyaller farklı başlangıç değerlerinden başlamaktadır.



Şekil 1.2. Sinüs fonksiyonu ve sinüs fonksiyonunun Grünwald-Letnikov tamsayı ve kesir dereceli türev tanımları

Riemann-Liouville kesir dereceli türev ve integral tanımı sırasıyla, Denklem 1.4 ve Denklem 1.5 ile verilmiştir [74]. Burada, $\Gamma(\cdot)$ Euler'in Gamma fonksiyonunu gösterir.

$${}_a D_t^\alpha f(t) = \frac{d^n}{dt^n} \left[\frac{1}{\Gamma(n-\alpha)} \int_a^t \frac{f(\tau)}{(t-\tau)^{\alpha+1-n}} d\tau \right] \quad ; n-1 < \alpha < n \quad (1.4)$$

$${}_a D_t^{-\alpha} f(t) = \frac{1}{\Gamma(\alpha)} \int_a^t \frac{f(\tau)}{(t-\tau)^{1-\alpha}} d\tau \quad ; 0 < \alpha < 1, t > 0 \quad (1.5)$$

Grünwald-Letnikov ve Riemann-Liouville tanımlarının Laplace dönüşümleri Denklem 1.6 ile verilmiştir.

$$\mathcal{L} \left[{}_a D_t^\alpha f(t); s \right] = \int_0^\infty e^{-st} {}_0 D_t^\alpha f(t) dt = s^\alpha F(s) - \sum_{m=0}^{n-1} s^m (-1)^j {}_0 D_t^{\alpha-m-1} f(t) \Big|_{t=0} \quad (1.6)$$

Kesir dereceli bir dinamik sistem, aşağıdaki gibi kesir dereceli diferansiyel bir denklemlerle tanımlanabilir.

$$a_n D^{\alpha_n} y(t) + a_{n-1} D^{\alpha_{n-1}} y(t) + \dots + a_0 D^{\alpha_0} y(t) = b_m D^{\beta_m} r(t) + b_{m-1} D^{\beta_{m-1}} r(t) + \dots + b_0 D^{\beta_0} r(t) \quad (1.7)$$

Burada, $r(t)$ giriş, $y(t)$ çıkış sinyalini, α_k ($k=0, \dots, n$) ve β_k ($k=0, \dots, m$) katsayıları, α_k ($k=0, \dots, n$) ve β_k ($k=0, \dots, m$) reel sayıları ifade eder.

Denklem 1.7, transfer fonksiyonu olarak aşağıdaki gibi ifade edilir.

$$G(s) = \frac{Y(s)}{R(s)} = \frac{b_m s^{\beta_m} + b_{m-1} s^{\beta_{m-1}} + \dots + b_0 s^{\beta_0}}{a_n s^{\alpha_n} + a_{n-1} s^{\alpha_{n-1}} + \dots + a_0 s^{\alpha_0}} \quad (1.8)$$

Yukarıdaki formda verilen kesir dereceli bir sistemin kararlılık analizinin yapılabilmesi, kontrol teorisinde üzerinde durulması gereken en önemli konu başlıklarından birisidir. Tamsayı dereceli doğrusal ve zamanla değişmeyen sistemlerin kararlılığı, sistemin transfer fonksiyonundan elde edilebilen karakteristik denklemin köklerinden yararlanılarak bulunur ve analiz edilebilir. Karakteristik denklemin kökleri ya negatif ya da negatif reel kısımlara sahip karmaşık eşlenik köklere sahip ve kökler karmaşık düzlemin sol yarı-düzleminde yer alıyor ise sistemin kararlı olduğu anlaşılır [75]. Yüksek dereceli sistemlerde karakteristik denklemin köklerinin bulunması zor olacağından, bu sistemlerin kararlılığı incelenirken Routh-Hurwitz ya da Nyquist kararlılık kriteri gibi yöntemlerden yararlanır. Routh-Hurwitz kararlılık kriteri ile bir denklemin kararsız köklerinin olup olmadığı analiz edilir [76]. Kesir dereceli sistemlerin kararlılığı incelenirken, karmaşık düzlemin sağ yarı-düzleminde kararlı köklerin olduğu düşünüldüğünde, Routh-Hurwitz, Nyquist kriteri ya da kök- yer eğrisi metodu gibi bilinen yöntemlerin kesir dereceli sistemlere doğrudan uygulanamadığı söylenebilir. Bunun yerine, argüman ilkesine dayanan karmaşık analiz geometrik teknikleri kullanılır. Kesir dereceli sistemlerde kararlılık analizi ile ilgili literatürde yapılmış birçok bilimsel çalışma vardır [64, 66, 77-82]. Choudhary [83] yaptığı çalışmada, kesir dereceli sistemlerin kararlılık analizinin etkinliğini göstermek için sunduğu iki örneğin kararlılık analizini gerçekleştirmiştir. Şenol vd. [84] yaptıkları çalışmada, Hermite-Biehler teoremini kullanarak kesir dereceli polinomların kararlılık analizi ile ilgili bazı sonuçlar sunmuşlardır. Tavazoei ve Haeri [85] çalışmalarında, doğrusal ve zamanla değişmeyen kesir dereceli sistemlerin kararlılık analizi ile ilgili bir yöntem sunmuşlardır. Li vd. [86] çalışmalarında, doğrusal olmayan dinamik sistemlerin kararlılığı üzerine bir yöntem sunmuş ve önerilen

yöntemin uygulanabilirliğini iki örnekle göstermişlerdir. Doğrusal olmayan sistemlerde, Lyapunov'un ikinci metodu diferansiyel denklemleri açıkça çözmeden bir sistemin kararlılığını analiz etmeyi sağlar. Başka bir çalışmada [87], kesir dereceli doğrusal olmayan dinamik sistemlerin kararlılık analizini Lyapunov'un ikinci metodunu kullanarak çalışmışlardır. Önerilen yöntemin uygulanabilirliğini göstermek için dört açıklayıcı örnek vermişlerdir. Aguila-Camacho vd. [88], Caputo'nun kesirli türevi ile ilgili yeni bir ispat sunmuşlardır. Lyapunov fonksiyonlarının bulunması için bu ispatın faydalı olduğunu kesir dereceli doğrusal zamanla değişen ve kesir dereceli doğrusal olmayan iki sistem için göstermişlerdir.

Matignon kararlılık teorisi, kesir dereceli sistemlerin kararlılık analizinde kullanılır [89-91]. Kesir dereceli doğrusal ve zamanla değişmeyen bir sistemin durum-uzay modeli Denklem 1.9 ile verilmiştir.

$$\begin{aligned} {}_0D_t^\alpha x(t) &= Ax(t) + Br(t) \\ y(t) &= Cx(t) \end{aligned} \quad (1.9)$$

Burada, α kesir dereceli sistemin derecesini, $x \in R^n$, $r \in R^r$ ve $y \in R^p$ sırasıyla sistemin durum, giriş ve çıkış vektörlerini gösterir. Ayrıca, $A \in R^{n \times n}$, $B \in R^{n \times r}$, $C \in R^{p \times n}$ sırasıyla sistemin durum, giriş ve çıkış matrislerini temsil eder. Denklem 1.9 ile verilen sistemin kararlı olabilmesi için Denklem 1.10 ile verilen eşitliğin sağlanması gereklidir [92, 93].

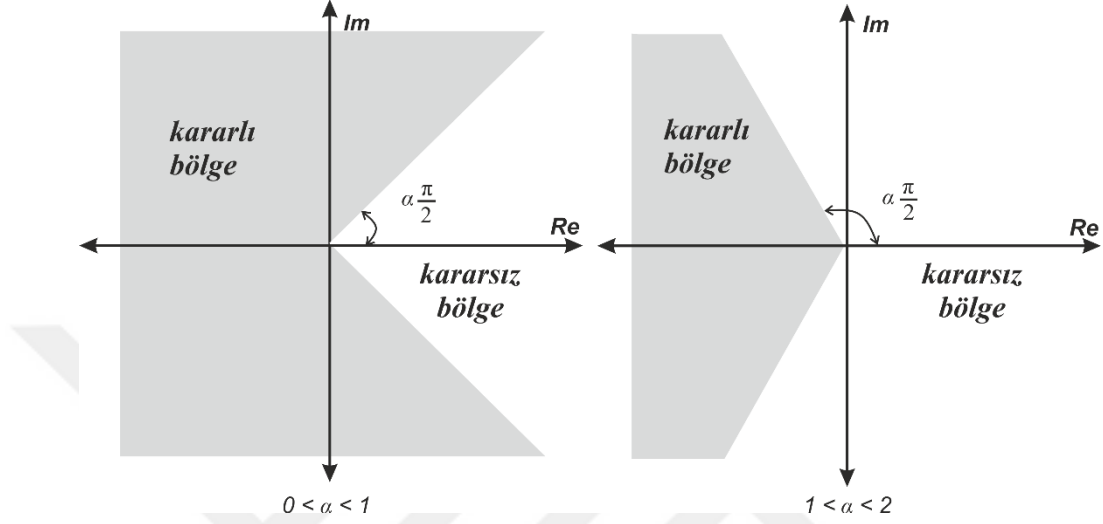
$$|\arg(\text{eig}(A))| > \alpha \frac{\pi}{2} \quad (1.10)$$

Denklem 1.11 ile verilen sistemin kararlı olabilmesi için, Denklem 1.12 ile verilen koşulun sağlanması gerekir [92, 93].

$$G(s) = \frac{Z(s)}{P(s)} \quad (1.11)$$

$$|\arg(\sigma)| > \alpha \frac{\pi}{2}, \forall \sigma \in C, P(\sigma) = 0 \quad (1.12)$$

Burada, $\sigma = s^\alpha$ olarak tanımlanır. Eğer $\sigma = 0$ ise $P(s)$ polinomunun bir kökü vardır ve sistem kararsızdır. Eğer $\sigma = 1$ ise sistem tamsayı dereceli olur ve kararlılık analizi tamsayı dereceli sistemlerdeki gibi yapılır. Kesir dereceli sistemlerde kararlılık analizini anlatan bir görsel Şekil 1.3 ile verilmiştir.



Şekil 1.3. Kesir dereceli sistemler için kararlılık bölgeleri

Denklem 1.13 ile verilen kesir dereceli bir sistemde kararlılık analizi aşağıdaki gibi oluşturulabilir. Bölüm 3'te bu tip sistemler için kararlılık analizi yapılmıştır.

$$G(s) = \frac{K}{s^{1+\alpha}(Ts+1)} \quad (1.13)$$

Kontrol edilen sistemin karakteristik denklemi, Denklem 1.14 gibi yazılır. Burada, kontrolör, faz ilerlemeli ya da faz gerilemeli kontrolör kullanıldığı varsayılmıştır.

$$\Delta(s) = 1 + C(s)G(s) = 1 + \frac{K_1(s+z)}{(s+p)} \frac{K_2}{s^{1+\alpha}(Ts+1)} \quad (1.14)$$

$$\Delta(s) = s^{1+\alpha}(Ts^2 + (1+Tp)s + p) + K_1K_2(s+z) \quad (1.15)$$

$$\Delta(s) = Ts^{3+\alpha} + (1+Tp)s^{2+\alpha} + ps^{1+\alpha} + K_1K_2s^1 + K_1K_2z \quad (1.16)$$

Karakteristik denklem, Denklem 1.15 ve Denklem 1.16 ile verilen eşitliklerin çözülmesiyle Denklem 1.17 gibi elde edilir.

$$\Delta(s) = T(s^\alpha)^{3+\alpha/\alpha} + (1+Tp)(s^\alpha)^{2+\alpha/\alpha} + p(s^\alpha)^{1+\alpha/\alpha} + K_1K_2(s^\alpha)^{1/\alpha} + K_1K_2z \quad (1.17)$$

Yukarıdaki denklemde, $\sigma = s^\alpha$ yerine yazılarak, Denklem 1.18 elde edilir.

$$\Delta(\sigma) = T(\sigma)^{3+\alpha/\alpha} + (1+Tp)(\sigma)^{2+\alpha/\alpha} + p(\sigma)^{1+\alpha/\alpha} + K_1K_2(\sigma)^{1/\alpha} + K_1K_2z \quad (1.18)$$

Elde edilen denklem sıfıra eşitlenip, çözülrse karakteristik denklemin kökleri elde edilir. Böylece, kararlılık analizi köklerin karmaşık düzleme yerleştirilmesiyle yapılabilir. Farklı tipte kesir dereceli transfer fonksiyonu içeren kontrol sistemlerinin de bu yöntemle kararlılık analizi yapılabilir.

Sonsuz büyüklükteki sistemleri sonlu büyüklükteki modellerle ifade edebilmek araştırmacıların üzerinde çalıştıkları konulardandır. Kesir dereceli sistemleri tamsayı dereceli yaklaşık modelleri ile ifade edebilen çeşitli metotlar geliştirilmiştir. Bunlardan Matsuda [94], Oustaloup [95], Carlson [96], Chareff [97] ve CFE (sürekli kesir açılımı) [98] en çok bilinen metotlar olarak sayılabilir. Yüce vd. [99] çalışmalarında, kesir dereceli türev operatörleri için MATLAB programında en küçük kareler eğri uydurma aracını kullanarak yeni tamsayı dereceli yaklaşık transfer fonksiyonlar çizelgesini sunmuşlardır. Yöntemin, Matsuda metoduna göre çok düşük hatalar verdiğini vurgulamışlardır. Deniz vd. [100] çalışmalarında, kesir dereceli türev ve integral operatörleri için yeni bir tamsayı dereceli yaklaşım metodu önermişlerdir. Önerilen metodun zaman cevabı, frekans cevabı, ortalama mutlak hata gibi performanslarını göstermek için örnekler vermişlerdir ve sonuçları Matsuda, Oustaloup gibi iyi bilinen tamsayı dereceli yaklaşım metotları ile karşılaştırmışlardır. SBL eşleştirme metoduna göre elde edilen kesir dereceli türevlerin 4. dereceden tamsayı dereceli yaklaşım modellerini sunmuşlardır. [101-103] ile verilen çalışmalarda kesir dereceli sistemlerin tamsayı yaklaşık modelleri üzerinde durulmuştur.

Kesir dereceli sistemlerin analiz ve tasarımlarının gerçekleştirilebileceği bazı programlar CRONE, NINTEGER, FOMCON, FOTF şeklinde sayılabilir [104, 105]. Bunlardan birisi olan CRONE, MATLAB ortamında çalışabilen, kesir dereceli

sistemlerin dayanıklı kontrolünün gerçekleştirilebileceği bir program olarak araştırmacıların kullanımına sunulmuştur [106]. Benzer biçimde NINTEGER, kesir dereceli sistemlerin analizlerini yapabilen MATLAB ortamında, Valerio [107] tarafından yazılmış bir programdır. Kesir dereceli sistemlerin zaman ve frekans bölgesi analizlerini yapabilen FOMCON ile kesir dereceli sistemler için *PID* ve kesir dereceli *PID* kontrolör tasarımı yapmak mümkündür [108]. FOTF (The Fractional Order Transfer Function) kesir dereceli operatörlerin sayısal hesaplamasını kullanan MATLAB yazılımıdır [109]. Burada bahsedilen MATLAB ara yüzünde çalışabilen programlar yardımıyla kesir dereceli sistemlerin analizi kolaylıkla yapılabilir.

1.1. Tezde Yapılan Çalışmalar

Bu tez çalışmasında, kesir dereceli kontrol sistemleri için parametre optimizasyonuna dayalı kontrolör tasarımları gerçekleştirmek amacıyla yapılan çalışmalara yer verilmiştir. Bölümlerin içeriğinden aşağıda kısaca bahsedilmiştir.

1. Bölüm: Bu bölümde kontrol sistemlerinin genel yapısı ve kullanılan kontrolör çeşitleri hakkında bilgiler sunularak, kesir dereceli hesaplamaların tarihsel gelişimi ve kontrol sistemlerindeki uygulamaları hakkında literatür bilgisi verilmiştir. Ayrıca kesir dereceli matematiğin temel denklemleri ve kesir dereceli kontrol sistemlerinde kararlılık analizi ile ilgili bilgiler yer almaktadır.

2. Bölüm: Bu bölümde parametre belirsizliği hakkında genel bilgiler verilerek, parametre belirsizliği içeren kesir dereceli sistemler için faz ilerlemeli ve faz gerilemeli kontrolör tasarımları yapılmış ve elde edilen sonuçlar şekillerle beraber sunulmuştur. Atherton [110] tarafından klasik kontrolör tasarımında kullanılan bu yöntem kesir dereceli sistemlere başarılı bir şekilde uygulanmıştır.

3. Bölüm: Kesir dereceli sistemler için optimizasyon yöntemlerinin kullanıldığı bu bölümde *PI*, *PID*, *PI-PD*, kesir dereceli *PID*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları gerçekleştirilmiştir. İntegral performans kriterlerinin amaç fonksiyonu olarak kullanılmasına dayalı optimizasyon algoritmaları geliştirilmiş ve optimal kontrolör parametrelerinin belirlenmesi sağlanmıştır. *PI* kontrolör tasarımında, SBL yöntemine göre kararlılık bölgesi elde edilerek, K_p - K_i parametrelerin alt ve üst sınırları optimizasyon için alt ve üst limitler olarak belirlenmiştir. Ayrıca optimizasyon ile elde edilen faz ilerlemeli ve faz gerilemeli kontrolör tasarımlarının

kararlılık bölgeleri incelenmiş ve kontrol edilen sistemlerin kararlı olduğu gösterilmiştir.

4. Bölüm: Bu bölümde referans bir modele dayalı optimizasyon algoritmaları geliştirilerek kontrol edilmek istenen sistem için kontrolör tasarımları yapılmıştır. Bode'nin ideal transfer fonksiyonu referans model alınarak PID , $PI-PD$, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları yapılmıştır. Benzer şekilde ikinci dereceden bir sistem referans model alınarak PID kontrolör tasarımları gerçekleştirilmiştir.

5. Bölüm: Bu bölümde, kesir dereceli kontrol sistemleri için sezgisel algoritmalar kullanılarak kontrolör parametrelerinin belirlenmesi ile ilgili bir çalışma sunulmuştur. Farklı yapıdaki üç sistemin kontrolör parametrelerinin belirlenmesi için geliştirilen ABC, GA ve PSO algoritmaları ile çözümler elde edilmiştir. Her sistem için on iki adet kontrolör parametresi belirlenmiş, performansları çizelge ve şekiller halinde sunulmuştur.

6. Bölüm: Bu bölümde TRMS sistemi üzerinde gerçek zamanlı kontrol uygulamaları gerçekleştirilmiştir. TRMS'nin matematiksel modelleri belirlenerek, dikey seviye, yatay seviye ve decoupling kontrolleri PID ve $PI^\lambda D^\mu$ kontrolör ile gerçekleştirilmiştir. Üretici firma kataloğunda verilen PID kontrolör kullanılarak elde edilen sonuçlar ve $PI^\lambda D^\mu$ kontrolör ile elde edilen sonuçlar karşılaştırılarak, yorumları yapılmıştır.

7. Bölüm: Bu bölüm sonuç ve öneriler bölümüdür. Tez çalışmasında elde edilen bulgular ve gelecekte yapılabilecek çalışmalar ile ilgili öneriler bu bölümde verilmiştir.

2. PARAMETRE BELİRSİZLİĞİ İÇEREN KESİR DERECELİ TRANSFER FONKSİYONLARI İÇİN FAZ İLERLEMELİ VE FAZ GERİLEMELİ KONTROLÖR TASARIMI

2.1. Giriş

Bir kontrol mühendisinin bakış açısından belirsizlik, girdiyi bilmemize rağmen, fiziksel bir sistemin çıktısının tam olarak ne olacağını tahmin edemeyeceğimiz anlamına gelir. Gerçek dünyadaki herhangi bir fiziksel sistem için belirsizlik her zaman var olacaktır. Bilinmeyen veya öngörülemeyen girdiler ve öngörülemeyen sistem dinamikleri bu belirsizlikleri oluşturan etkenlerdir. Günümüzde çoğu sistem diferansiyel denklemler kullanılarak modellenenir. Sistemin bir giriş fonksiyonuna karşı vereceği çıkış cevabı diferansiyel denklemin çözümü ile belirlenebilir. Modellemede yapılabilecek hatalar, çevresel şartlar ya da sistemde var olan belirsizlikler, arzulanan çıkış cevabını almak için tasarlanan kontrolörlerin istenilen performansı sağlayamamasına sebep olur. Bu yüzden belirsizlik içeren bir model kullanmak daha gerçekçi sonuçlar verir. Gerçek zamanlı kontrol sistemlerine yönelik yapılan çalışmalarda, belirsizlik yapıları ve kontrol sisteminde olması gereken kararlılık özellikleri göz önünde bulundurulmalıdır. Nyquist, Bode, Nichols ve Routh-Hurwitz gibi klasik kontrol metotları kontrol sisteminin tasarımı için mühendisler tarafından uzun yıllar kullanıldı. Bu yöntemler genellikle parametre belirsizliği içermeyen sistemler için geliştirilmiştir ve belirsiz sistemler için doğrudan geçerli değildir [111]. Belirsizlik içeren sistemlerde kullanılacak yöntemlerden birisi olan Kharitonov teoremi ile aralık (interval) polinomların kararlılığı açıklanabilir. Katsayıları bilinen bir karakteristik polinomun kararlılığı incelenirken Routh-Hurwitz kriteri kullanılabilir fakat katsayıları belirli bir aralıkta değişen karakteristik polinomun kararlılık analizinde Kharitonov teoremi kullanılır. Kharitonov teoremine göre Kharitonov polinomları olarak bilinen dört polinomun Hurwitz kararlılığını sağladığı durumda polinomun kararlı olduğu söylenebilir.

Literatürde kesir dereceli kontrol sistemlerinde parametre belirsizliği ile ilgili yapılan birçok çalışma bulunmaktadır. Örneğin, Petráš vd. [112], parametre belirsizliğine sahip lineer zamanla değişmeyen kesir dereceli sistemler için dayanıklı kararlılık test prosedürünü ilk kez önermişlerdir. Yeroğlu vd. [113] çalışmalarında aralık belirsizliği yapısındaki kesir dereceli kontrol sistemlerinin Bode ve Nyquist

zarflarının hesaplanması için bir metot sunmuşlardır. Sunulan yöntemin uygulamasını göstermek için sayısal örnekler verilmiş ve elde edilen sonuçların parametre belirsizliğine sahip kesir dereceli kontrol sistemlerinin tasarımı ve dayanıklı kararlılık analizi için çok önemli olduğunu vurgulamışlardır. Gao [114] çalışmasında kesir dereceli *PD* kontrolör kullanarak parametre belirsizliği içeren kesir dereceli sistemlerin kararlılığını belirlemek için bir yöntem sunmuştur. Önerilen kriterin etkinliğini doğrulamak için üç örnek vermiştir. Chen vd. [64], durum-uzay formunda verilen lineer zamanla değişmeyen kesir dereceli belirsiz parametrelili bir sistemin dayanıklı kararlılık test prosedürünü ve MATLAB kodlarını çalışmalarında sunmuşlardır. Zheng [115], genel aralık belirsizliklerine sahip kesir dereceli sistemlerin dayanıklı kararlılığını kontrol etmek için etkili grafiksel metotlar önermiştir. Önerilen yöntemin kararlılık problemleri için gerekli ve yeterli koşulu sağladığını vurgulamıştır. Liang vd. [116], kesir dereceli *PI* kontrolör kullanarak, kesir dereceli aralık tipi belirsizlikleri olan kesir dereceli lineer zamanla değişmeyen sistemler için dayanıklı kararlılık bölgesini hesaplamak için basit ve etkili bir yöntem önermişlerdir. Metodun kesir dereceli aralık sistemler için kesir dereceli *PI* kontrolör tasarımında faydalı olduğunu belirtmişlerdir.

Bu bölümde, parametre belirsizliği içeren kesir dereceli transfer fonksiyonları için faz ilerlemeli ve faz gerilemeli kontrolör tasarımları yapılmıştır. Faz ilerlemeli ve faz gerilemeli kontrolörler, çoğunlukla integratör içeren servo sistemlerin kontrolünde kullanılırlar ve bu sistemlerde *PID* kontrolör ile sağlanan kontrolden daha iyi bir kontrol performansı gösterirler [117]. Bu durum, faz ilerlemeli ve faz gerilemeli kontrolör yapısının integratör içeren kontrol sistemlerinin tasarımında tercih edilmelerini sağlar. Kontrolör yapısında, belirlenmesi gereken parametre sayısının iki ya da üç parametre olması tercih edilmelerinde önemlidir. Ayrıca yapılarının basit ve geniş bir uygulama sahasında kullanılabilir olmaları diğer avantajları olarak sayılabilir. Bu kontrolörler genel yapı dikkate alındığında birbiri ile benzerlik göstermesine rağmen, sıfır ve kutupların yerleşimi bakımından birbirinden farklıdır.

Kontrol sistemlerinde kontrolör tasarımı bir filtre tasarımı gibi düşünülebilir ve filtrelemede kullanılan birçok yöntem kontrolör tasarımına uygulanabilir. Filtreleme açısından bakıldığında, yüksek geçiren filtre faz ilerlemeli kontrolör, alçak geçiren filtre faz gerilemeli kontrolör olarak bilinir. Faz ilerlemeli kontrolör, kontrol sisteminin ileri yol transfer fonksiyonuna kutup sıfırın sağında olacak şekilde bir sıfır ve bir kutup ekler [75]. Bir sıfır ve kutup eklenmesi ile sistemin kazanç geçiş frekansı

ve bant genişliği büyür. Faz ilerlemeli kontrolör ile kontrol edilen sistemin yüzde aşma değeri düşerken, zaman parametreleri de kısalmır. Böylece sistem cevabı hızlanmış olur. Ayrıca kapalı çevrim kontrol sisteminde kazanç ve faz payı artar ve sistemin kararlılığı iyileşir. Faz ilerlemeli kontrolör eklenen sistem, kararlı hal hataları yönünden değişiklik göstermez. Faz gerilemeli kontrolörler yüksek frekanslarda faz gerilemesi sağlar. Bu yapıda kazanç geçiş frekansı daha düşük frekanslara küçültülerek sistemin bant genişliği azaltılır. Bant genişliğinin azalmasıyla yükselme ve yerleşme zamanları genellikle uzar. Bunun sonucunda sistemin yanıt verme süresi yavaşlar [117].

Faz ilerlemeli ve faz gerilemeli kontrolör yapısının eşitliği Denklem 2.1 ile verilmiştir. Denklem 2.1’de $z < p$ ise kontrolör faz ilerlemeli kontrolör, $z > p$ ise faz gerilemeli kontrolör olarak adlandırılır. Bu kontrolör yapısında belirlenmesi gereken üç parametre vardır.

$$C(s) = \frac{K(s+z)}{(s+p)} \quad (2.1)$$

Faz ilerlemeli ve faz gerilemeli kontrolör için kullanılan başka bir eşitlik ise Denklem 2.2 şeklinde verilmiştir.

$$C(s) = \frac{1+sT}{1+s\alpha T} \quad (2.2)$$

Denklem 2.2 ile verilen eşitlikte belirlenmesi gereken α ve T parametreleri, her iki kontrolör içinde farklı tasarım adımlarının uygulanmasıyla belirlenir.

Faz ilerlemeli ve faz gerilemeli kontrolörlerin tasarımında, frekans cevabı ve kök- yer eğrisi yaklaşım yöntemleri temel olarak kullanılan yöntemlerdir. Bu yöntemlerin yanında, sezgisel algoritma tabanlı ve parametre optimizasyonuna dayanan optimizasyon yöntemleri de günümüzde sıklıkla kullanılmaktadır. Ogata [76] tarafından önerilen ayarlama yöntemleri faz ilerlemeli ve faz gerilemeli kontrolörün tasarımında yaygın olarak uygulanmıştır. Bu, deneme yanılma yöntemine dayanan bir yöntemdir, bu nedenle hem kazanç hem de faz payı özellikleri çok iyi karşılanamayabilir [118]. Loh vd. [119] faz ilerlemeli ve faz gerilemeli kontrolör parametrelerini belirlemek için bir online algoritma geliştirmişlerdir. Çalışmalarında kullanıcı tarafından belirlenmiş kazanç ve faz payına sahip bir sistem frekans cevabı

elde edebilmek için histerezisli röleler kullanmışlardır. Yeung ve Lee [120] faz ilerlemeli ve faz gerilemeli kontrolör için bir grafik tabanlı tasarım metodu geliştirmiştir. Önerilen yöntem ile kontrolör parametrelerinin kolayca belirlenebileceğini ve hem sürekli hem de ayrık zamanlı kontrolör tasarımında uygulanabileceğini vurgulamışlardır. Yöntemin kullanımını göstermek için detaylı bir örnek vermişlerdir. Horng [121], faz ilerlemeli-faz gerilemeli kontrolör tasarımlarını, genetik algoritmayı kullanarak istenen zaman yanıtlarına göre başarıyla gerçekleştirmiştir. Khiabani ve Babazadeh [122], belirsiz ve tam sayı dereceli sistemler için dayanıklı kesir dereceli faz ilerlemeli-gerilemeli kontrolör tasarımı yapmışlardır.

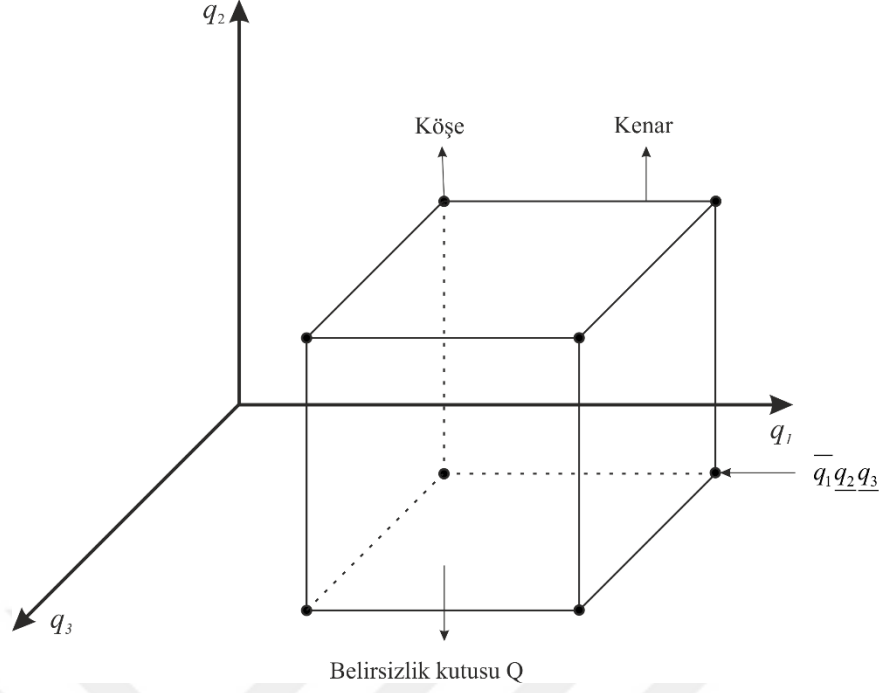
Bu bölümde, Atherton [110] tarafından tamsayı dereceli sistemler için kontrolör tasarımında kullanılan frekans domeni tabanlı bir yöntem sunulmuştur. Çalışmada, parametre belirsizliği ve zaman gecikmesine sahip kesir dereceli transfer fonksiyonları için faz ilerlemeli ve faz gerilemeli kontrolör tasarımları yapılmış ve kabul edilebilir sonuçlar elde edilmiştir.

2.2. Kontrol Sistemlerinde Parametre Belirsizliği Durumu

Birim geri beslemeli bir kontrol sisteminin blok diyagramı önceki bölümde verilmişti. Kontrol edilecek sistem ve kontrolör transfer fonksiyonlarının sırasıyla $G(s)$ ve $C(s)$ şeklinde olduğunu varsayalım. Bu şekilde verilen bir sistemin kararlılık durumu analizi için karakteristik polinomun incelenmesi yeterlidir. Yine de uygulamada böyle bir sistemin giriş parametreleri tam olarak bilinemeyebilir. Genellikle bu parametrelerin öngörülen bir aralıkta değiştiği bilinmektedir. Bu bilinmeyen parametreler, bir belirsizlik kutusu Q ile sınırlandırılmış bir $q = [q_1, q_2, \dots, q_q]^T$ vektörü ile gösterilebilir. Belirsizlik kutusu Q aşağıdaki denklemle ifade edilir.

$$Q = \{q \in \mathfrak{R}^q: q_i \in [\underline{q}_i, \overline{q}_i], i = 1, 2, \dots, q\} \quad (2.3)$$

Burada, \underline{q}_i alt limit, \overline{q}_i üst limit değerini gösterir. Üç bilinmeyen parametre için belirsizlik kutusu Şekil 2.1'de verildiği gibidir [111].



Şekil 2.1. Üç belirsiz parametre için parametre uzayındaki belirsizlik kutusu

Şekil 1.1 ile verilen kontrol sisteminde transfer fonksiyonu belirsiz bir transfer fonksiyonu olsun ve Denklem 2.4 şeklinde gösterilsin.

$$G(s, q) = \frac{N(s, q)}{D(s, q)} \quad (2.4)$$

Burada $N(s, q)$ ve $D(s, q)$ belirsiz polinomlardır. Bu polinomların katsayıları belirsizlik vektörünün (q) bir fonksiyonudur. Bu durumda sistemin karakteristik polinomu Denklem 2.5 şeklinde olur. Burada $N_c(s)$ ve $D_c(s)$ sırasıyla kontrolörün pay ve paydasını gösterir.

$$P(s, q) = N(s, q)N_c(s) + D(s, q)D_c(s) \quad (2.5)$$

Karakteristik polinom genel olarak Denklem 2.6 gibi yazılır.

$$P(s, q) = a_0(q) + a_1(q)s + a_2(q)s^2 + \dots + a_n(q)s^n \quad (2.6)$$

Denklemdaki katsayılar belirsizlik vektörüne (q) bağlıdır. Denklem 2.6 ile verilen polinomun kararlılık analizi için $a_i(q)$ katsayı fonksiyonunun tipi oldukça önemlidir. Katsayı fonksiyonlarının yapısına bağlı olarak belirsiz polinomlar dört sınıfa ayrılır ve aşağıda verildiği gibidir [111].

1. Bağımsız belirsizlik yapısı
2. Affine lineer belirsizlik yapısı
3. Multilineer belirsizlik yapısı
4. Polinom belirsizlik yapısı

Bu dört farklı belirsizlik yapısının aralarındaki sıralama aşağıdaki denklemde verildiği gibidir.

$$P_{bağımsız} \subset P_{affine} \subset P_{mlineer} \subset P_{polinom} \quad (2.7)$$

Denklem 2.7 ile verilen sıralamadan en basit belirsizlik yapısının bağımsız belirsizlik olduğu görülmektedir. Bağımsız belirsizlik yapısının etkili bir sonucu Kharitonov teoremidir. Sonraki belirsizlik yapısı olan affine belirsizlik yapısı için kenar teoremi oldukça faydalıdır. Multilineer ve polinom belirsizlik yapısı ise nispeten diğerlerine göre daha zor olan belirsizlik yapılarıdır. Bu belirsizlik yapıları ile ilgili doğrudan bir metot yoktur.

Parametre belirsizliği ile ilgili dayanıklı kontrolde kullanılan bazı gerekli metotlar vardır. Değer kümesi kavramı bu metotlardan birisidir ve belirsiz sistemlerin frekans cevaplarının hesaplanmasıyla, bu tür sistemlerin kararlılık analizini gerçekleştiren bir yöntemdir. Kharitonov teoremi, kenar teoremi, sıfır dışlama prensibi gibi metotlar parametre belirsizliği içeren sistemlerde kullanılan metotlara örnek olarak verilebilir.

2.3. Kharitonov Teoremi

1978 yılında V. L. Kharitonov tarafından literatüre kazandırılan Kharitonov teoremi, aralık bir polinomun dayanıklı kararlılığının belirsiz parametrelerin alt ve üst değerleri kullanılarak elde edilebilecek dört polinomun kararlılığının incelenmesi ile belirlenebileceğini kanıtlar [61].

Belirsizlik yapısı içeren tamsayı dereceli aralık bir polinomun aşağıdaki gibi tanımlandığını varsayalım.

$$P(s, q) = q_0 + q_1s + q_2s^2 + q_3s^3 + \dots + q_ns^n \quad (2.8)$$

Belirsizlik kümesi aşağıdaki denklemlerle verilmiştir.

$$Q = \{q : q_i \in [\underline{q}_i, \overline{q}_i], i = 0, 1, \dots, n\} \quad (2.9)$$

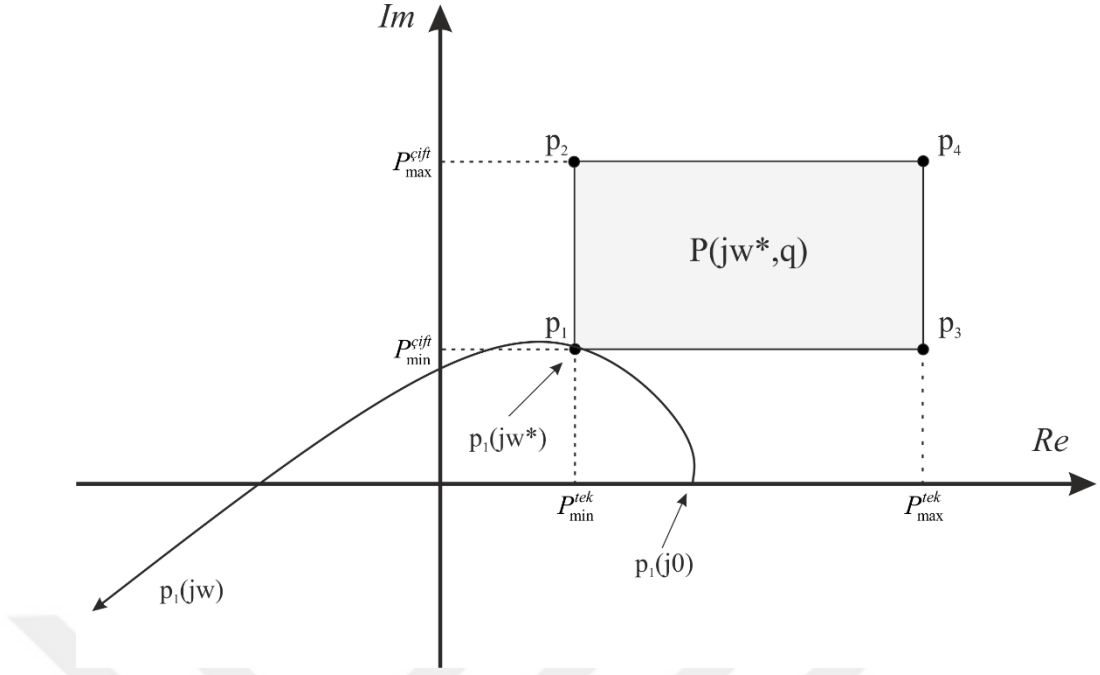
Denklem 2.8 ile verilen polinomun kararlı olabilmesi için aşağıda verilen dört Kharitonov polinomlarının Hurwitz kararlılığını sağlaması gerekir [123].

$$\begin{aligned} p_1(s) &= \underline{q}_0 + \underline{q}_1s + \overline{q}_2s^2 + \overline{q}_3s^3 + \underline{q}_4s^4 + \dots \\ p_2(s) &= \overline{q}_0 + \underline{q}_1s + \underline{q}_2s^2 + \underline{q}_3s^3 + \underline{q}_4s^4 + \dots \\ p_3(s) &= \overline{q}_0 + \overline{q}_1s + \underline{q}_2s^2 + \underline{q}_3s^3 + \underline{q}_4s^4 + \dots \\ p_4(s) &= \overline{q}_0 + \overline{q}_1s + \overline{q}_2s^2 + \overline{q}_3s^3 + \overline{q}_4s^4 + \dots \end{aligned} \quad (2.10)$$

Kharitonov teoreminin orijinal ispatı karmaşıktır. Genellikle sıfırı hariç tutma prensibiyle beraber değer kümesi kavramının kullanılmasıyla, Kharitonov teoreminin arkasındaki mantık anlaşılabilir. Sabit bir frekans değerinde aralık polinomlarının değer kümesi bir dikdörtgen olarak gösterilir. Kharitonov dikdörtgeni olarak adlandırılan bu dikdörtgenin kenarları reel ve sanal eksene paralel şekildedir. Sabit bir frekans değeri için aralık polinomunun değer kümesi Şekil 2.2’de verilmiştir.

Şekil 2.2’de $s = j\omega$ frekansı için dikdörtgenin köşelerini oluşturan dört Kharitonov polinomu görülmektedir. Dikdörtgen değer kümesinin kenarları reel ve sanal eksene paralel olduğundan, orjinin bu dikdörtgen değer kümesine dâhil edilmesinin veya dışlanması, Kharitonov polinomlarına karşılık gelen köşe noktaları kullanılarak kontrol edilebildiği kolayca gösterilebilir.

Genel olarak n. dereceden aralık polinomu için, Kharitonov teoremi dört sabit polinom setinin test edilmesini önermektedir.



Şekil 2.2. Kharitonov dikdörtgeni

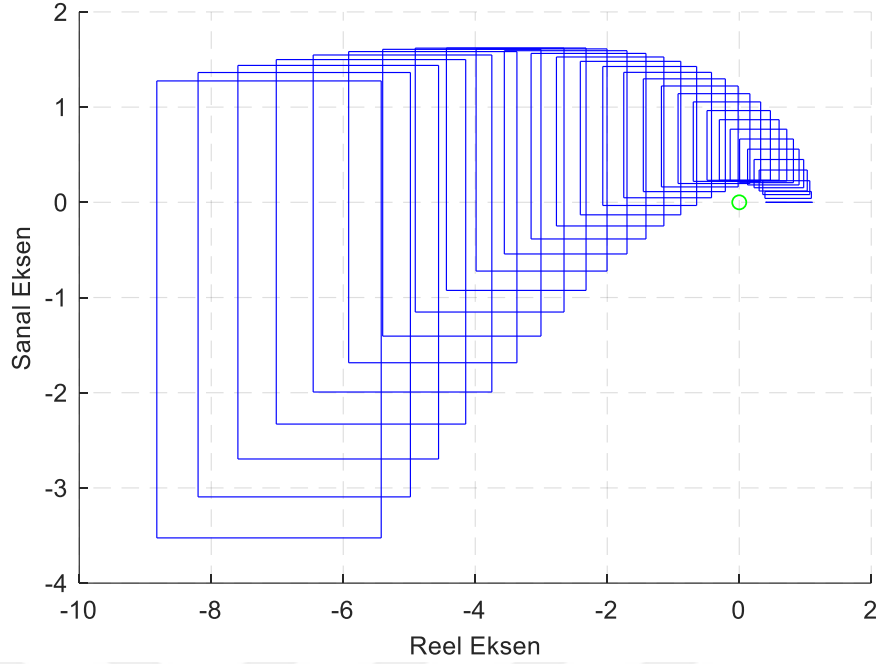
Üçüncü dereceden aralık bir polinom Denklem 2.11 şeklinde verilsin.

$$P(s, q) = [0.6, 1.4]s^3 + [2.9, 4.1]s^2 + [0.8, 2.2]s + [0.4, 1.1] \quad (2.11)$$

Denklem 2.11 ile verilen aralık polinomun dört Kharitonov polinomu aşağıdaki gibidir.

$$\begin{aligned} p_1(s) &= 1.4s^3 + 4.1s^2 + 0.8s + 0.4 \\ p_2(s) &= 0.6s^3 + 4.1s^2 + 2.2s + 0.4 \\ p_3(s) &= 1.4s^3 + 2.9s^2 + 0.8s + 1.1 \\ p_4(s) &= 0.6s^3 + 2.9s^2 + 2.2s + 1.1 \end{aligned} \quad (2.12)$$

Denklem 2.12 ile verilen dört Kharitonov polinomu kararlı olduğu için, Denklem 2.11 ile verilen polinomunda kararlı olduğu söylenir. Kharitonov dikdörtgenlerinin hareketi $0 \leq \omega \leq 1.5$ frekans aralığı için Şekil 2.3 gibi verilmiştir.



Şekil 2.3. Kharitonov dikdörtgenlerinin hareketi ($0 \leq \omega \leq 1.5$)

2.4. On altı Kharitonov Transfer Fonksiyonu

Aralık bir sistemin transfer fonksiyonu Denklem 2.13 şeklinde verilmiş olsun.

$$G(s) = \frac{N(s)}{D(s)} = \frac{b_0 + b_1s + \dots + b_{m-1}s^{\beta_{m-1}} + b_ms^{\beta_m}}{a_0 + a_1s + \dots + a_{n-1}s^{\alpha_{n-1}} + a_ns^{\alpha_n}} \quad (2.13)$$

Denklemden $a_i \in [\underline{a}_i, \overline{a}_i], i = 0, 1, 2, \dots, n$ ve $b_i \in [\underline{b}_i, \overline{b}_i], i = 0, 1, 2, \dots, m$ olmak üzere a ve b sırasıyla payda ve payın belirsiz parametrelerini göstermektedir. Denklem 2.13 ile verilen transfer fonksiyonunun pay ve paydası aralık polinom yapısındadır [124]. Pay ve payda polinomlarının kombinasyonları oluşturulmak istenirse on altı Kharitonov transfer fonksiyonu elde edilir. Bu transfer fonksiyonları Denklem 2.14 şeklinde ifade edilir.

$$G_k(s) = G_{ij}(s) = \frac{N_i(s)}{D_j(s)} \quad (2.14)$$

Burada $i, j = 1, 2, 3, 4$ şeklindedir.

2.5. Otuz iki Sistem

Kharitonov teoreminin, bağımsız belirsizlik yapısındaki polinomların dayanıklı kararlılık problemleri ile ilgili olduğu ifade edilmiştir. Bu teoremi sabit kontrolörlü aralık bir sisteme doğrudan uygulamak zordur. Bu tür sistemler için kenar teoremi kullanılır. Kenar teoreminde tüm etkin kenarların kararlılığı kontrol edilir. Etkin kenarların sayısı belirsiz parametre sayısına göre değişir ve üstel olarak artar. Bu durumda yapılacak işlemler karmaşık bir durum alır. Genelleştirilmiş Kharitonov teoremi kullanılarak bu problemler saf dışı bırakılır. Otuz iki sistem genelleştirilmiş Kharitonov teoreminin bir sonucudur.

Denklem 2.13 ile verilen transfer fonksiyonu göz önüne alınarak, pay ve payda için kenar denklemleri sırasıyla Denklem 2.15 ve Denklem 2.16 şeklinde verilmiştir [124].

$$(1-\lambda)N_i(s) + \lambda N_j(s) \quad (2.15)$$

$$(1-\lambda)D_i(s) + \lambda D_j(s) \quad (2.16)$$

Burada $\lambda \in [0,1]$ ve $(i, j) \in \{(1,2), (1,3), (2,4), (3,4)\}$ şeklindedir. Pay ve payda polinomları için Kharitonov polinomları ve Kharitonov kenar denklemleri kullanılarak Denklem 2.17 gibi otuz iki sistem elde edilir [124].

$$G_E(s) = \frac{N_i(s)}{(1-\lambda)D_j(s) + \lambda D_k(s)} \cup \frac{(1-\lambda)N_j(s) + \lambda N_k(s)}{D_i(s)} \quad (2.17)$$

Burada $\lambda \in [0,1]$, $i = 1, 2, 3, 4$ ve $(i, k) \in \{(1,2), (1,3), (2,4), (3,4)\}$ şeklindedir.

Aralık bir sistemin sabit bir kontrolörle denetlendiği bir kontrol sisteminde Bode, Nyquist ve Nichols eğrilerinin sınırları otuz iki sistem kullanılarak belirlenir.

2.6. Faz İlerlemeli Kontrolör Tasarımı

Bu bölümde, parametre belirsizliği ve zaman gecikmesine sahip kesir dereceli transfer fonksiyonları içeren kontrol sistemleri için faz ilerlemeli kontrolör tasarımı yapılmıştır. Faz ilerlemeli kontrolör tasarımını gerçekleştirmek için takip edilecek adımlar maddeler halinde aşağıdaki gibi verilmiştir [110]:

1. Bode diyagramı üzerinden faz payı en az olan transfer fonksiyonu seçilerek, kontrol edilecek olan sistemin faz payı (ϕ) belirlenir.
2. Yaklaşık olarak 5° - 18° arasında bir güvenlik açısı (ε) seçilir.
3. Sistemin faz payı aşağıda verilen denklem kullanılarak belirlenir. Burada, φ açısı istenen sistemin faz payı olarak alınır.

$$\phi_m = \varphi - \phi + \varepsilon \quad (2.18)$$

4. Aşağıdaki denklemden α parametresi hesaplanır.

$$\sin \phi_m = \frac{1 - \alpha}{1 + \alpha} \quad (2.19)$$

5. α parametresinin Denklem 2.20'de yerine yazılmasıyla kazanç payı aşağıdaki eşitlik kullanılarak hesaplanır.

$$G_m = -20 \log_{10} \sqrt{\alpha} \quad (2.20)$$

6. Kazanç payına karşılık gelen frekans (ω_m) değeri Bode diyagramı üzerinden okunur.
7. Son olarak, T parametresi Denklem 2.21 ile belirlenir.

$$\omega_m = \frac{1}{T\sqrt{\alpha}} \quad (2.21)$$

Sunulan tasarım basamakları takip edilerek α ve T parametreleri elde edilir. Denklem 2.2'de α ve T parametrelerinin yerine yazılmasıyla faz ilerlemeli kontrolör

tasarlanmış olur. Eğer arzu edilen kontrolör tasarımına ulaşılamamışsa, farklı bir ε değeri belirlenerek tasarım adımları tekrarlanır.

2.7. Faz Gerilemeli Kontrolör Tasarımı

Parametre ve zaman gecikmesine sahip kesir dereceli transfer fonksiyonlarının kontrolü için faz gerilemeli kontrolör tasarımı aşağıda verilen tasarım adımları takip edilerek gerçekleştirilir [110]:

1. $G(s)$ transfer fonksiyonunun faz payı, faz payı en az olan transfer fonksiyonu seçilerek ve Denklem 2.22 kullanılarak belirlenir. Bu denklemde, δ yaklaşık 4° - 5° olan bir güvenlik açısını ve φ sistemin faz payını gösterir. δ parametresi Denklem 2.23 şeklinde ifade edilir.

$$\arg G(j\omega) = -(180^\circ - \varphi) + \delta \quad (2.22)$$

$$\delta = \tan^{-1} 10 - \tan^{-1} 10\alpha \quad (2.23)$$

2. $G(s)$ 'in Bode diyagramı dikkate alınarak, ilk adımda belirlenen faz payına karşılık gelen frekans değeri okunur.
3. Bu frekans değerine karşılık gelen kazanç payı Bode diyagramından bulunur.
4. Önceki adımlarda bulunan kazanç payı ve faz payı Denklem 2.24 ve Denklem 2.25'te yerine yazılarak α ve T parametreleri belirlenmiş olur.

$$T = \frac{10}{\omega} \quad (2.24)$$

$$|G(j\omega)| = 20 \log_{10} \alpha \quad (2.25)$$

Kontrol edilecek olan sisteme göre tasarım adımlarının uygulanmasıyla α ve T parametreleri bulunur. Bulunan α ve T parametreleri Denklem 2.2'de yerine konularak faz gerilemeli kontrolör tasarımı yapılmış olur. Eğer istenen sonuçlara ulaşılamamışsa, farklı bir δ değeri belirlenerek tasarım adımları tekrarlanır.

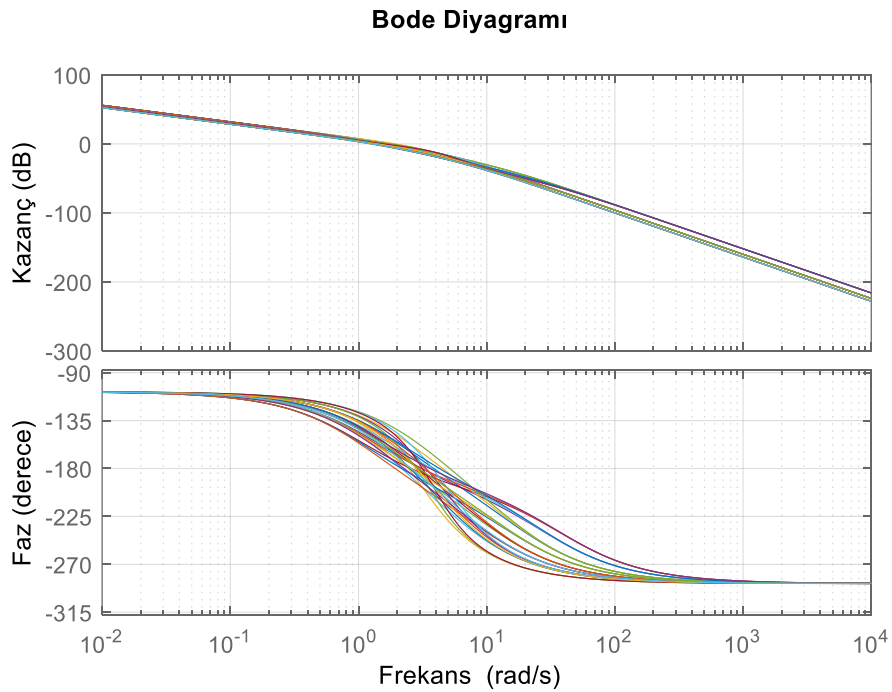
2.8. Uygulama Örnekleri

2.8.1. Örnek 1

Aşağıda verilen kesir dereceli parametre belirsizliğine sahip bir sistem örnek olarak alınmış olsun ve bu sistem için kontrolör tasarımı verilen tasarım basamakları kullanılarak gerçekleştirilsin.

$$G(s) = \frac{2}{a_2 s^{3.2} + a_1 s^{2.2} + a_0 s^{1.2}} \quad (2.26)$$

Bu transfer fonksiyonunda a_2, a_1 ve a_0 olmak üzere 3 belirsiz parametre vardır. Burada $a_2 \in [0.02, 0.08]$, $a_1 \in [0.4, 0.8]$ ve $a_0 \in [0.8, 1.2]$ şeklinde alınmıştır. Her bir katsayı için alt, orta ve üst limit olmak üzere 3 değer alınmıştır. Bunun sonucunda Denklem 2.26 ile verilen transfer fonksiyonu için $3^3 = 27$ köşe polinomu elde edilir. Şekil 2.4 farklı köşe polinomları için elde edilen Bode diyagramlarını gösterir.



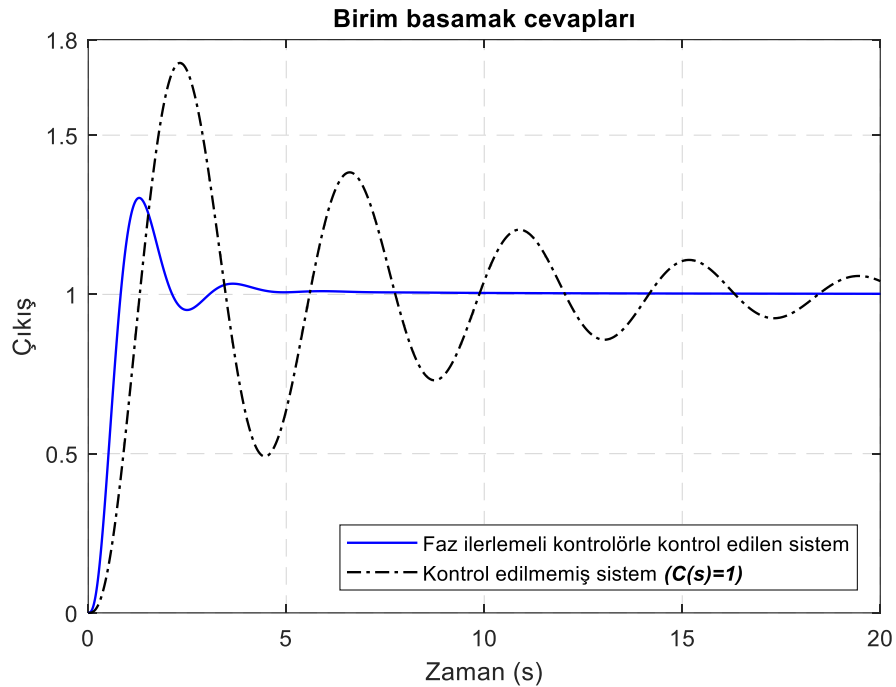
Şekil 2.4. Belirsiz parametre içeren kesir dereceli transfer fonksiyonları için Bode diyagramı

Tasarım adımlarına faz payı en küçük olan transfer fonksiyonu seçilerek başlanır. Denklem 2.27 ile verilen transfer fonksiyonu 11.1° ile en küçük faz payına sahip transfer fonksiyonudur. Denklem 2.27 ile verilen transfer fonksiyonuna tasarım adımları uygulandığında α parametresi 0.163, T parametresi 1.091 olarak belirlenir. Tasarım adımlarında 2 ve 3. maddede belirtilen sistemin faz payı 40° ve güvenlik açısı 17° olarak seçilmiştir. Faz ilerlemeli kontrolör eşitliği Denklem 2.28 gibi elde edilir.

$$G(s) = \frac{2}{0.08s^{3.2} + 0.8s^{2.2} + 0.8s^{1.2}} \quad (2.27)$$

$$C(s) = \frac{1+1.091s}{1+0.178s} \quad (2.28)$$

Hesaplanan faz ilerlemeli kontrolör Denklem 2.27 ile verilen sisteme uygulanırsa, Şekil 2.5 ile verilen birim basamak cevabı elde edilir. Şekil 2.5 incelendiğinde, kontrol edilen sistemde yüzde aşmanın istenildiği gibi % 25 civarında olduğu görülmektedir. Ayrıca kontrol edilen sistemde zaman parametrelerinin kısaldığı dikkat çekmektedir.

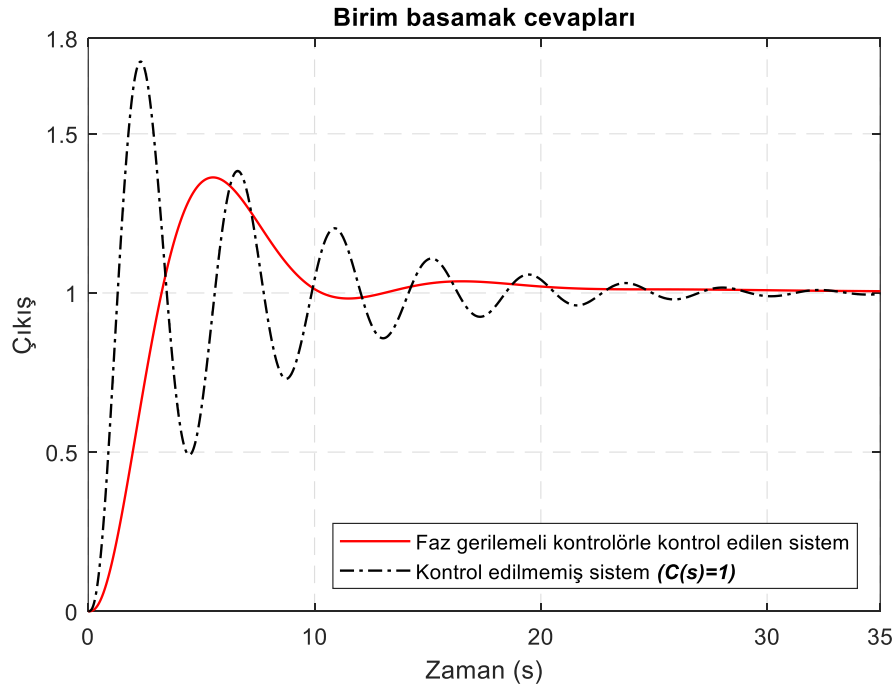


Şekil 2.5. Kontrolör uygulanan ve uygulanmayan ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları

Denklem 2.27 ile verilen transfer fonksiyonu alınıp, tasarım adımları faz gerilemeli kontrolör tasarımı için uygulanırsa α ve T parametresi sırasıyla 4.9 ve 19.084 olarak belirlenir. Elde edilen parametreler kontrolör denkleminde yerine yazıldığında faz gerilemeli kontrolör, Denklem 2.29 gibi elde edilir. Bu kontrolör tasarımında sistemin faz payı 40° ve δ parametresi 4° olarak seçilmiştir.

$$C(s) = \frac{1+19.084s}{1+93.512s} \quad (2.29)$$

Şekil 2.6, faz gerilemeli kontrolör sisteme uygulandığında elde edilen birim basamak cevabını gösterir. Şekil 2.6 incelendiğinde, maksimum yüzde aşma değerinin %70 seviyelerinden % 35'lere düştüğü görülmektedir.



Şekil 2.6. Kontrolör uygulanan ve uygulanmayan ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları

Şekil 2.7 ile kontrol edilmeyen ve faz ilerlemeli kontrolör ile kontrol edilen sistemlerin açık çevrim transfer fonksiyonlarının Bode diyagramları verilmiştir. Bode diyagramında sistemin kazanç geçiş frekansı 1.43 rad/s iken 2.27 rad/s frekansına artmıştır. Faz geçiş frekansı, 1.91 rad/s'den 5.31 rad/s frekansına kaymıştır. Faz payı

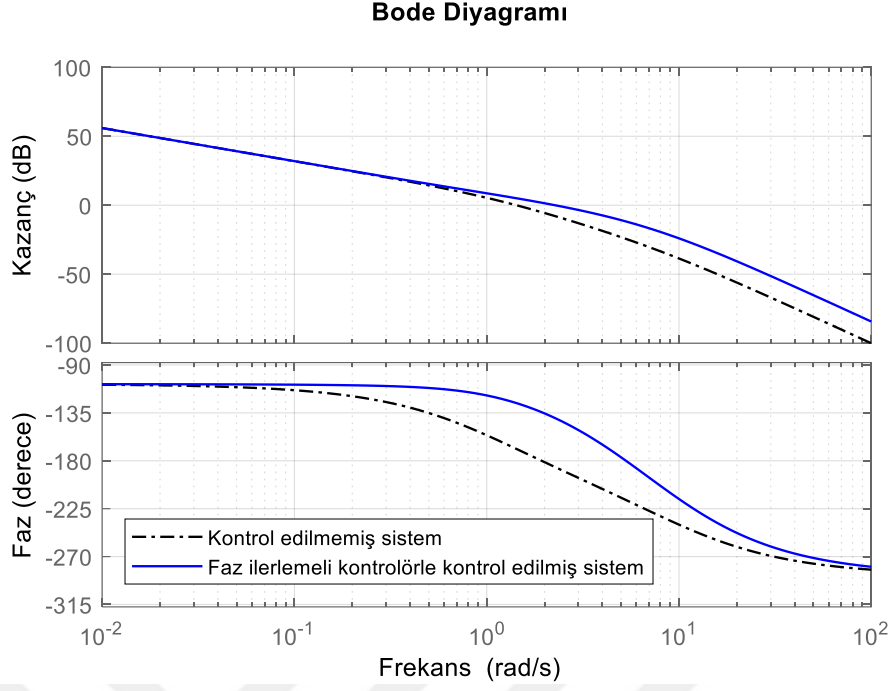
yaklaşık 30° artarken, kazanç payı yaklaşık 7 dB artmıştır. Böylece sistemin bant genişliği artmış ve bağlı kararlılığı iyileşmiştir. Bu ise sistemin cevap hızının artmasını sağlamıştır.

Şekil 2.8 ile kontrol edilmeyen ve faz gerilemeli kontrolör ile kontrol edilen sistemlerin açık çevrim transfer fonksiyonlarının Bode diyagramları verilmiştir. Şekil 2.8 incelendiğinde, kontrolör uygulanmayan sistemin kazanç geçiş frekansı 1.42 rad/s iken, faz gerilemeli kontrolör ile denetlenen sistemin kazanç geçiş frekansı 0.527 rad/s frekansına düşmüştür. Faz geçiş frekansı kontrolör içermeyen sistemde 1.95 rad/s iken, kontrol edilen sistemde 1.87 rad/s olduğu görülmektedir. Kazanç payı 13 dB, faz payı 28° artmıştır. Kazanç geçiş frekansının daha düşük frekanslara kaydırılması bant genişliğinin azalmasına dolayısı ile sistemin cevap hızının azalmasına neden olur.

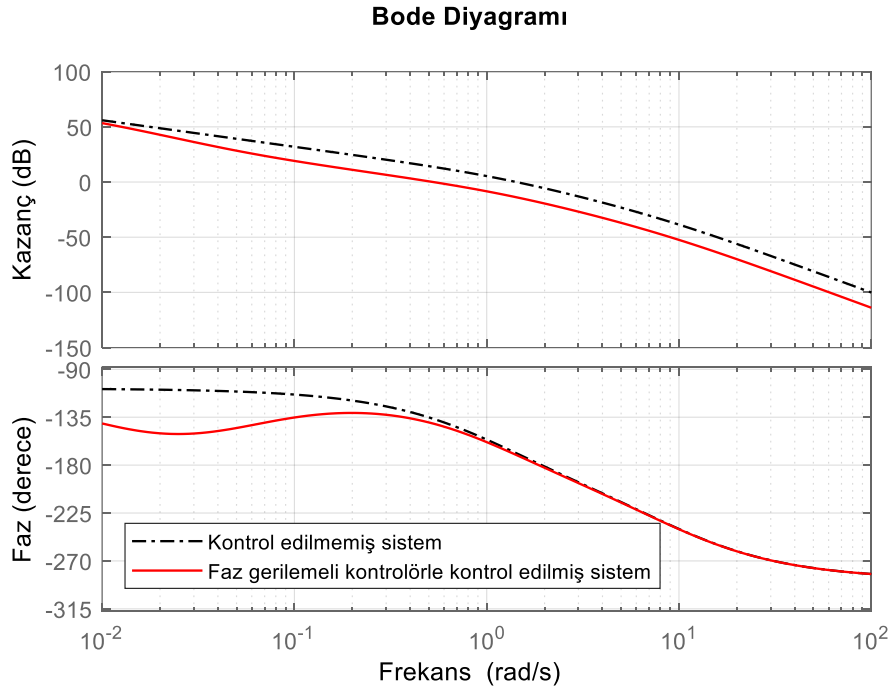
Faz ilerlemeli ve faz gerilemeli kontrolörler ile denetlenen sistemlerin birim basamak cevap eğrileri sırasıyla Şekil 2.9 ve Şekil 2.10 ile sunulmuştur. Seçilen transfer fonksiyonu için tasarımı yapılan faz ilerlemeli ve faz gerilemeli kontrolörlerin diğer transfer fonksiyonlarını da kontrol ettiği, her iki şekilden görülmektedir. Birim basamak cevaplarından transfer fonksiyonlarının katsayılarının değişimiyle yüzde aşma ve zaman parametrelerinin değiştiği görülmektedir.

Faz ilerlemeli ve faz gerilemeli kontrolörler ile denetlenen sistemlerin Bode diyagramları Şekil 2.11 ve Şekil 2.12 ile verilmiştir.

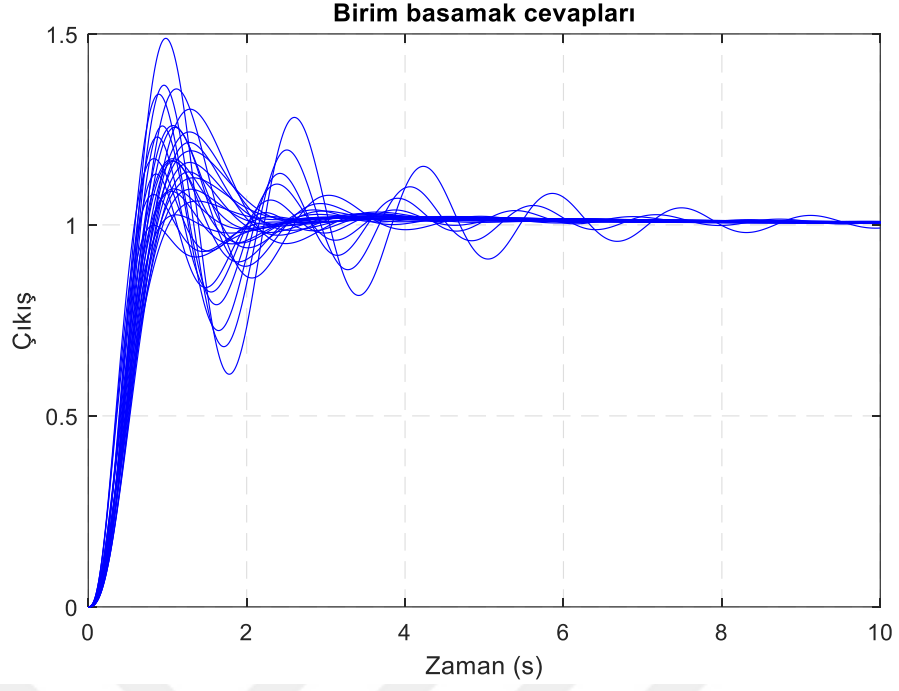
Denklem 2.26 ile verilen sistemde üç belirsiz parametre olduğu belirtilmişti. Dolayısı ile belirsiz parametrelerin alt ve üst limitleri için sistemin 8 köşe polinomu ve 12 etkin kenarı vardır. Faz ilerlemeli ve faz gerilemeli kontrolör kullanılarak tasarlanan kontrol sistemleri için $0.5 \leq \omega \leq 20$ rad/s frekans aralığındaki Nyquist şablonları sırasıyla Şekil 2.13 ve Şekil 2.14 ile verilmiştir. Nyquist şablonları incelendiğinde sistemin kararlı olduğu ve istenilen faz payı değerlerine sahip olduğu farkedilmektedir. Dolayısıyla sistemin parametre değişimlerine rağmen dayanıklı kararlı olduğu söylenebilir.



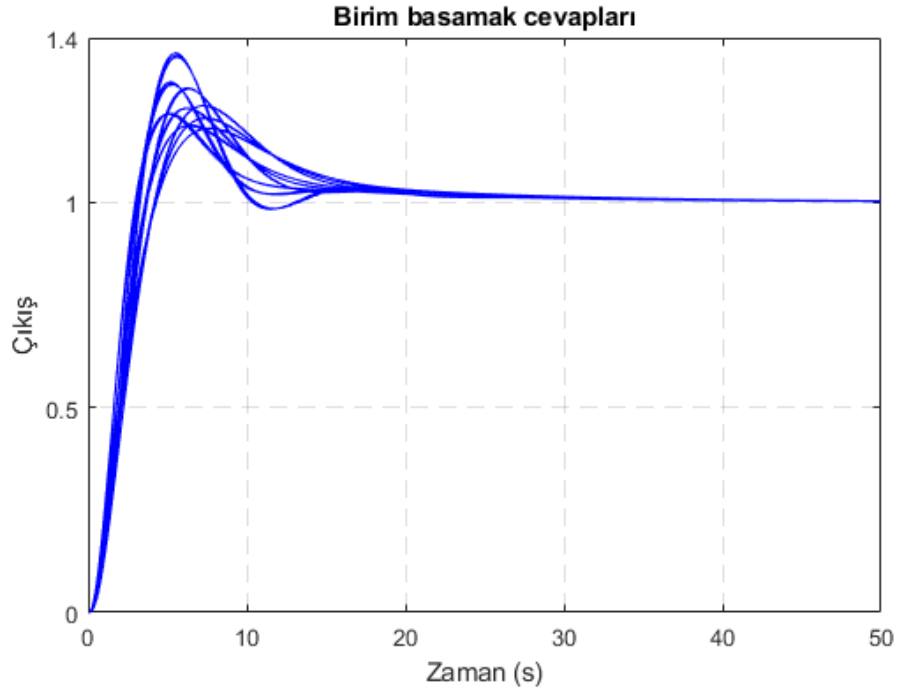
Şekil 2.7. Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı



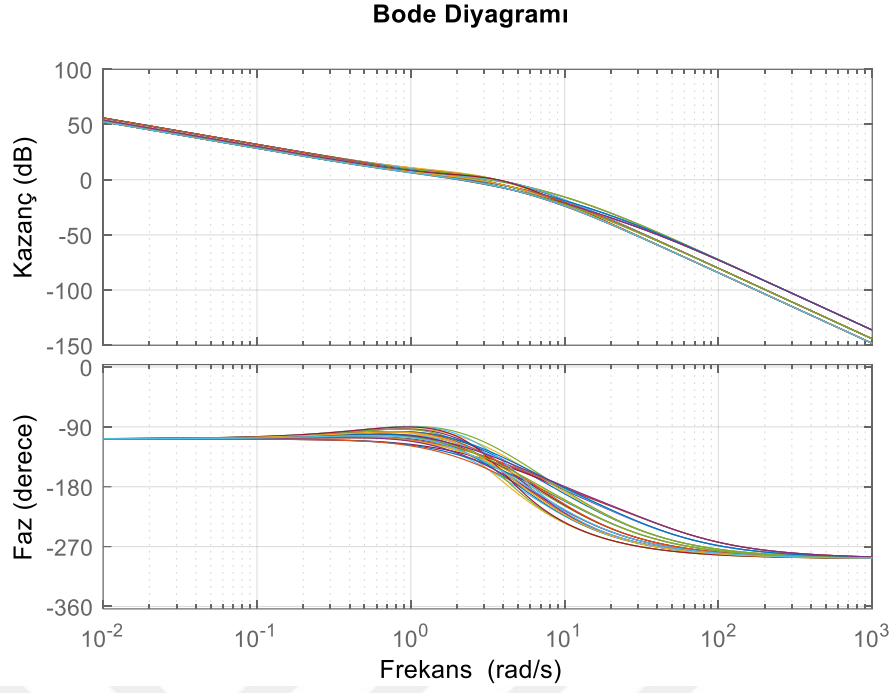
Şekil 2.8. Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı



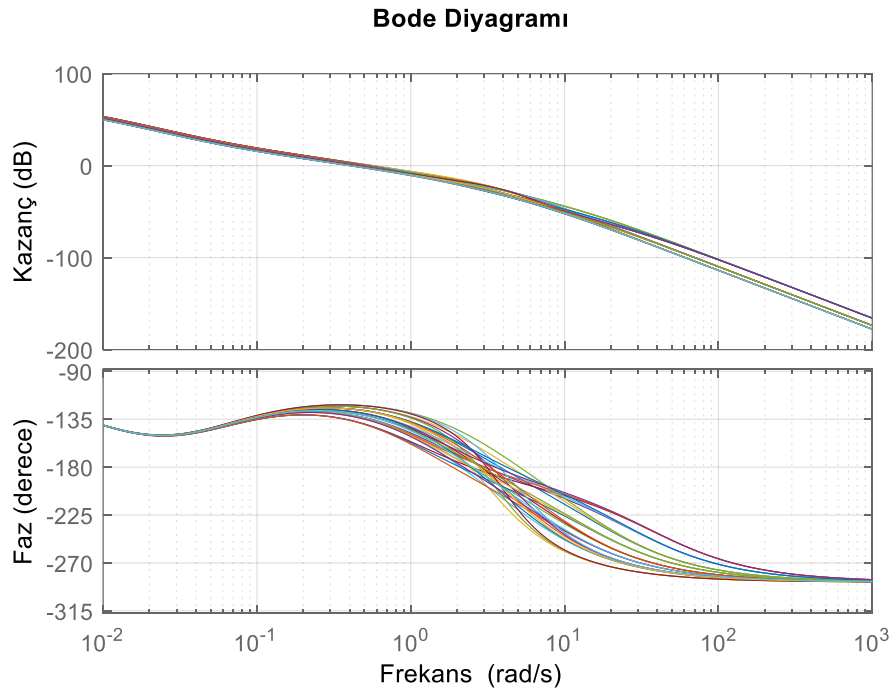
Şekil 2.9. Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları



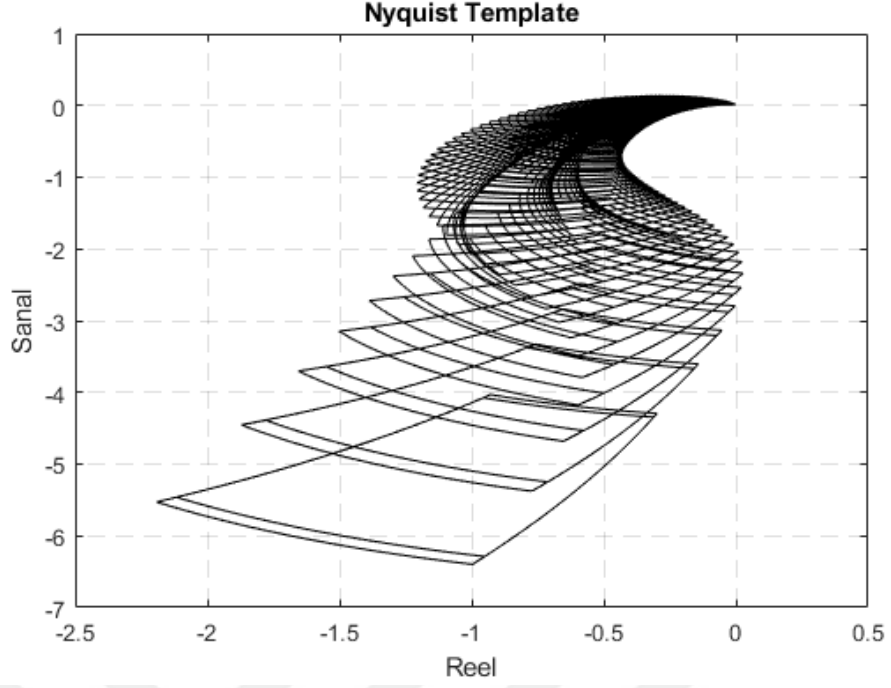
Şekil 2.10. Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları



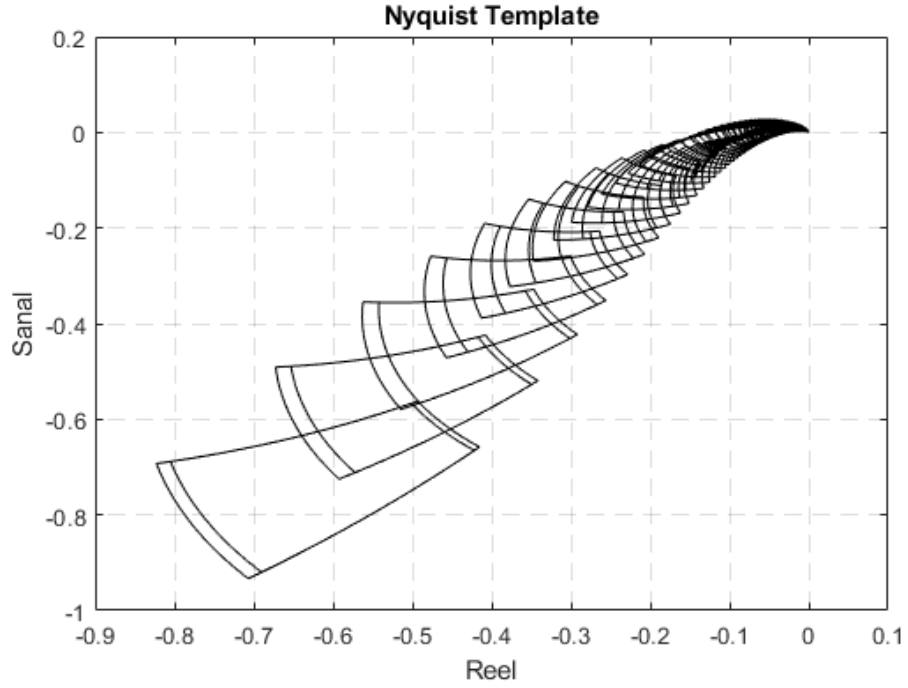
Şekil 2.11. Faz ilerlemeli kontrolör ile kontrol edilen sistemlerin Bode diyagramları



Şekil 2.12. Faz gerilemeli kontrolör ile kontrol edilen sistemlerin Bode diyagramları



Şekil 2.13. Faz ilerlemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 20$ rad/sn'de Nyquist şablonu



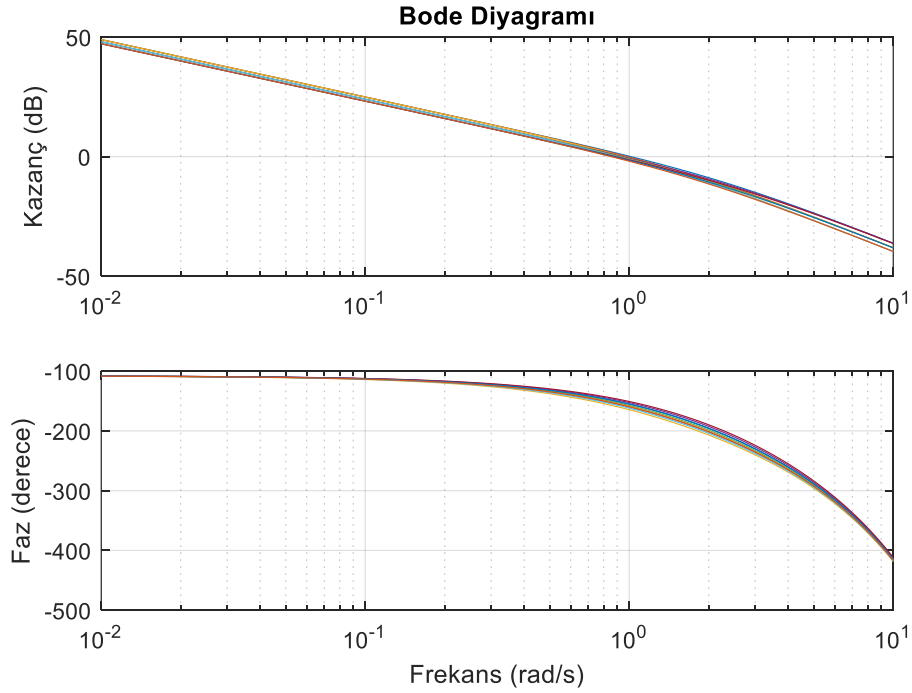
Şekil 2.14. Faz gerilemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 20$ rad/sn'de Nyquist şablonu

2.8.2. Örnek 2

Denklem 2.30 ile verilen sistemi örnek olarak ele alalım. Gerçek sistemlerde sıkça karşılaşılan zaman gecikmesi ve belirsiz parametre içeren kesir dereceli sistem için faz ilerlemeli ve faz gerilemeli kontrolör tasarımı gerçekleştirilelim.

$$G(s) = \frac{2}{a_1 s^{2.2} + a_0 s^{1.2}} e^{-0.4s} \quad (2.30)$$

Bu transfer fonksiyonunda a_1 ve a_0 katsayıları olmak üzere 2 belirsiz parametre vardır. Burada $a_1 \in [0.8, 1.2]$ ve $a_0 \in [1.8, 2.2]$ şeklinde verilmiştir. Her iki katsayı için alt, orta ve üst limit olmak üzere 3 değer alınır, transfer fonksiyonu için $3^2 = 9$ köşe polinomu elde edilir. Elde edilen farklı köşe polinomları için Bode diyagramları Şekil 2.15 ile verildiği gibidir.



Şekil 2.15. Parametre belirsizliği ve zaman gecikmesi içeren kesir dereceli transfer fonksiyonları için Bode diyagramları

Denklem 2.31 ile verilen transfer fonksiyonu, faz payı en küçük (18°) transfer fonksiyonu olduğundan dolayı kontrolör tasarımında kullanılmak için seçilmiştir.

Tasarım adımlarının Denklem 2.31 ile verilen transfer fonksiyonuna uygulanmasıyla faz ilerlemeli kontrolör için α parametresi 0.23 ve T parametresi 1.38 olarak belirlenir. Belirlenen parametrelerin kontrolör denkleminde yerine yazılmasıyla faz ilerlemeli kontrolörün eşitliği Denklem 2.32 şeklinde elde edilir. Güvenlik açısı 17.4° ve faz payı 40° olarak alınmıştır.

$$G(s) = \frac{2}{1.2s^{2.2} + 1.8s^{1.2}} e^{-0.4s} \quad (2.31)$$

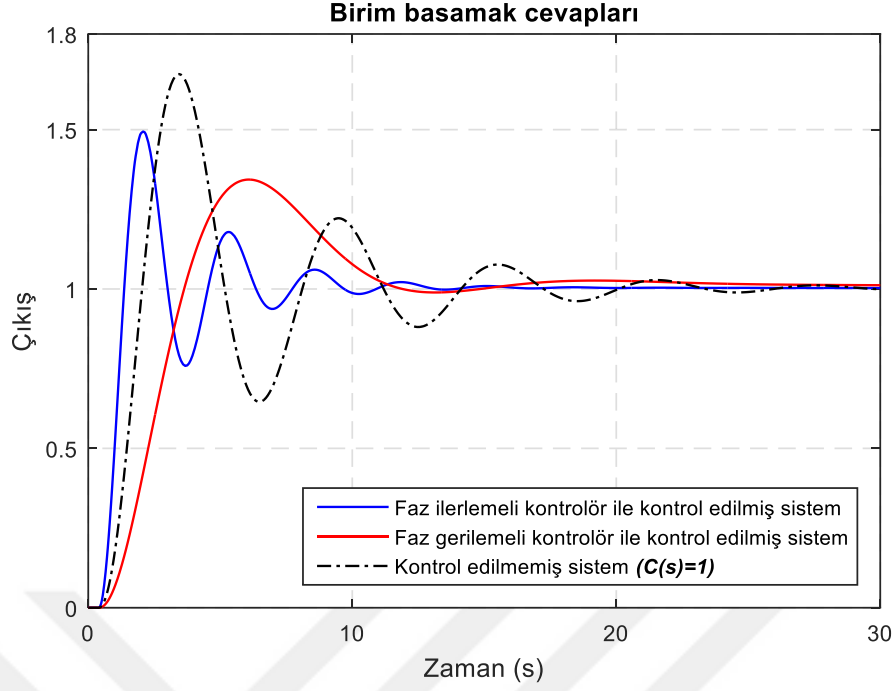
$$C(s) = \frac{1 + 1.38s}{1 + 0.32s} \quad (2.32)$$

Tasarım adımlarının faz gerilemeli kontrolör tasarımı için uygulanmasıyla, α parametresi 2.63 ve T parametresi 21.3 olarak hesaplanır. Belirlenen parametrelerin kontrolör denkleminde yerine yazılmasıyla faz gerilemeli kontrolörün eşitliği Denklem 2.33 gibi elde edilir. Sistemin faz payı 40° ve δ parametresi 4° olarak seçilmiştir.

$$C(s) = \frac{1 + 21.3s}{1 + 56.02s} \quad (2.33)$$

Hesaplanan faz ilerlemeli ve faz gerilemeli kontrolörlerin Denklem 2.31 ile verilen sisteme uygulanmasıyla kontrol edilen sistemlerin birim basamak cevapları Şekil 2.16'daki gibi elde edilir. Şekil incelendiğinde, her iki kontrolör ile kontrol edilen sistemlerin yüzde aşma değerlerinin düştüğü görülmektedir. Faz ilerlemeli kontrolör ile denetlenen sistemin tepkisinin daha hızlı olduğu açıktır. Bunun yanında, faz gerilemeli kontrolör ile denetlenen sistemin yüzde aşma değerinin kontrol edilmeyen sisteme göre daha düşük olduğu şekilden görülmektedir.

Denklem 2.31 ile verilen sistem için, kontrolör uygulanmayan ve faz ilerlemeli kontrolör uygulanan sistemin açık çevrim transfer fonksiyonlarının Bode diyagramları Şekil 2.17 ile verilmiştir. Sistemin kazanç geçiş frekansı 0.94 rad/s'den 1.5 rad/s frekansına artmıştır. Faz geçiş frekansı 1.33 rad/s'den 2.26 rad/s frekansına kaymıştır. Faz payı yaklaşık 13° artarken, kazanç payı aynı kalmıştır.

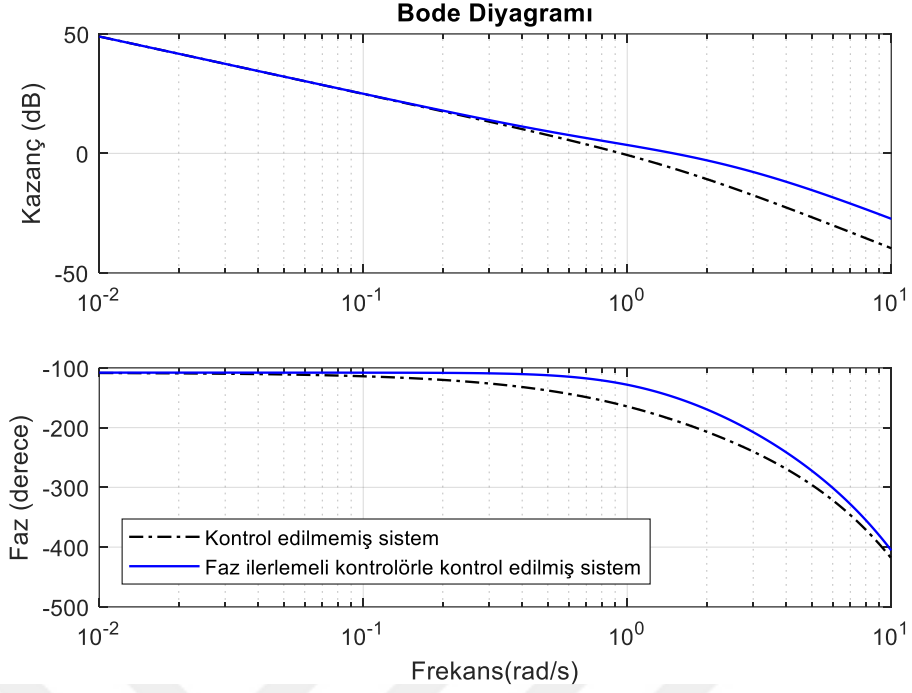


Şekil 2.16. Kontrolör uygulanan ve uygulanmayan ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları

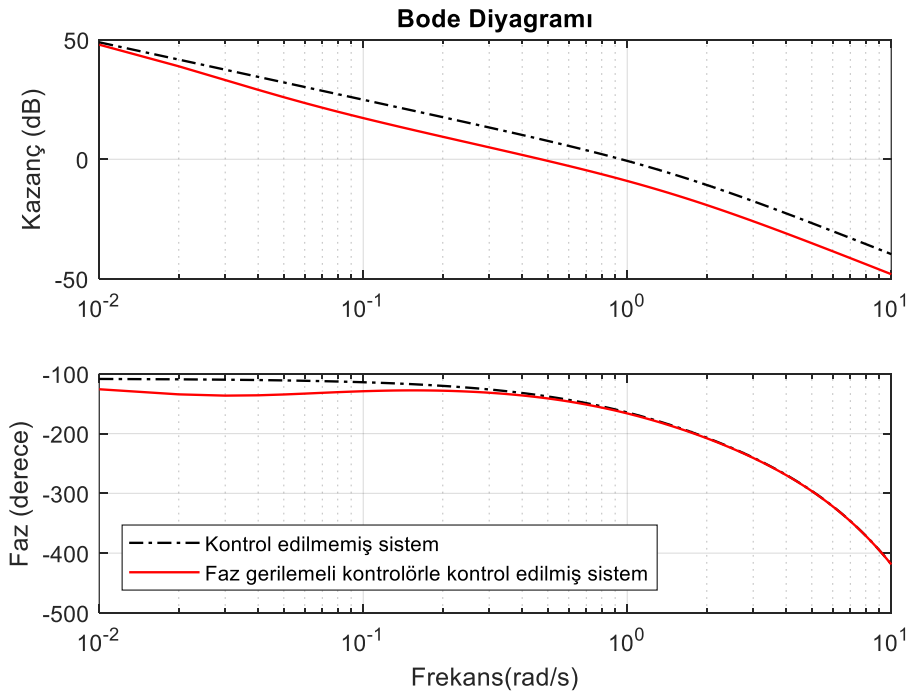
Denklem 2.31 ile verilen sisteme faz gerilemeli kontrolör uygulandığında elde edilen sistemin Bode diyagramı Şekil 2.18 ile verilmiştir. Aynı şekilde kontrol edilmeyen sistemin Bode diyagramı da görülmektedir. Şekilde, kontrol edilmeyen sistemin kazanç geçiş frekansı 0.94 rad/s iken, faz gerilemeli kontrolör ile denetlenen sistemin kazanç geçiş frekansının 0.47 rad/s frekansına geldiği görülmektedir. Ayrıca, faz geçiş frekansının değişmediği görülmektedir. Faz payında yaklaşık 4° değişme ve kazanç payında yaklaşık 8.5 dB 'lik artış olduğu görülmektedir.

Faz ilerlemeli ve faz gerilemeli kontrolörler ile denetlenen sistemlerin birim basamak cevap eğrileri sırasıyla Şekil 2.19 ve Şekil 2.20 ile verilmiştir. Seçilen transfer fonksiyonu için tasarımı yapılan faz ilerlemeli ve faz gerilemeli kontrolörlerin diğer transfer fonksiyonlarını da kontrol ettiği Şekil 2.19 ve Şekil 2.20'den görülmektedir.

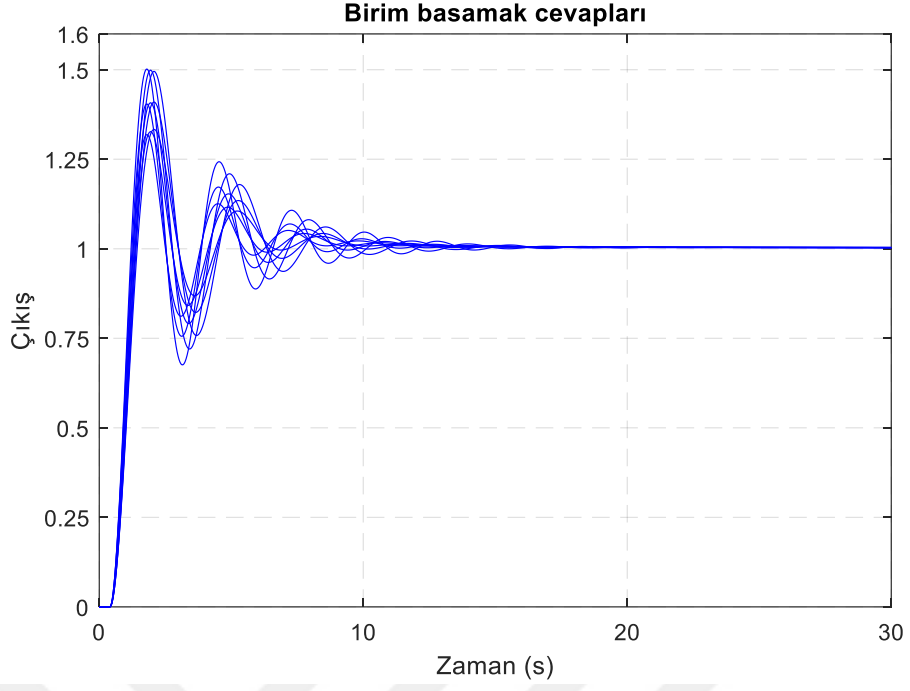
Faz ilerlemeli ve faz gerilemeli kontrolör kullanılarak tasarlanan kontrol sistemleri için $0.5 \leq \omega \leq 30 \text{ rad/sn}$ frekans aralığındaki Nyquist şablonları sırasıyla Şekil 2.21 ve Şekil 2.22 ile verilmiştir.



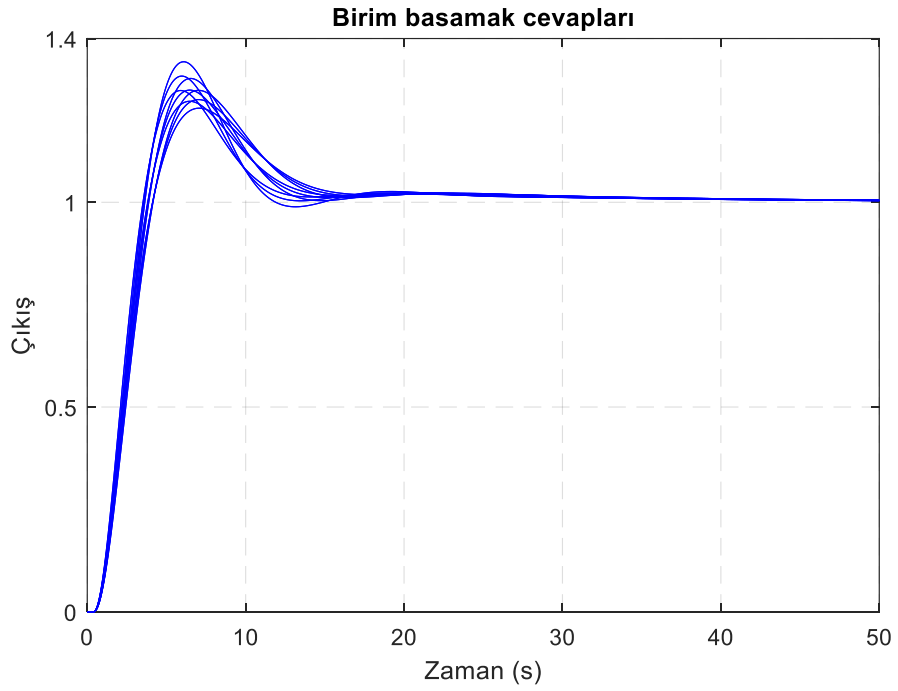
Şekil 2.17. Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı



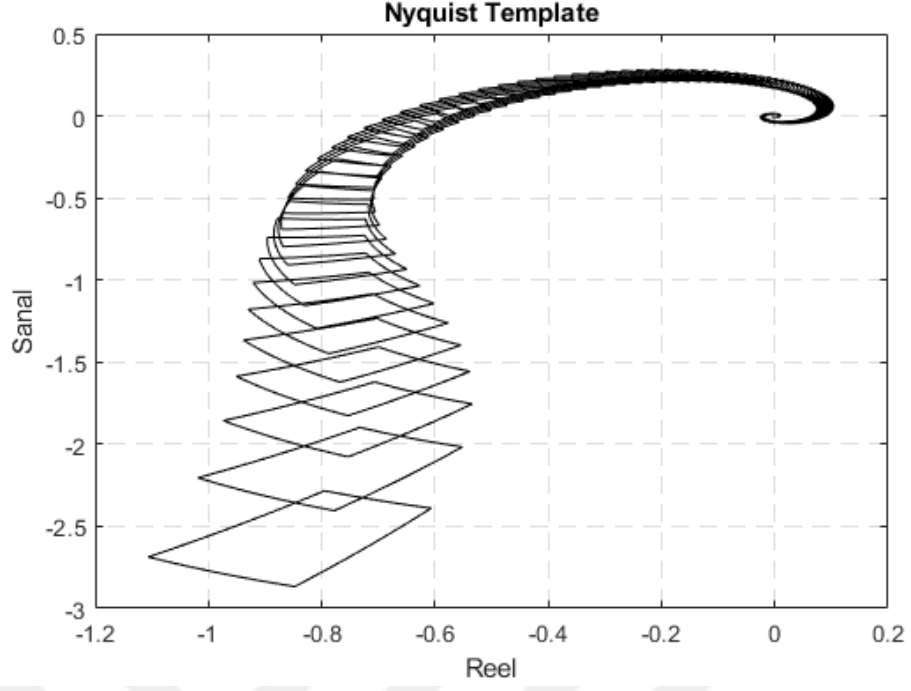
Şekil 2.18. Kontrolör uygulanan ve uygulanmayan sistemin Bode diyagramı



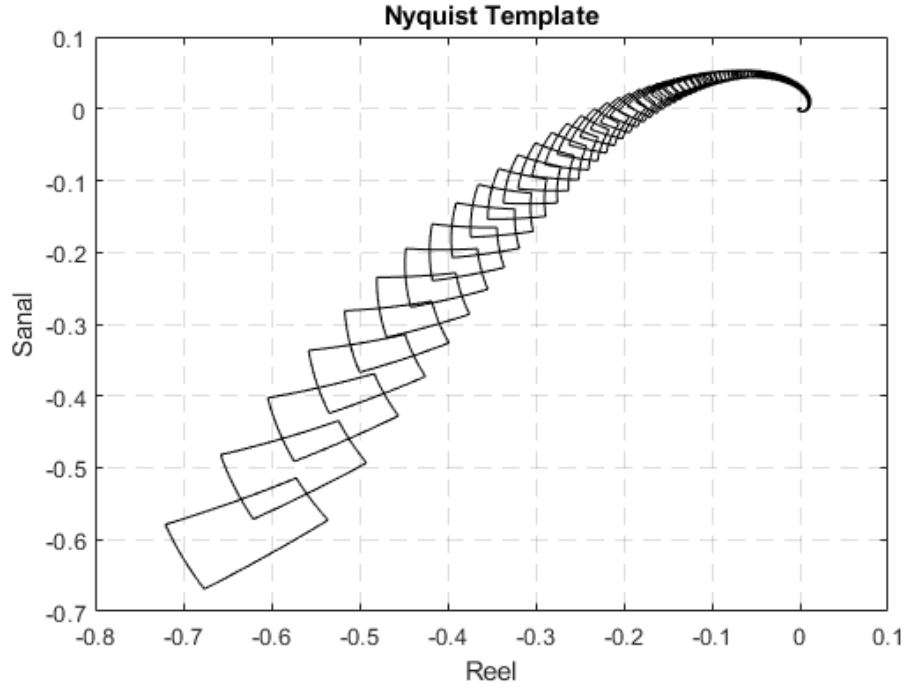
Şekil 2.19. Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 2.20. Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 2.21. Faz ilerlemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 30$ rad/sn’de Nyquist şablonu



Şekil 2.22. Faz gerilemeli kontrolörle kontrol edilen parametre belirsizliği içeren sistemin $0.5 \leq \omega \leq 30$ rad/sn’de Nyquist şablonu

2.8.3. Örnek 3

Belirsiz parametreler içeren ve zaman gecikmesine sahip kesir dereceli bir sistem aşağıdaki gibi verilmiş olsun. Bu sistem için faz ilerlemeli ve faz gerilemeli kontrolör tasarımı gerçekleştirmek üzere yapılan çalışma aşağıdaki gibidir.

$$G(s) = \frac{b_0}{a_1 s^{2.1} + a_0 s^{1.1}} e^{-0.5s} \quad (2.34)$$

Bu transfer fonksiyonunda a_1 , a_0 ve b_0 katsayıları olmak üzere 3 belirsiz parametre vardır. Burada $a_1 \in [1, 1.4]$, $a_0 \in [1.6, 2]$ ve $b_0 \in [1.3, 1.7]$ şeklinde alınmıştır. Belirsiz katsayılar için alt, orta ve üst limit olmak üzere 3 değer alınmıştır. Dolayısıyla belirsiz sistem için 27 köşe polinomu elde edilir. Farklı transfer fonksiyonları için elde edilen Bode diyagramları Şekil 2.23 ile verilmiştir. Kontrolör tasarımı için 19.4° ile en küçük faz payına sahip transfer fonksiyonu Denklem 2.35 şeklinde seçilir.

$$G(s) = \frac{1.7}{1.4s^{2.1} + 1.6s^{1.1}} e^{-0.5s} \quad (2.35)$$

Tasarım adımları, faz ilerlemeli kontrolör için seçilen transfer fonksiyonuna uygulanırsa, α parametresi 0.244 ve T parametresi 1.5 olarak belirlenir. Tasarım adımlarında $\varphi = 40^\circ$, $\varepsilon = 17.4^\circ$ seçilmiştir. Hesaplanan parametrelerin yerine yazılmasıyla faz ilerlemeli kontrolör Denklem 2.36 gibi elde edilir.

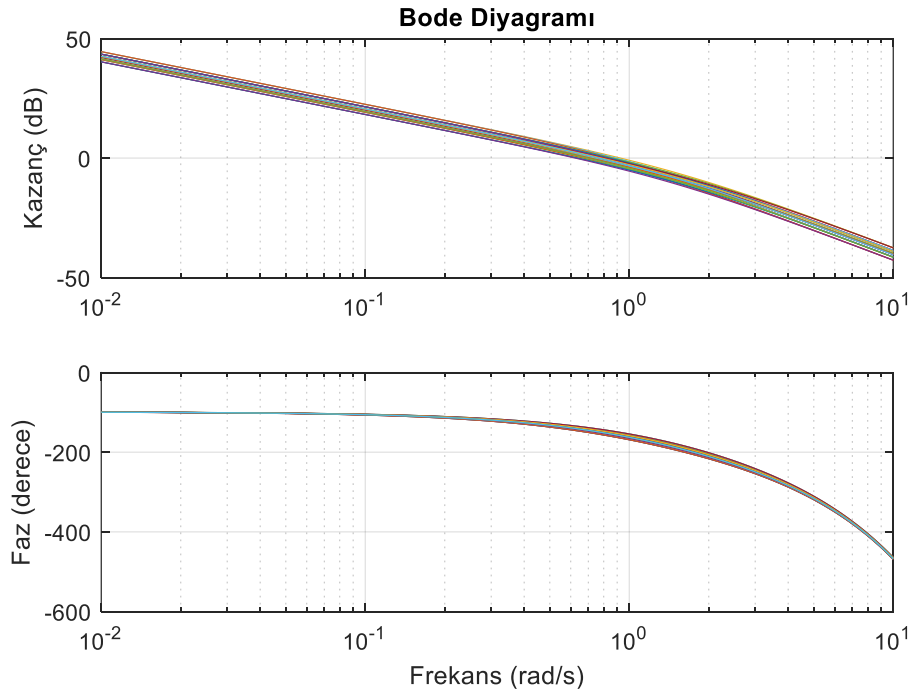
$$C(s) = \frac{1 + 1.5s}{1 + 0.366s} \quad (2.36)$$

Tasarım adımları, faz gerilemeli kontrolör için seçilen transfer fonksiyonuna uygulanırsa, α parametresi 2.16 ve T parametresi 20.55 olarak belirlenir. Tasarım adımlarında $\varphi = 40^\circ$, $\delta = 4^\circ$ seçilmiştir. Belirlenen parametrelerin yerine yazılmasıyla faz gerilemeli kontrolör Denklem 2.37 gibi elde edilir.

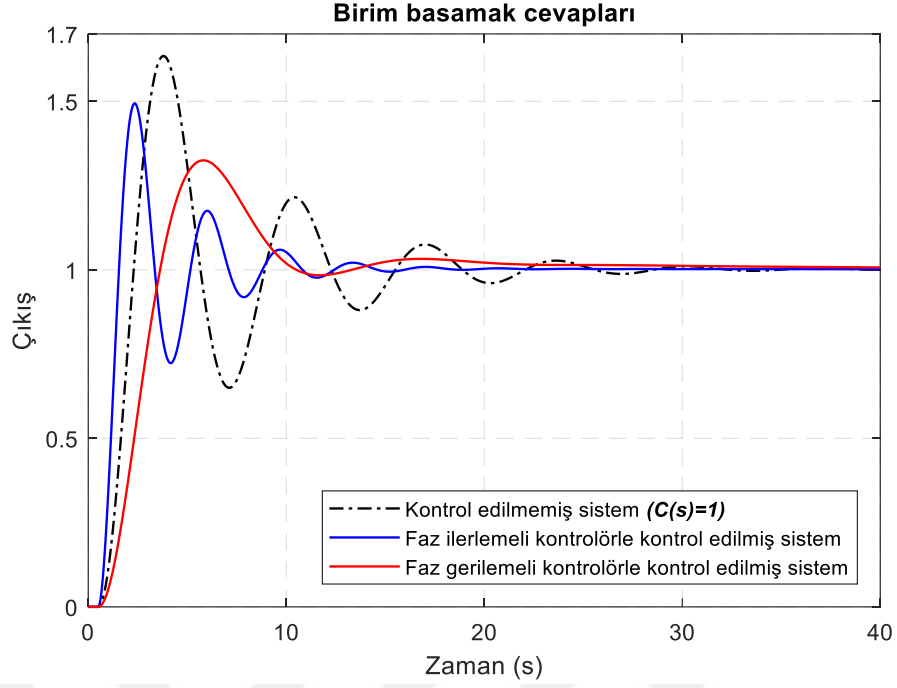
$$C(s) = \frac{1 + 20.55s}{1 + 44.388s} \quad (2.37)$$

Elde edilen kontrolörlerin, Denklem 2.35 ile verilen sisteme uygulanmasıyla elde edilen kapalı çevrim sistemin birim basamak cevapları Şekil 2.24 ile sunulmuştur. Şekil incelendiğinde, faz ilerlemeli kontrolörün sistemin cevap hızını artırdığı ve yüzde aşma değerini düşürdüğü, faz gerilemeli kontrolörün ise yüzde aşmayı düşürmesine rağmen, zaman parametrelerini uzattığı görülmektedir.

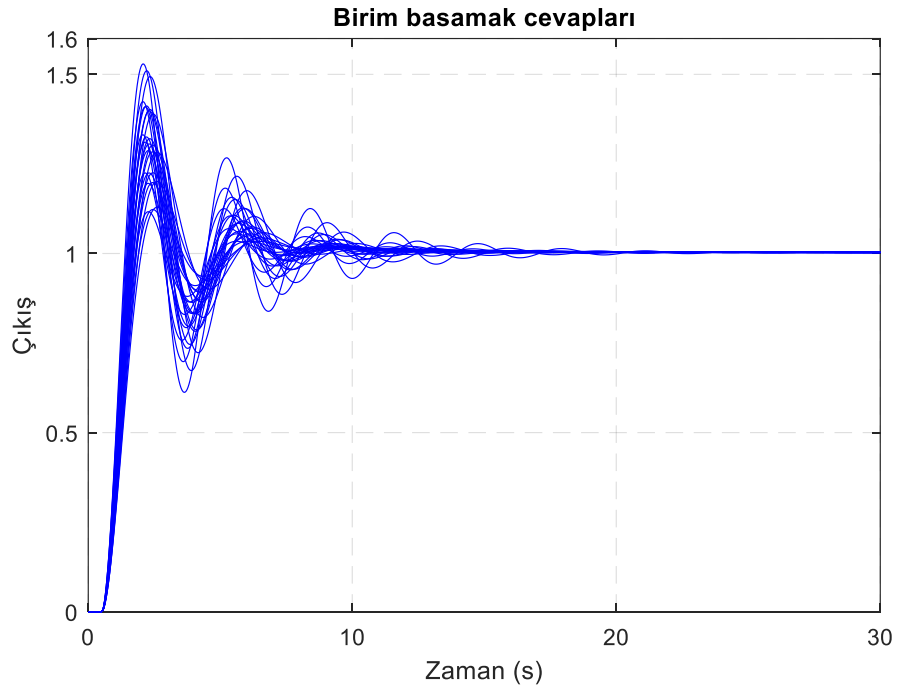
Denklem 2.36 ve Denklem 2.37 ile belirlenen kontrolörlerin, 27 köşe polinomu kullanılarak belirlenen kesir dereceli sistemlere uygulanmasıyla elde edilen sistemlerin birim basamak cevap eğrileri sırasıyla Şekil 2.25 ve Şekil 2.26 ile verilmiştir. Yönteme göre seçilen transfer fonksiyonu için belirlenen kontrolörlerin, parametrelerin değişmesiyle elde edilen diğer sistemleri de kontrol edebildiği her iki şekilden de görülmektedir.



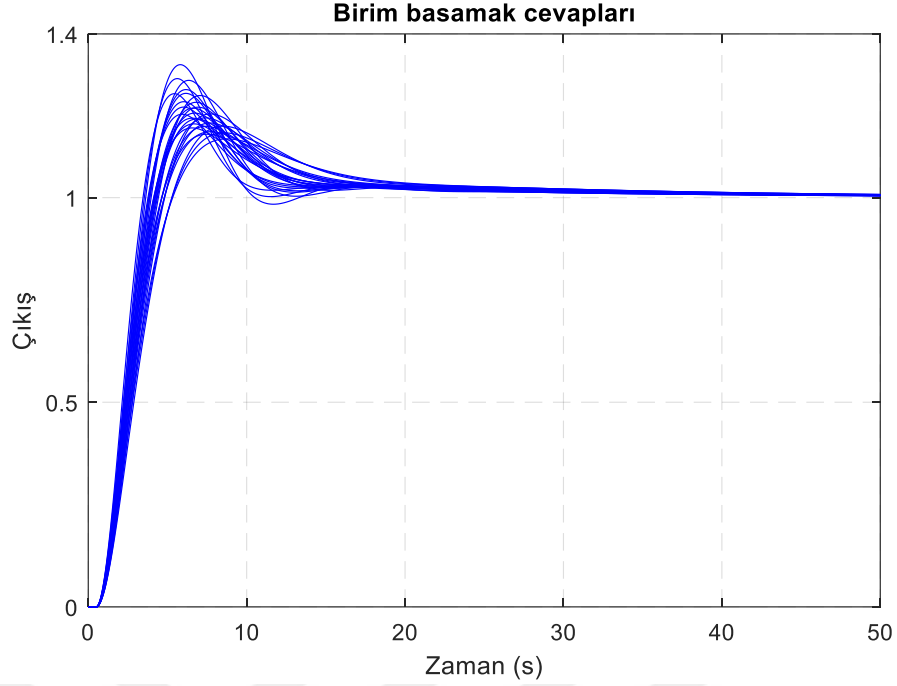
Şekil 2.23. Parametre belirsizliği ve zaman gecikmesi içeren kesir dereceli transfer fonksiyonları için Bode diyagramları



Şekil 2.24. Kontrolör uygulanan ve uygulanmayan ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları



Şekil 2.25. Faz ilerlemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 2.26. Faz gerilemeli kontrolör kullanılarak denetlenen sistemlerin kapalı çevrim birim basamak cevapları

2.9. Bölüm 2'nin Sonuçları

Bu bölümde, parametre belirsizliği içeren kesir dereceli transfer fonksiyonlarına sahip kontrol sistemleri için kontrolör parametrelerinin belirlenmesi ile ilgili bir çalışma sunulmuştur. Atherton [110] tarafından tamsayı dereceli sistemler için kullanılan klasik bir tasarım yöntemi, parametre belirsizliği ve zaman gecikmesi içeren kesir dereceli sistemlere uygulanmış ve kabul edilebilir sonuçlar elde edilmiştir.

Bu bölümde, üç parametresi belirsiz kesir dereceli bir sistem, zaman gecikmesine sahip iki ve üç parametresi belirsiz kesir dereceli sistemler için faz ilerlemeli ve faz gerilemeli kontrolör tasarımları yapılmıştır. Faz ilerlemeli kontrolörün sistemlerin cevap hızını artırdığı ve yüzde aşma değerini azalttığı, faz gerilemeli kontrolörün ise yüzde aşma değerini düşürdüğü fakat zaman parametrelerini uzattığı görülmüştür. Belirlenen faz ilerlemeli ve faz gerilemeli kontrolörlerin, belirsiz parametre sayısına göre değişen farklı katsayılı transfer fonksiyonlarını da başarılı bir şekilde kontrol ettiği örneklerden görülmüştür.

Çalışmada yer alan kesir dereceli sistemlerin birim basamak cevapları ve Bode diyagramları FOTF MATLAB araç kutusu kullanılarak elde edilmiştir.

3. KESİR DERECELİ TRANSFER FONKSİYONU İÇEREN KONTROL SİSTEMLERİNDE İNTEGRAL PERFORMANS KRİTERLERİNE DAYALI OPTİMİZASYON YÖNTEMİ İLE KONTROLÖR TASARIMLARI

3.1. Giriş

Herhangi bir sistem için uygun olan kontrolörün tasarımı kontrol teorisinin temelini oluşturur. Uygulamada çoğu zaman düşük dereceli ve basit kontrolör yapıları tercih edilir. Bu kontrolör yapılarından en çok kullanılan kontrolörler oransal (P tipi), oransal-integral (PI tipi), oransal-türev (PD tipi), oransal-integral-türev (PID tipi), oransal-integral-oransal-türev ($PI-PD$), faz ilerlemeli (lead) ve faz gerilemeli (lag) kontrolörlerdir. Günümüzde, PID kontrolörler birçok avantajından dolayı kontrol çevrimlerinde sıklıkla kullanılan kontrolör yapılarından biridir. Bunun nedenleri arasında, yapılarının basit, güvenilir ve dayanıklı olması, iyi biliniyor olmaları ve hesaplanması gereken parametre sayısının az olması sayılabilir. Literatürde, PID kontrolör tasarımı ile ilgili çok sayıda yapılmış bilimsel çalışma vardır. PID kontrolör parametrelerinin hesaplanmasında, Ziegler-Nichols, Åström-Hägglund ve Cohen Coon gibi klasik tasarım metotları en önemlileridir. Ayrıca yeniden ayarlanmış Ziegler-Nichols, kazanç ve faz payına dayanan metotlar, frekans domeninde yapılan tasarım yöntemleri mevcuttur [16]. Yine de bu metotlarla her zaman iyi sonuçlar elde edilemeyebilir. Kontrol sisteminin çıkış cevabını daha iyi yapacak farklı kontrolör parametreleri mevcut olabilir. Bundan dolayı optimal kontrol parametrelerinin elde edilebilmesi için optimizasyon yöntemleri geliştirilmiştir. Bu yöntemlerin amacı, en iyi cevabı sağlayan kontrolör parametrelerini belirlemektir. Bütün bu kontrolör parametrelerinin ayarlanmasına yönelik metotlar farklı kontrol sistemlerinde farklı sonuçlar verebilir. Bundan dolayı en iyi kontrolör parametrelerinin ayarlanmasında özel bir metot olduğu söylenemez.

İdeal bir kontrol sisteminde çıkış işareti referans girişi sıfır hata ile izlemeye çalışır, fakat bu pratikte mümkün olmamaktadır. Bir sistemi kontrol etmenin amacı, kontrolör içeren sistemin sıfır hataya yaklaşarak iyi bir performans elde etmektir. Çoğu zaman bir kontrol sisteminin performansı değerlendirilirken sistemin birim basamak cevabına karşı gösterdiği geçici ve kalıcı durum davranışı incelenir. Özellikle sistemin geçici durum cevabına ait maksimum yüzde aşma, yükselme, yerleşme ve tepe zamanı gibi zaman cevabı performans karakteristikleri dikkate alınır. Bu parametrelerin küçük

değerli olması istenir fakat bu parametrelere göre tasarım yapmak güçtür. Dolayısı ile kapalı çevrim kontrol sisteminde hatayı esas alarak optimal kontrol parametrelerini hesaplamaya yönelik integral performans kriterleri geliştirilmiştir. Kontrolör tasarımında integral performans kriterleri kullanılarak kontrol edilen sistemde oluşan hatanın minimize edilmesiyle optimal kontrolör parametreleri bulunabilir. İntegral performans kriterleri, optimizasyon algoritmalarında amaç fonksiyonu olarak tanımlanır ve minimizasyonu sağlarlar.

İlk olarak 1953 yılında Graham ve Lathrop, hatanın karesinin integrali (ISE) ve hatanın mutlak değerinin integrali (IAE) performans kriterlerini kullanmışlardır [125]. Daha sonra integral performans kriterleri geliştirilerek zaman ağırlıklı hatanın karesinin integrali (ITSE) ve zaman ağırlıklı hatanın mutlak değerinin integrali (ITAE) elde edilmiştir [126]. Literatürde yaygın olarak kullanılan integral performans kriterleri Çizelge 3.1 ile verilmiştir [110, 127].

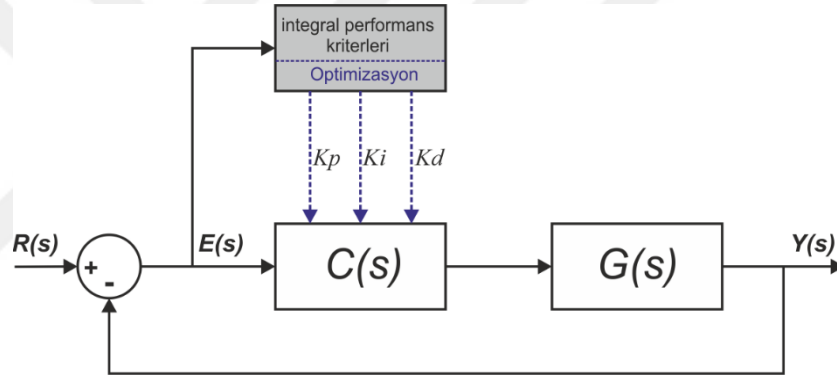
Çizelge 3.1. Sıklıkla kullanılan integral performans kriterleri

| <i>İntegral performans kriterleri</i> | | |
|---------------------------------------|--|---|
| 1 | $J_{ISE} = \int_0^{\infty} e^2(t).dt$ | Hatanın karesinin integrali (ISE) |
| 2 | $J_{IAE} = \int_0^{\infty} e(t) .dt$ | Hatanın mutlak değerinin integrali (IAE) |
| 3 | $J_{ITSE} = \int_0^{\infty} t.e^2(t).dt$ | Hatanın zaman ağırlıklı karesinin integrali (ITSE) |
| 4 | $J_{ITAE} = \int_0^{\infty} t. e(t) .dt$ | Hatanın zaman ağırlıklı mutlak değerinin integrali (ITAE) |

Bu bölümde, kesir dereceli transfer fonksiyonu içeren kontrol sistemleri için parametre optimizasyonuna dayalı kontrolör tasarımları gerçekleştirilmiştir. Kontrolör parametrelerinin belirlenmesi amacıyla çeşitli optimizasyon yöntemleri önerilmiştir. Önerilen yöntemler örnekler eklenerek sunulmuştur. Bu yöntemler ile kontrolör parametrelerinin kolayca belirlenebildiği ve sistemlerin kontrolünün başarılı bir şekilde gerçekleştirilebildiği gösterilmiştir.

3.2. Optimizasyon Yöntemi

MATLAB programı Optimizasyon araç kutusunda minimizasyon ya da maksimizasyon için kullanılacak komutlar ve fonksiyonlar vardır. Fminsearch, fmincon, fminimax, fsolve ve Genetik Algoritma (GA) bunlardan bazılarıdır. Bu bölümde yapılan optimizasyon algoritmalarında genellikle fmincon ve fminsearch fonksiyonu tercih edildi. Fmincon fonksiyonu, sınırlı doğrusal olmayan çok değişkenli fonksiyonun minimumunu bulur. Kontrolör yapısına göre değişiklik gösterse de, optimizasyon algoritmaları için oluşturulan modelleri temsil eden blok diyagram Şekil 3.1 ile verilmiştir. Bu blok diyagram *PID* kontrolör için gösterilmiştir. *PI*, kesir dereceli *PID*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları için blok diyagram yapılan küçük değişiklik ile uygun hale getirilebilir.



Şekil 3.1. *PID* kontrolör optimizasyonu için kullanılan blok diyagram

Şekil 3.1’de $C(s)$ kontrolör, $G(s)$ kontrol edilecek sistemi ifade eder. $E(s)$ ise kontrol sisteminde oluşan hatayı ifade eder ve giriş işareti ile çıkış işareti arasındaki fark olarak tanımlanır. Hata, Denklem 3.1 şeklinde yazılır.

$$e(t) = r(t) - y(t) \quad (3.1)$$

Bu bölümde, optimizasyon için kullanılan algoritma adımları genel olarak fmincon fonksiyonu için aşağıdaki gibi verilebilir.

Adım 1. İlk olarak kontrol sisteminin modeli oluşturulur ve amaç fonksiyonu tanımlanır.

Adım 2. Fmincon dört farklı algoritma uygular. Tez çalışmasında ‘interior point’ seçildi.

Adım 3. Kontrol parametrelerini temsil eden tasarım değişkenleri üzerinde alt (*lb*) ve üst (*ub*) sınırlar tanımlanır.

Adım 4. Kontrolör parametrelerinin başlangıç değerleri girilir.

Adım 5. Optimizasyon algoritması çalıştırılır ve fmincon fonksiyonu amaç fonksiyonlarına göre minimum değeri hesaplar.

$$\min_x f(x) \begin{cases} c(x) \leq 0 \\ ceq(x) = 0 \\ A.x \leq b \\ Aeq.x = beq \\ lb \leq x \leq ub \end{cases} \quad (3.2)$$

Burada, *b* ve *beq* vektörleri, *A* ve *Aeq* matrisleri, *c(x)* ve *ceq(x)* vektörleri döndüren fonksiyonları, *f(x)* skaler döndüren bir fonksiyonu gösterir. *x*, *lb* ve *ub* vektör yada matris olarak geçirilebilir.

Adım 6. Optimizasyon algoritması istenen uygunluk değeri sağlanınca durur. İstenen uygunluk değeri sağlanamazsa, algoritma *Adım 3*'e döner.

3.3. Kesir Dereceli Transfer Fonksiyonları İçeren Kontrol Sistemleri için Optimizasyon Yöntemi ile Kontrolör Tasarımları

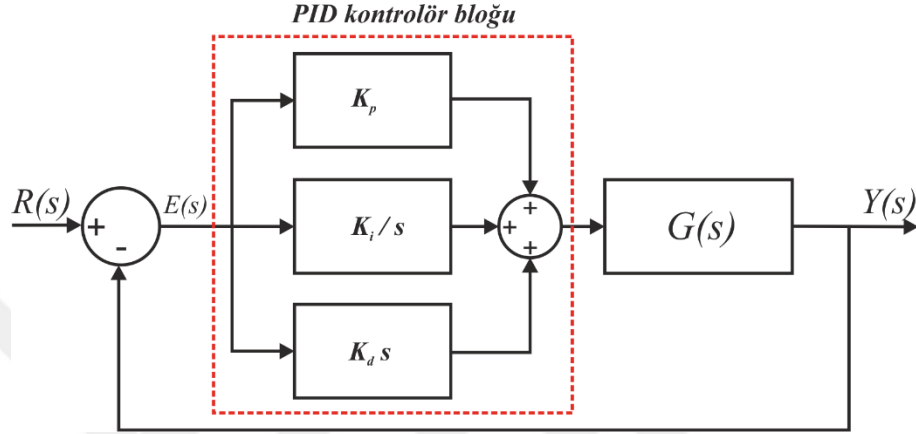
Burada sunulan yöntemle, en sık tercih edilen kontrolör yapıları için tasarım örnekleri sunulmuştur. Örneklerden önce kontrolör yapıları ile ilgili kısaca bilgiler verilmiştir.

3.3.1. PID Kontrolör Tasarımı

PI ve *PID* kontrolörler, kontrol çevrimlerinin %90'ından fazlasında kullanılan bir kontrolör yapısıdır [17]. *PID* kontrolör K_p , K_i ve K_d şeklinde hesaplanması gereken üç parametreye sahiptir. *PID* kontrolörün transfer fonksiyonu Denklem 3.3 şeklinde yazılır.

$$C(s) = K_p + \frac{K_i}{s} + K_d s \quad (3.3)$$

Burada K_p oransal terimin katsayısı, K_i integral teriminin katsayısı ve K_d türev teriminin katsayısı olarak ifade edilir. *PID* kontrolör içeren birim geri beslemeli bir kontrol sistemi Şekil 3.2 ile verilmiştir. Detaylı bilgi için [128] incelenebilir.



Şekil 3.2. *PID* kontrolör içeren birim geri beslemeli kontrol sistemi

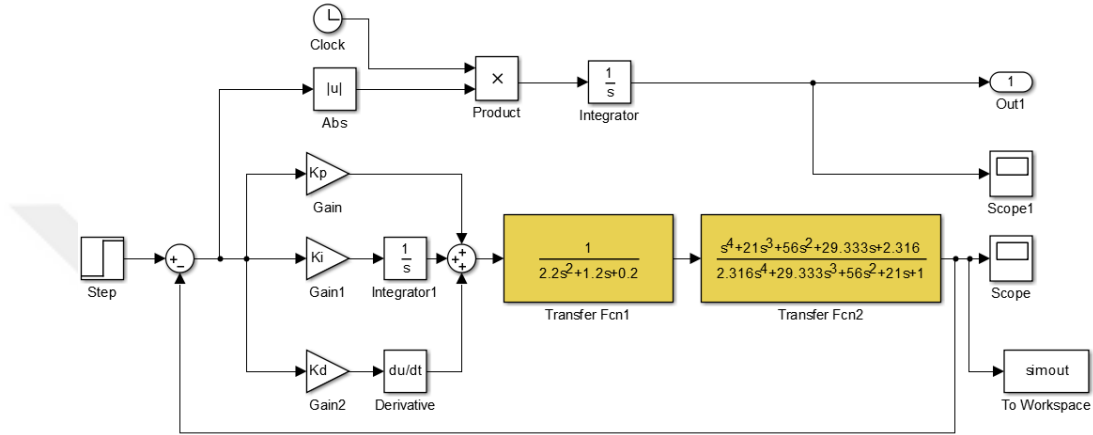
PID kontrolörlerin endüstride sıkça kullanılması, onların parametrelerinin belirlenmesine olan ilgiyi artırmıştır. *PID* parametrelerinin belirlenmesinde, optimizasyon teknikleri oldukça popüler hale gelmiştir. Optimizasyon ile hızlı ve başarılı bir şekilde belirlenen kontrolör parametreleri ile sistem en kısa sürede istenen çıkış cevabına ulaşır. Burada, kesir dereceli ve zaman gecikmesine sahip kesir dereceli sistemlerin *PID* kontrolör ile denetlenmesine yönelik dört örnek tasarım sunulmuştur.

3.3.1.1. Örnek 1

Önerilen yöntemle göre *PID* kontrolör tasarımı gerçekleştirmek üzere aşağıdaki kesir dereceli sistemi ele alalım.

$$G(s) = \frac{1}{2.2s^{2.2} + 1.2s^{1.2} + 0.2s^{0.2}} \quad (3.4)$$

Kesir dereceli sistem, Ek'te verilen Krishna'nın [101] 4. dereceden tamsayı dereceli yaklaşımı kullanılarak modellenmiştir. Bu örnekte, ITAE kriteri kullanılarak, kontrol sisteminde oluşan hata minimize edilmiştir. Optimizasyon araç kutusunda yer alan fminsearch fonksiyonu kullanılarak, *PID* kontrolör parametrelerinin ayarlanması için optimizasyon algoritması oluşturulmuştur. Kontrolör parametrelerinin belirlenmesi için oluşturulan model Şekil 3.3 ile verilmiştir.

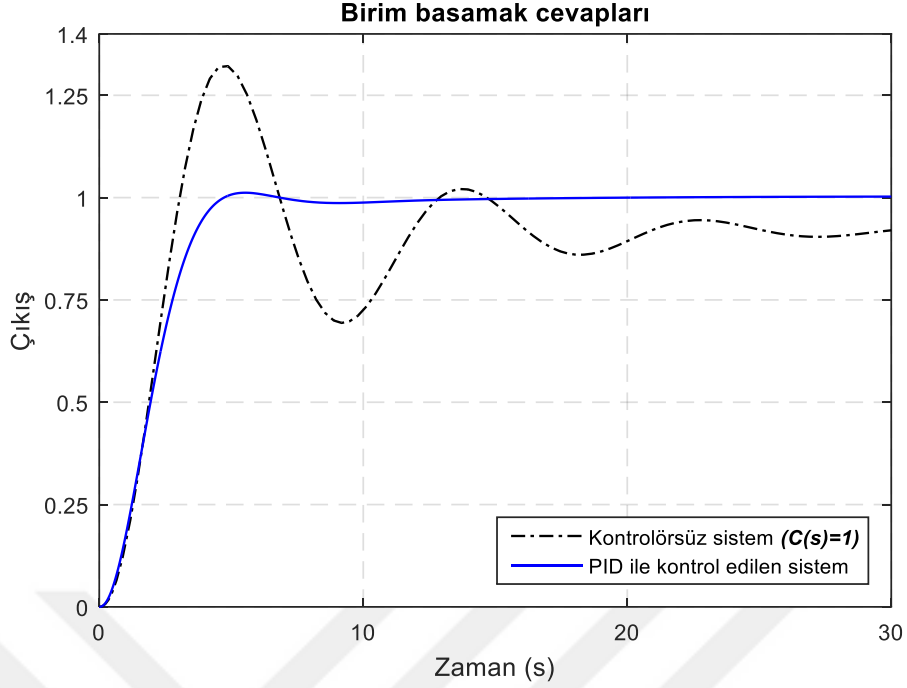


Şekil 3.3. Geri beslemeli kontrol sisteminin Simulink modeli

Optimizasyon algoritmasında kontrolör parametrelerine başlangıç değerlerinin girilmesiyle optimizasyon başlatılır. Durma kriteri sağlanınca kontrolör parametreleri belirlenmiş olur. Denklem 3.4 ile verilen sistem için ITAE performans kriteri ile K_p , K_i ve K_d sırasıyla 1.3233, 0.0441 ve 1.7653 şeklinde elde edilir. Bu parametrelerin *PID* kontrolör denkleminde yerine yazılmasıyla Denklem 3.5 elde edilir.

$$C(s) = 1.3233 + \frac{0.0441}{s} + 1.7653s \quad (3.5)$$

Şekil 3.4, kontrolör uygulanmadan önceki ve *PID* kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Kontrolör uygulanmadan önceki sistemde yüzde aşma değerinin yaklaşık %35'lerde, yerleşme zamanının oldukça uzun olduğu ve sistemde çok fazla kalıcı hal hatasının varlığı dikkat çekmektedir. *PID* kontrolör ile ayarlanan sistemde ise yüzde aşma ve kalıcı hal hatasının giderildiği ve yerleşme zamanının oldukça kısaldığı görülmektedir.



Şekil 3.4. Kontrol edilmemiş sistem ($C(s)=1$) çıkışı ile PID kontrolör kullanılarak elde edilen sistem çıkışının kapalı çevrim birim basamak cevapları

3.3.1.2. Örnek 2

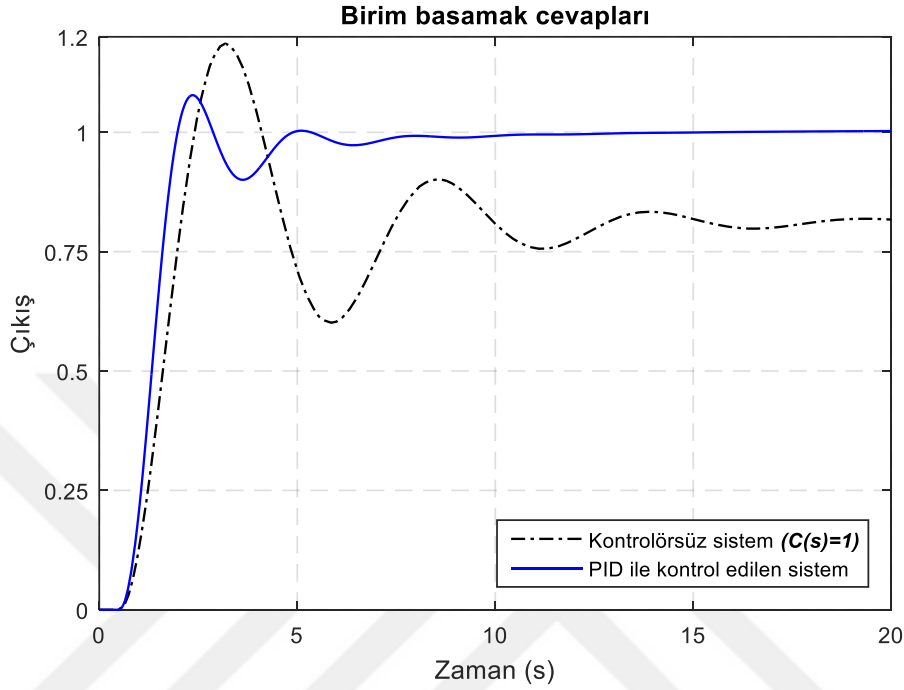
Aşağıdaki gibi verilen, zaman gecikmesine sahip kesir dereceli bir sistem örnek olarak alınmış olsun. Bu sistem için PID kontrolör tasarımı aşağıdaki gibi yapılır.

$$G(s) = \frac{3}{2s^{2.1} + 3s^{1.1} + s^{0.1}} e^{-0.5s} \quad (3.6)$$

Zaman gecikmesi, gerçek sistemlerde oldukça sık karşılaşılan bir durumdur. Bu yüzden seçilen örneklerde zaman gecikmeli sistemlere de yer verilmiştir. Bir önceki örneğe benzer şekilde optimizasyon için Simulink modeli oluşturulmuştur. Bu örnek için de Krishna'nın 4. dereceden tamsayı dereceli yaklaşımı kullanılarak kesir dereceli sistem modellenmiştir. ITAE kriterine göre gerçekleştirilen optimizasyonla, PID kontrolör parametreleri K_p , K_i ve K_d sırasıyla 1.6005, 0.1610 ve 1.1356 şeklinde elde edilir. Kontrolörün eşitliği Denklem 3.7 şeklinde verilmiştir.

$$C(s) = 1.6005 + \frac{0.1610}{s} + 1.1356s \quad (3.7)$$

Kontrolörün, zaman gecikmesine sahip kesir dereceli sisteme uygulanmasıyla elde edilen kapalı çevrim sistemin birim basamak cevabı Şekil 3.5 ile verilmiştir. Ayrıca, kontrolörsüz sistemin birim basamak cevabı da aynı şekilde görülmektedir.



Şekil 3.5. Kontrol edilmemiş sistem ($C(s)=1$) çıkışı ile PID kontrolör kullanılarak elde edilen sistem çıkışının kapalı çevrim birim basamak cevapları

3.3.1.3. Örnek 3

Aşağıdaki gibi zaman gecikmeli kesir dereceli bir sistem verilsin. Bu sistem için PID kontrolör tasarımı gerçekleştirilmelidir. Kesir dereceli sistem modellenirken, Oustaloup'un 5. dereceden tamsayı dereceli yaklaşımı tercih edilerek modellenmiştir.

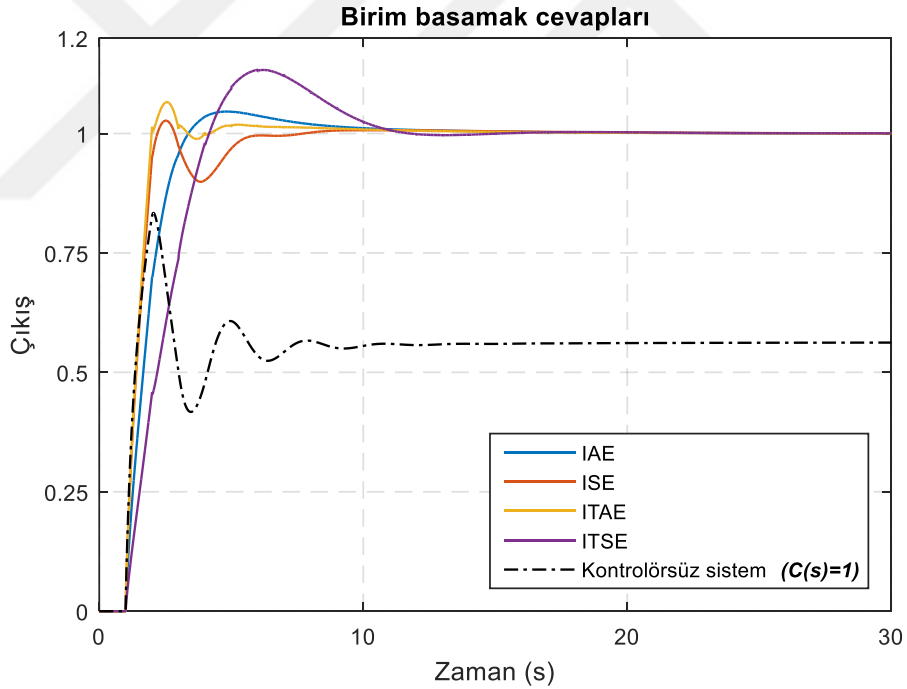
$$G(s) = \frac{1.3}{s^{0.8} + 1} e^{-s} \quad (3.8)$$

Zaman gecikmeli kesir dereceli sistem için IAE, ISE, ITAE ve ITSE integral performans kriterlerinin her biri için ayrı ayrı Simulink modelleri oluşturularak, kontrolör parametreleri belirlenmiştir. Fmincon fonksiyonu kullanılarak hatanın minimizasyonu gerçekleştirilmiştir. Optimizasyon, kontrolör parametrelerine

başlangıç değerlerinin girilmesiyle başlatılır, durma kriteri sağlanınca durur. Belirlenen *PID* kontrolör parametreleri Çizelge 3.2 ile verilmiştir. Ayrıca, kontrolör uygulandıktan sonraki sistemlerin birim basamak cevap eğrileri Şekil 3.6 ve bu cevap eğrilerine ait zaman parametreleri ve yüzde aşma değerleri Çizelge 3.2 ile verilmiştir.

Çizelge 3.2. *PID* parametreleri ve zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|---------------------|-------|-------|-------|-------|
| K_p | 0.507 | 0.815 | 0.815 | 0.26 |
| K_i | 0.508 | 0.507 | 0.618 | 0.442 |
| K_d | 0.078 | 0.062 | 0.154 | 0.228 |
| Yükselme zamanı (s) | 1.58 | 0.88 | 0.81 | 2.42 |
| Yerleşme zamanı (s) | 7.85 | 5.23 | 2.95 | 10.19 |
| Tepe zamanı (s) | 4.82 | 2.52 | 2.56 | 6.00 |
| Yüzde aşma (%) | 4.55 | 2.64 | 6.52 | 13.28 |



Şekil 3.6. Kontrol edilmemiş sistem çıkışı ve *PID* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları

Şekil 3.6 incelendiğinde, integral performans kriterlerinin tamamı ile sistemin kontrolünün gerçekleştirildiği, en küçük yüzde aşma ve tepe zamanı ISE kriteri ile, en hızlı yükselme ve yerleşme zamanı ITAE kriteri ile sağlanmıştır. Ayrıca kontrolörsüz sistemin birim basamak cevabı da şekilde verilmiştir.

3.3.1.4. Örnek 4

Denklem 3.9’da ki gibi verilen zaman gecikmeli kesir dereceli bir sistem olsun. Bu sistem için *PID* kontrolör tasarımı gerçekleştirilmesi ile ilgili çalışma aşağıdaki gibidir. Önceki örnekte olduğu gibi, farklı integral performans kriterleri ile oluşturulan modellerden, *PID* kontrolör parametreleri Çizelge 3.3’te verildiği gibi bulunur.

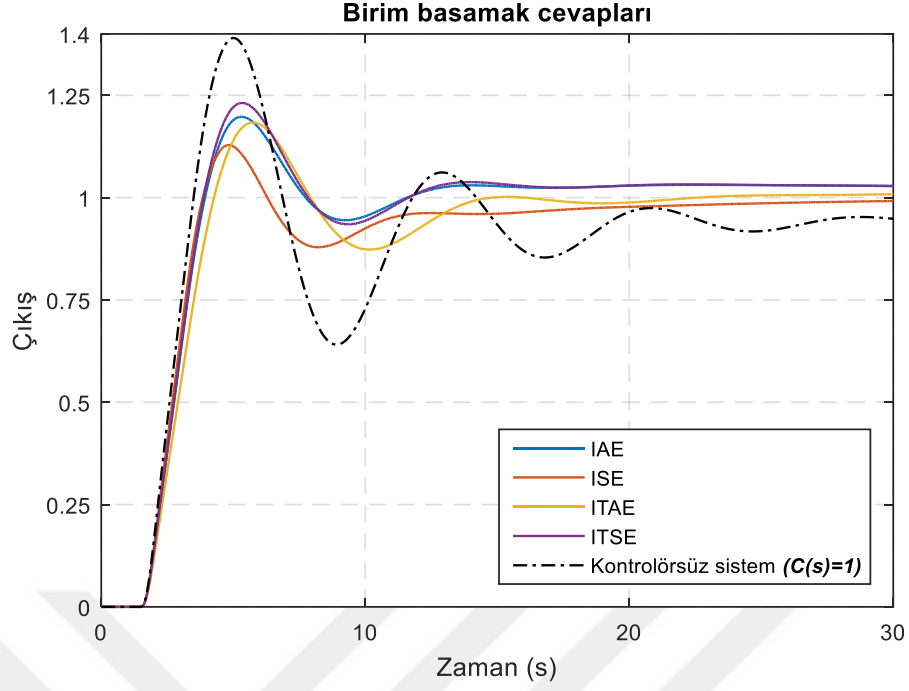
$$G(s) = \frac{1.2}{0.2s^{2.5} + 2s^{1.2} + 0.5s^{0.4}} e^{-1.5s} \quad (3.9)$$

Çizelge 3.3. *PID* parametreleri ve zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|---------------------|-------|-------|-------|-------|
| K_p | 0.817 | 0.888 | 0.724 | 0.824 |
| K_i | 0.044 | 0.016 | 0.023 | 0.046 |
| K_d | 2.495 | 0.431 | 0.031 | 0.249 |
| Yükselme zamanı (s) | 1.78 | 1.61 | 2.00 | 1.74 |
| Yerleşme zamanı (s) | 10.92 | 21.38 | 13.58 | 11.10 |
| Tepe zamanı (s) | 5.31 | 4.83 | 5.75 | 5.34 |
| Yüzde aşma (%) | 19.7 | 12.80 | 18.30 | 23.10 |

Belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen kapalı çevrim sistemin birim basamak cevapları Şekil 3.7 ile verilmiştir. Şekilde kontrolörün bulunmadığı sistemin kapalı çevrim birim basamak cevabı da sunulmuştur. Şekil incelendiğinde, ISE kriteri kullanılarak yapılan optimizasyon sonucunda belirlenen *PID* kontrolörün sistemi daha başarılı kontrol ettiği söylenebilir. Burada yerleşme zamanı dikkate alındığında en uzun yerleşme zamanının da ISE kriteri ile sağlandığına dikkat çekmek gerekir.

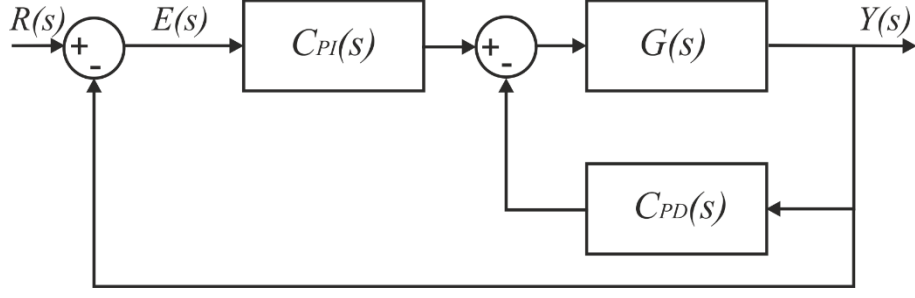
Ayrıca, cevap eğrilerine ait zaman cevabı performans karakteristikleri Çizelge 3.3 ile verilmiştir.



Şekil 3.7. Kontrol edilmemiş ($C(s)=1$) sistem çıkışı ve PID ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları

3.3.2. PI - PD Kontrolör Tasarımı

PI - PD kontrolör yapısı, geleneksel PID ile karşılaştırıldığında bazı avantajlara sahiptir. PID kontrolörler birçok sistemde başarılı bir kontrol gerçekleştirirken, kararsız, integral terimi içeren ve rezonans durumundaki sistemlerde yeteri kadar başarılı bir kontrol sağlayamayabilir [129]. Bu sistemlerde daha başarılı kontrol gerçekleştirebilen PI - PD kontrolör yapısı tercih edilir. PI - PD kontrolör yapısı Şekil 3.8 ile gösterilmiştir. Bu yapıda PD kontrolör iç çevrimde geri beslemede, PI kontrolör dış çevrimde ileri yolda yerleştirilmiştir. PD kontrolör ile sistemin cevabı iyileştirilirken, PI kontrolör ile mükemmel bir kontrol imkânı yakalanır. Böylece kararsız, integral terimi içeren ve rezonans halindeki sistemlerin kontrolü başarılı bir şekilde gerçekleştirilir [130].



Şekil 3.8. *PI-PD* kontrolör yapısı içeren kapalı çevrim kontrol sistemi

PI-PD kontrolör yapısında hesaplanması gereken parametre sayısı dördür. Denklem 3.10 ve Denklem 3.11 sırasıyla *PI* ve *PD* kontrolörün denklemlerini gösterir.

$$C_{PI}(s) = K_p + \frac{K_i}{s} \quad (3.10)$$

$$C_{PD}(s) = K_f + K_d s \quad (3.11)$$

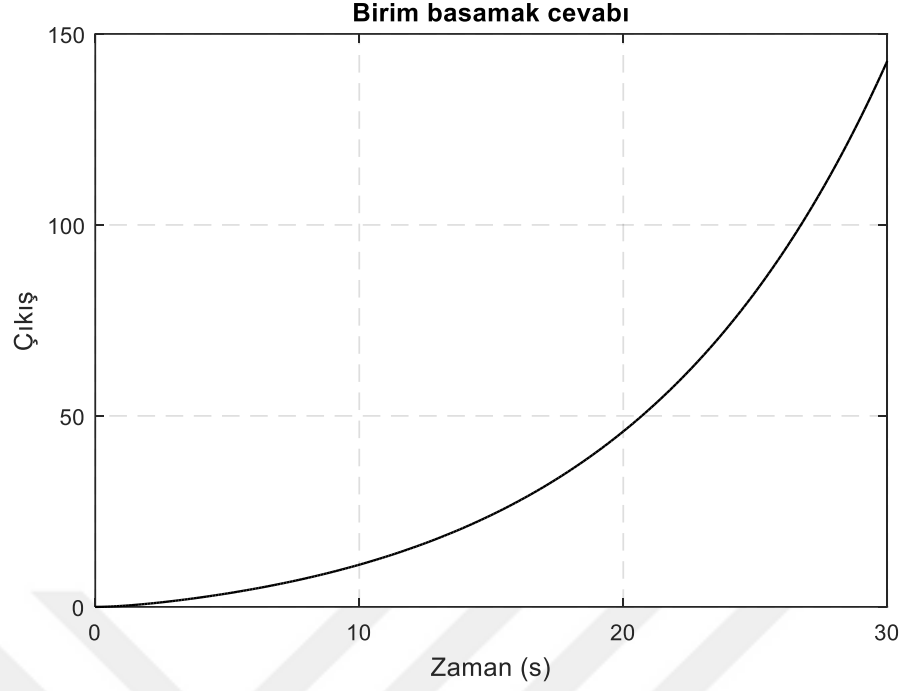
Burada *PI-PD* kontrolör tasarımının gerçekleştirildiği iki tasarım örneği sunulmuştur.

3.3.2.1. Örnek 1

Aşağıdaki gibi kesir dereceli bir sistemi örnek olarak alalım. Bu sistemi kontrol edecek olan *PI-PD* kontrolör parametrelerini belirlemeye çalışalım.

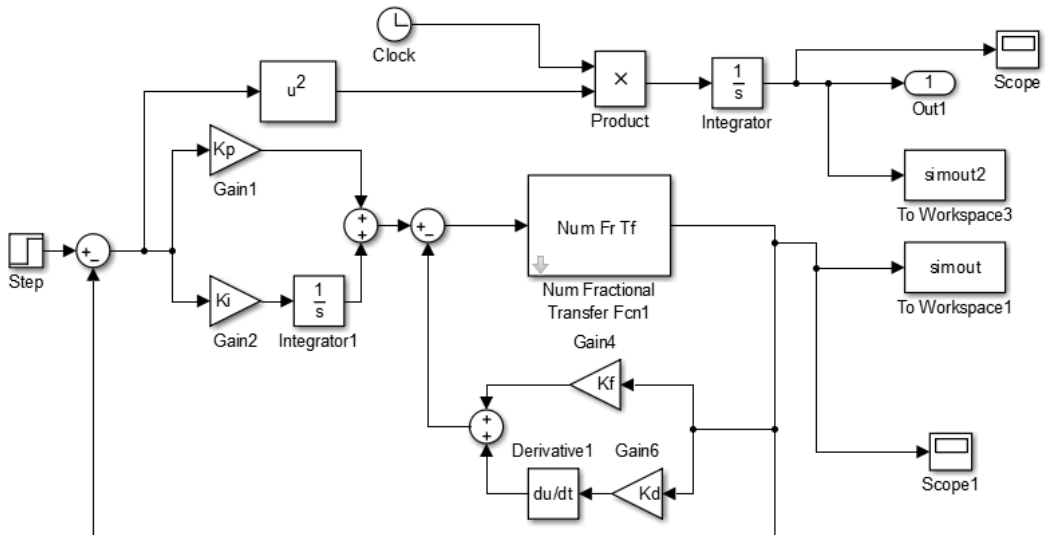
$$G(s) = \frac{1}{s^{0.2}(s+2)(s-0.1)} \quad (3.12)$$

Denklem 3.12 ile verilen açık çevrim sistemin birim basamak cevap eğrisi Şekil 3.9 ile gösterilmiştir. Sistemin kararsız olduğu şekilden anlaşılmaktadır. Burada kesir dereceli transfer fonksiyonu, Oustaloup'un 5. dereceden tamsayı dereceli yaklaşımı kullanılarak modellenmiştir.



Şekil 3.9. Kontrolörsüz sistemin açık çevrim birim basamak cevabı

Optimizasyon algoritması için integral performans kriterlerine göre modeller oluşturulmuştur. ITSE kriterine göre oluşturulan model Şekil 3.10 ile verilmiştir.



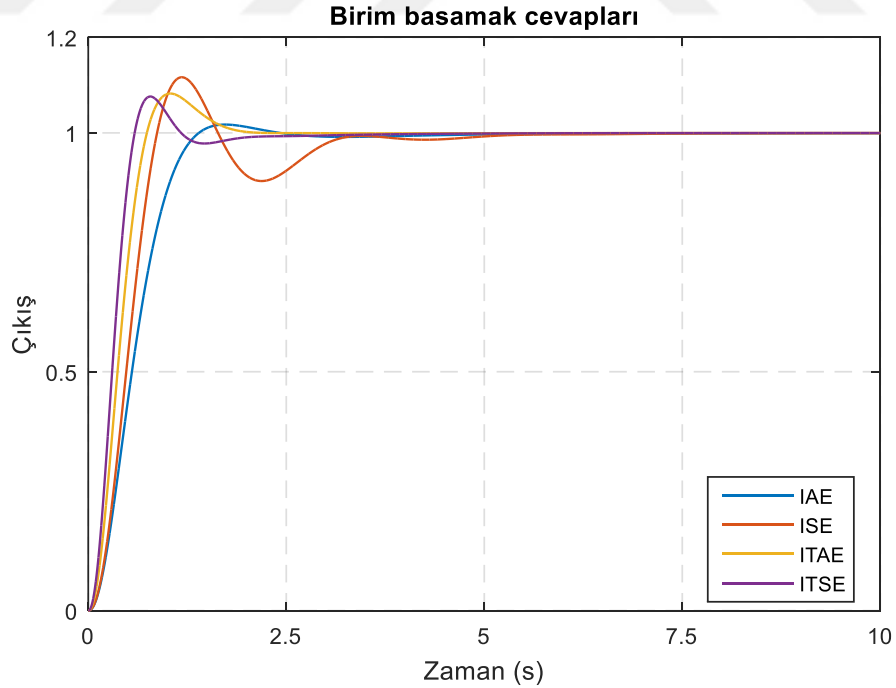
Şekil 3.10. ITSE kriterine göre oluşturulan Simulink modeli

Denklem 3.12 ile verilen sisteme optimizasyon metodunun uygulanmasıyla elde edilen *PI-PD* kontrolör parametreleri Çizelge 3.4 ile verilmiştir. Ayrıca kontrol edilen sistemlerin zaman cevabı performans karakteristikleri de Çizelge 3.4 ile verilmiştir.

Çizelge 3.4. *PI-PD* kontrolör parametreleri ve zaman cevabı performans karakteristikleri

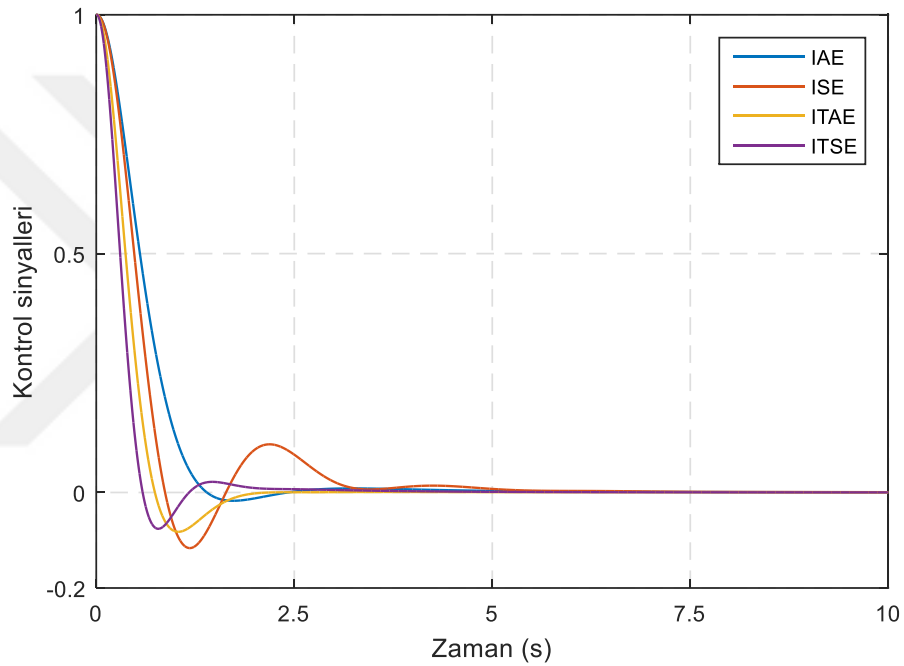
| | IAE | ISE | ITAE | ITSE |
|---------------------|--------|---------|--------|--------|
| K_p | 9.73 | 9.987 | 20.106 | 29.992 |
| K_i | 9.225 | 9.87 | 20.482 | 27.434 |
| K_f | 5.678 | 5.525 | 6.896 | 8.552 |
| K_d | 5.305 | 3.025 | 6.875 | 7.763 |
| Yükselme zamanı (s) | 0.8279 | 0.5653 | 0.4786 | 0.3773 |
| Yerleşme zamanı (s) | 1.2776 | 3.0315 | 1.6181 | 1.5978 |
| Tepe zamanı (s) | 1.7277 | 1.1818 | 1.0364 | 0.7827 |
| Yüzde aşma (%) | 1.7527 | 11.6552 | 8.2429 | 7.6106 |

Belirlenen kontrolörlerin kesir dereceli sisteme uygulanmasıyla elde edilen kapalı çevrim sistemlerin birim basamak cevapları Şekil 3.11 ile sunulmuştur.



Şekil 3.11. *PI-PD* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları

Şekil 3.11 incelendiğinde, tasarlanan her bir kontrolörün sistemi başarılı bir şekilde kontrol ettiği görülür. Yüzde aşma ve yerleşme zamanı dikkate alındığında, IAE kriteri diğer performans kriterlerine göre çok daha başarılı bir sonuç vermiştir. Yükselme ve tepe zamanı açısından ITSE performans kriteri ile daha başarılı sonuçlara ulaşılmıştır. Kararsız bir yapıya sahip kesir dereceli bir sistemin, *PI-PD* kontrolörle en hızlı şekilde 1.27 s gibi bir yerleşme zamanı sağlayarak kararlı hale geldiği örnekten görülmüştür. İlave olarak, Şekil 3.12 ile her bir performans kriterlerine göre oluşan kontrol sinyalleri verilmiştir.



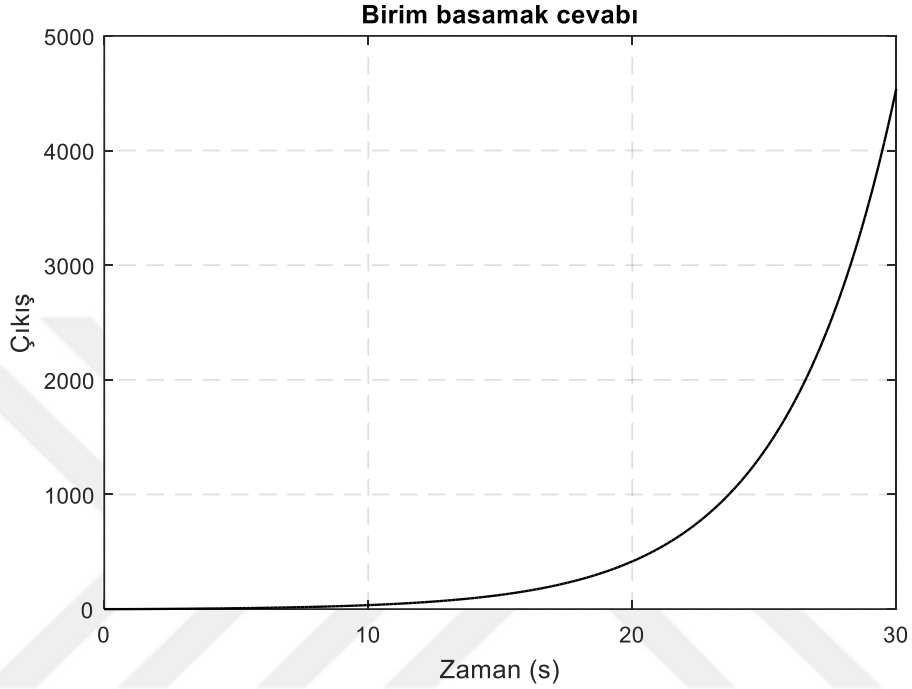
Şekil 3.12. Çeşitli integral performans kriterlerine göre *PI-PD* kontrolör için elde edilen kontrol sinyalleri

3.3.2.2. Örnek 2

PI-PD kontrolör tasarımı gerçekleştirmek üzere aşağıdaki gibi verilen zaman gecikmeli kesir dereceli sistemi ele alalım.

$$G(s) = \frac{1}{s^{0.9} - 0.25} e^{-0.9s} \quad (3.13)$$

Şekil 3.13 ile verilen açık çevrim sistemin birim basamak cevabından sistemin kararsız olduğu görülmektedir. Bir önceki örnekte olduğu gibi bu örnekte de kesir dereceli sistem, Oustaloup'un 5. dereceden tamsayı dereceli yaklaşım modeli kullanılarak modellenmiştir.



Şekil 3.13. Kontrolörsüz sistemin açık çevrim birim basamak cevabı

Çizelge 3.5. *PI-PD* kontrolör parametreleri ve zaman cevabı performans karakteristikleri

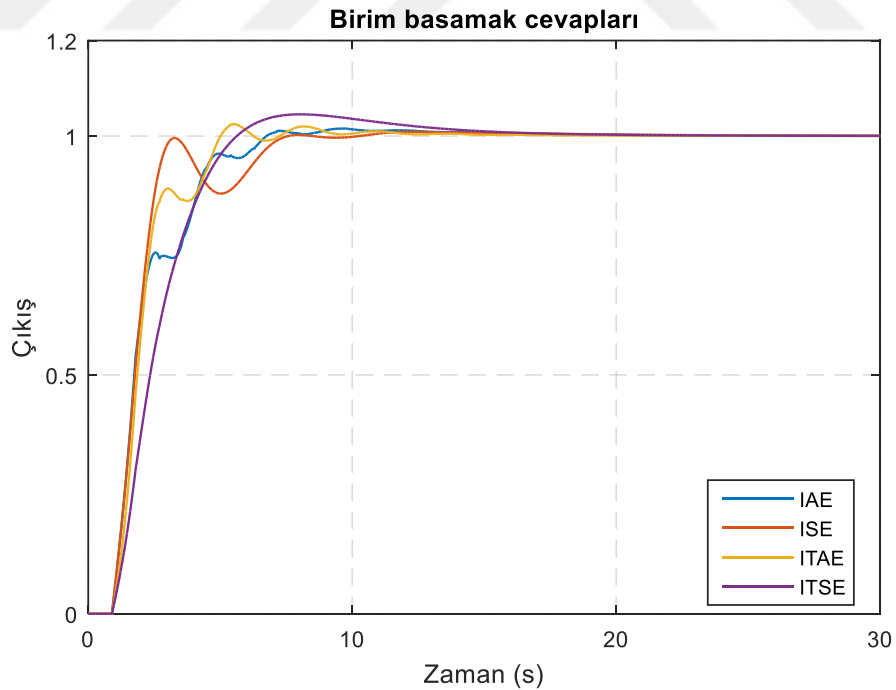
| | IAE | ISE | ITAE | ITSE |
|---------------------|--------|---------|--------|--------|
| K_p | 0.326 | 0.347 | 0.188 | 0.17 |
| K_i | 0.28 | 0.197 | 0.444 | 0.187 |
| K_f | 0.854 | 0.641 | 1.15 | 0.674 |
| K_d | 0.467 | 0.123 | 0.421 | 0.245 |
| Yükselme zamanı (s) | 3.1194 | 1.4825 | 3.0751 | 3.1089 |
| Yerleşme zamanı (s) | 6.3870 | 6.8894 | 5.7685 | 12.392 |
| Tepe zamanı (s) | 9.6958 | 12.2573 | 5.5124 | 8.0354 |
| Yüzde aşma (%) | 1.5384 | 0.8164 | 2.4782 | 4.5041 |

Optimizasyon algoritmasının her bir integral performans kriteri için oluşturulan modellerin çalıştırılıp, sonlanma kriteri gerçekleşince *PI-PD* kontrolör parametreleri

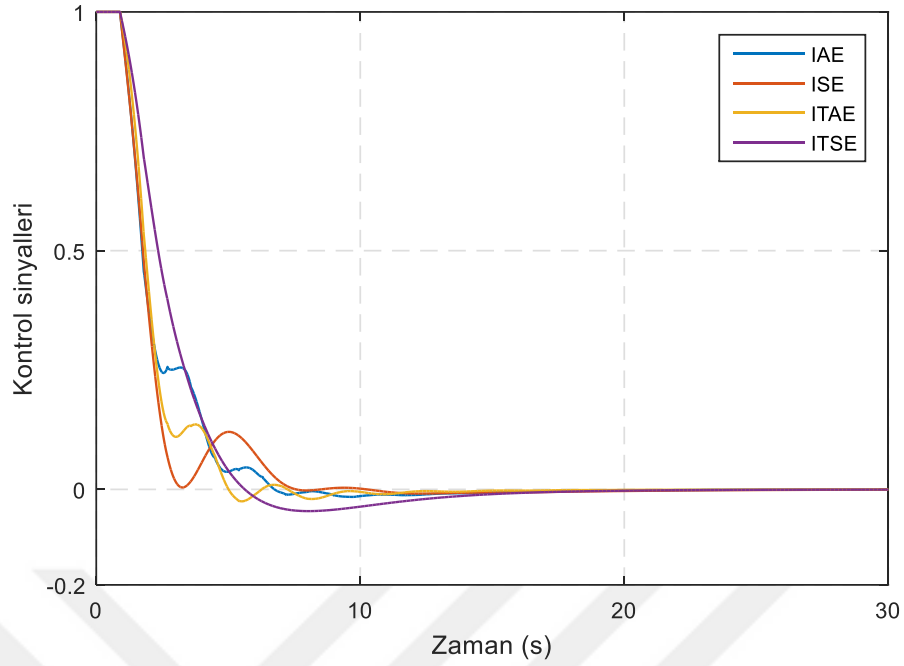
Çizelge 3.5'teki gibi elde edilir. Aynı çizelgede kontrol edilen sistemlerin zaman cevabı performans karakteristikleri de yer almaktadır.

Şekil 3.14'te kontrolü gerçekleştirilen zaman gecikmeli kesir dereceli sistemin her bir integral performans kriterine göre kapalı çevrim birim basamak cevap eğrileri sunulmuştur. Şekilden, kararsız sistemin kararlı hale geldiği, yüzde aşma değerinin ve zaman parametrelerinin önemli ölçüde azaldığı görülmektedir. İntegral performans kriterleri kendi arasında karşılaştırıldığında, ISE performans kriteri ile en iyi yüzde aşma değeri sağlanırken, ITAE kriteri ile en hızlı yerleşme süresine ulaşılmıştır. Burada kontrol edilecek sisteme göre ya da kullanılan kontrolör yapısına göre farklı integral performans kriterleri ile tasarım gerçekleştiriminin önemli olduğunun farkına varmak gerekir. Kullanıcı için hangi performans karakteristiği ön plana çıkıyorsa, o doğrultuda tasarım gerçekleştirilmesi uygun olacaktır. *PI-PD* kontrolör yapısının kararsız sistemlerin kontrolünde oldukça başarılı sonuçlar ortaya koyduğu bu örnekten de görülmüştür.

Şekil 3.15 ile her bir performans kriterlerine göre *PI-PD* kontrolör için kontrol sinyalleri verilmiştir.



Şekil 3.14. *PI-PD* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 3.15. Çeşitli integral performans kriterlerine göre *PI-PD* kontrolör için elde edilen kontrol sinyalleri

3.3.3. Faz İlerlemeli ve Faz Gerilemeli Kontrolör Tasarımı

Bölüm 2’de faz ilerlemeli ve faz gerilemeli kontrolör yapısı anlatılmış olup, frekans domeni yöntemleriyle kontrolör tasarımları yapılmıştır. Burada, optimizasyon yöntemi ile faz ilerlemeli ve faz gerilemeli kontrolör tasarımı sunan dört örnek verilmiştir.

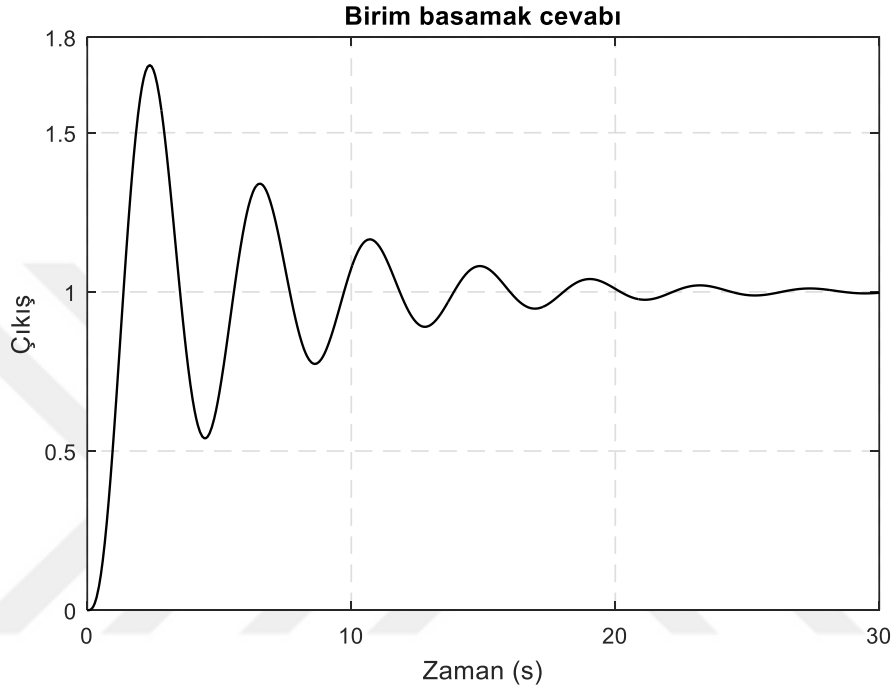
3.3.3.1. Örnek 1

Aşağıdaki kesir dereceli sistem için optimizasyon yöntemiyle faz ilerlemeli ve gerilemeli kontrolör tasarımı gerçekleştirilelim ve kontrol edilen sistemin kararlılığını inceleyelim.

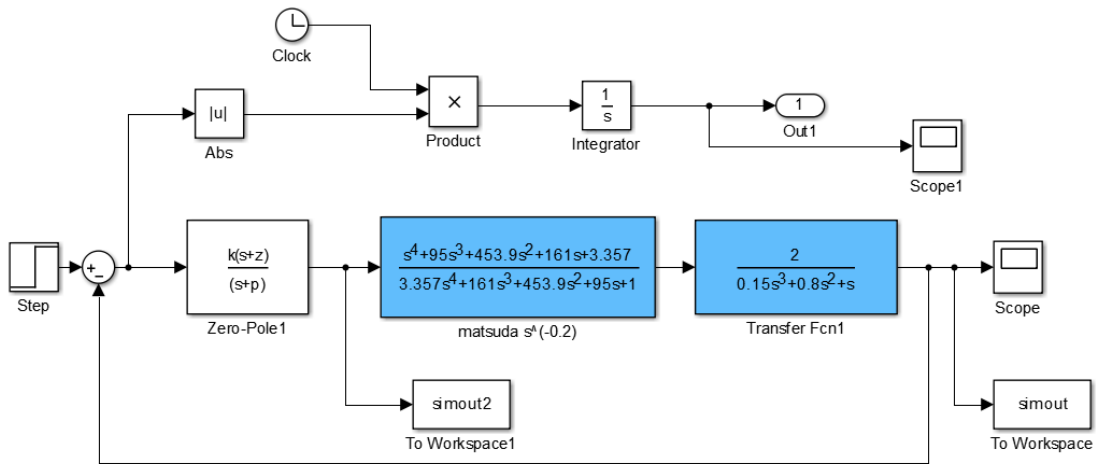
$$G(s) = \frac{2}{s^{1.2}(1+0.5s)(1+0.3s)} \quad (3.14)$$

$C(s)=1$ durumunda kesir dereceli sistemin kapalı çevrim birim basamak cevabı Şekil 3.16 ile verilmiştir. Cevap eğrisinin yüzde aşmasının %70 civarında olduğu,

yerleşme zamanının 20 s'den daha uzun sürdüğü görülmektedir. Hem yüzde aşmanın hem de zaman parametrelerinin iyileştirilmesi bakımından uygun bir kontrol için kontrolör parametrelerinin belirlenmesi gerekir. Kontrolör parametrelerinin belirlenmesi için Simulink ortamında her bir integral performans kriteri için modeller oluşturulur. ITAE kriteri için oluşturulan model Şekil 3.17 ile verilmiştir.



Şekil 3.16. $C(s)=1$ durumunda kesir dereceli sistemin kapalı çevrim birim basamak cevabı



Şekil 3.17. ITAE kriteri için oluşturulan Simulink modeli

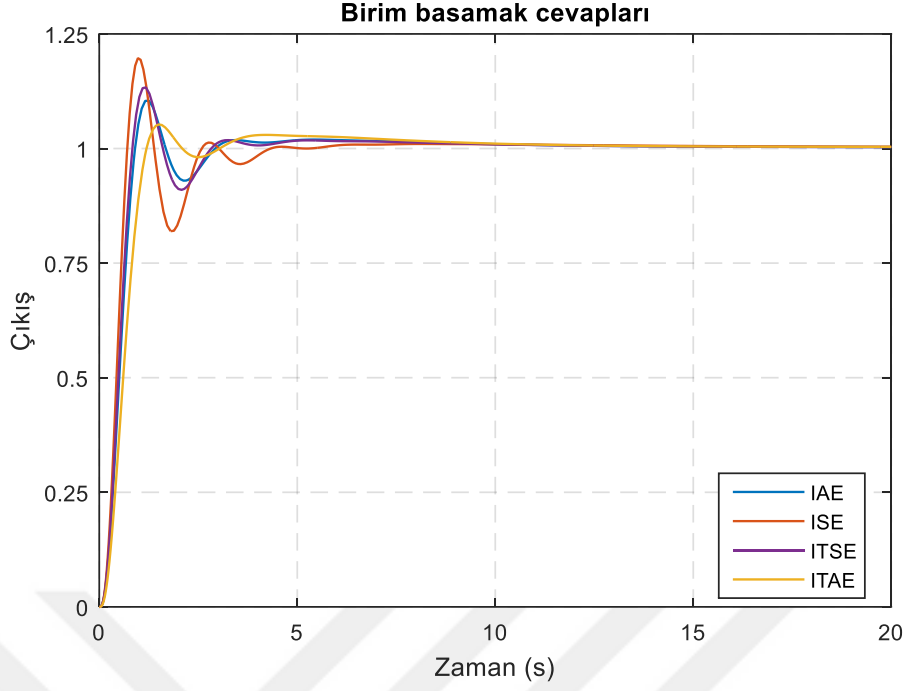
Şekil 3.17 ile verilen modelde kesir dereceli sistemin Matsuda'nın 4. dereceden tamsayı dereceli yaklaşımı kullanılarak modellendiği görülmektedir. Ek'te Matsuda'nın 4. dereceden tamsayı dereceli yaklaşım tablosu verilmiştir. Optimizasyon araç kutusunda bulunan fmincon fonksiyonuna kontrolör parametrelerinin başlangıç değerlerinin girilmesiyle ve amaç fonksiyonlarının tanımlanmasıyla optimizasyon başlatılır. Faz ilerlemeli ve faz gerilemeli kontrolör parametreleri Çizelge 3.6'daki gibi belirlenir. Bu örnek için faz gerilemeli kontrolör tasarımı yapılırken, optimizasyonda K parametresi [0.1,20], z parametresi [8.2,20] ve p parametresi [0.1,8] aralığında seçilmiştir. Optimizasyon algoritmasında parametrelerin farklı aralıklarda seçilmesi, faz ilerlemeli kontrolör tasarımı şeklinde neticelenmiş ve faz gerilemeli kontrolör tasarımı için bu parametre aralıkları tercih edilmiştir.

Çizelge 3.6. Faz ilerlemeli ve gerilemeli kontrolör parametreleri

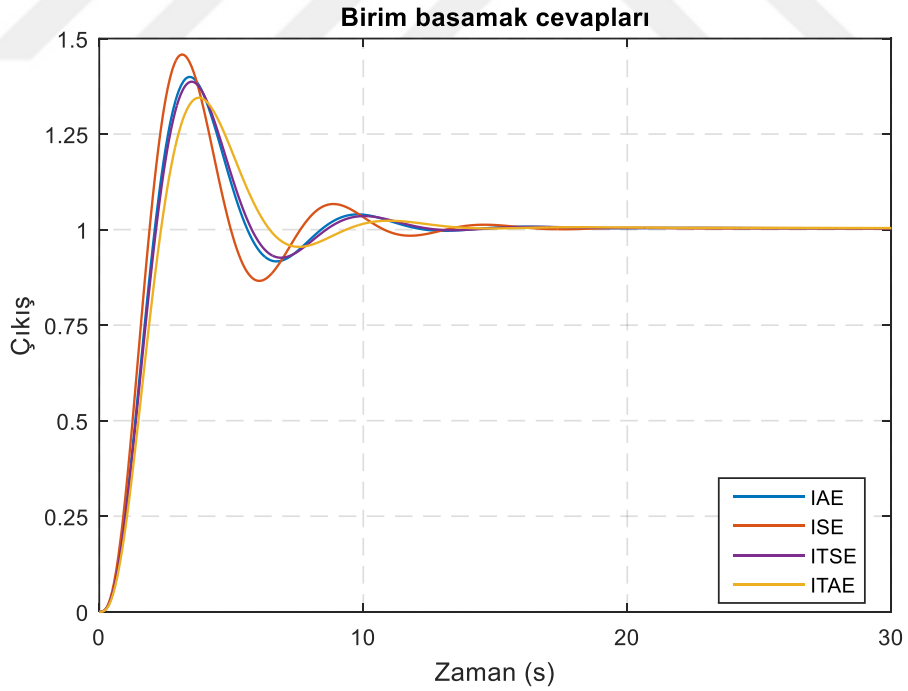
| | IAE | ISE | ITAE | ITSE |
|-----------------------|---------|---------|---------|---------|
| <i>Faz ilerlemeli</i> | | | | |
| K | 20 | 20 | 14.6214 | 20 |
| z | 0.6738 | 0.4148 | 0.8253 | 0.6344 |
| p | 19.5045 | 13.2105 | 20 | 17.6377 |
| <i>Faz gerilemeli</i> | | | | |
| K | 0.46 | 0.54 | 0.39 | 0.44 |
| z | 8.2 | 8.2 | 8.2 | 8.2 |
| p | 8 | 8 | 8 | 8 |

Faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin kontrolör denkleminde yerine yazılmasıyla kontrolörler elde edilir. Faz ilerlemeli ve faz gerilemeli kontrolörlerin kesir dereceli sisteme uygulanmasıyla elde edilen sistemlerin kapalı çevrim birim basamak cevapları sırasıyla Şekil 3.18 ve Şekil 3.19'da verilmiştir. Şekiller incelendiğinde kontrolör uygulanmadan önce sistemin yüzde aşma değeri %71.72 iken, faz ilerlemeli kontrolörle kontrol edildiğinde %4.87 değerine, faz gerilemeli kontrolörle %33.96 değerine düşmüştür. Her iki kontrolör için de en küçük yüzde aşma değeri ITAE kriteri ile sağlanmıştır.

Zaman cevabı performans karakteristikleri detaylı olarak Çizelge 3.7 ile verilmiştir. Kontrolör uygulanmadan önce sistemin yerleşme zamanı (%2 tolerans değerine göre) 23.61 saniye iken, faz ilerlemeli kontrolörle kontrol edildiğinde 2.68 saniyeye, faz gerilemeli kontrolörle 8.84 saniyeye düşmüştür.



Şekil 3.18. Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevabı



Şekil 3.19. Faz gerilemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevabı

Çizelge 3.7. Faz ilerlemeli ve gerilemeli kontrolörler ile kontrol edilen sistemin zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|-----------------------|-------|-------|-------|-------|
| <i>Faz ilerlemeli</i> | | | | |
| Yükselme zamanı (s) | 0.57 | 0.44 | 0.75 | 0.53 |
| Yerleşme zamanı (s) | 2.74 | 3.99 | 6.43 | 2.68 |
| Tepe zamanı (s) | 1.25 | 0.97 | 1.50 | 1.18 |
| Yüzde aşma (%) | 10.17 | 19.26 | 4.87 | 12.98 |
| <i>Faz gerilemeli</i> | | | | |
| Yükselme zamanı (s) | 1.28 | 1.15 | 1.44 | 1.31 |
| Yerleşme zamanı (s) | 10.94 | 10.21 | 8.84 | 11.09 |
| Tepe zamanı (s) | 3.39 | 3.13 | 3.76 | 3.46 |
| Yüzde aşma (%) | 39.43 | 45.41 | 33.96 | 38.19 |

Kesir dereceli sistemlerin kararlılık analizi giriş bölümünde anlatılmıştı. Burada, kontrol edilen sistemlerin kararlılık analizi yapılmıştır. Faz ilerlemeli kontrolör için sistemin karakteristik polinomu ($K=20$, $z=0.6738$, $p=19.5045$) aşağıdaki gibi yazılır.

$$\Delta(s) = 0.15s^{4.2} + 3.7257s^{3.2} + 16.6039s^{2.2} + 19.5049s^{1.2} + 40s + 26.9520 = 0 \quad (3.15)$$

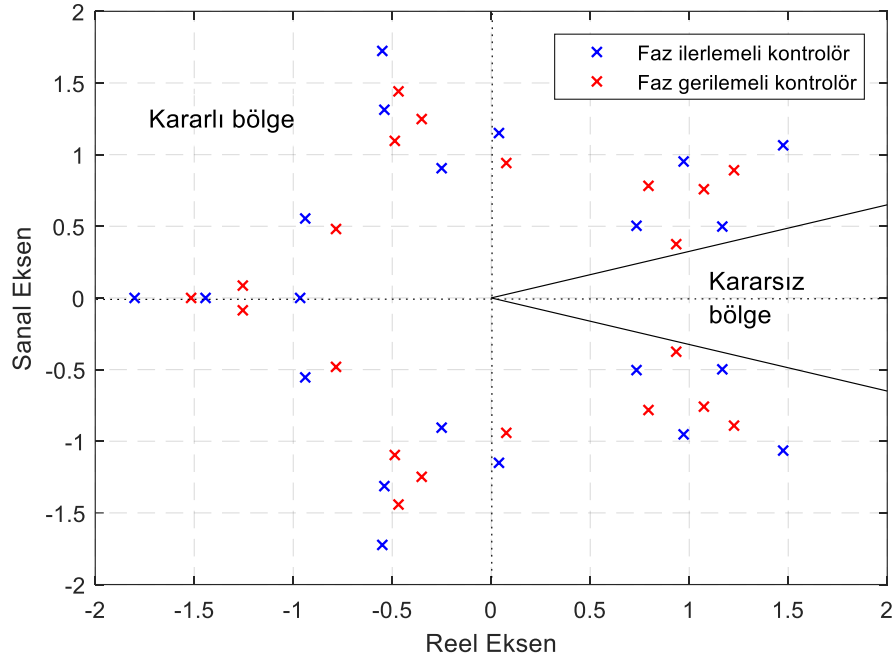
$\alpha=0.2$ için, s^α yerine σ yazılarak Denklem 3.16 elde edilir.

$$\Delta(\sigma) = 0.15\sigma^{21} + 3.7257\sigma^{16} + 16.6039\sigma^{11} + 19.5049\sigma^6 + 40\sigma^5 + 26.9520 = 0 \quad (3.16)$$

Denklem 3.16, MATLAB programı kullanılarak çözüldürse denklemin kökleri aşağıdaki gibi elde edilir.

$$\begin{aligned} \sigma_{1,2} &= 1.4743 \pm 1.0651i, & \sigma_3 &= -1.8013 + 0.0000i, \\ \sigma_4 &= -1.4430 + 0.0000i, & \sigma_{5,6} &= -0.5503 \pm 1.7235i, \\ \sigma_{7,8} &= 0.9715 \pm 0.9521i, & \sigma_{9,10} &= 1.1669 \pm 0.4981i \\ \sigma_{11,12} &= -0.5399 \pm 0.4981i, & \sigma_{13,14} &= 0.7335 \pm 0.5036i, \\ \sigma_{15,16} &= 0.0388 \pm 1.1506i, & \sigma_{17,18} &= -0.9395 \pm 0.5544i, \\ \sigma_{19,20} &= -0.2506 \pm 0.9052i, & \sigma_{21} &= -0.9653 + 0.0000i \end{aligned} \quad (3.17)$$

Şekil 3.20, IAE performans kriterine göre tasarlanan faz ilerlemeli ve faz gerilemeli kontrolörlerin kesir dereceli sisteme uygulanması sonucu elde edilen kontrol sisteminin kararlılık analizi için kutupların dağılımını göstermektedir. Şekilde, 18° şeklinde simetrik olarak oluşmuş, toplamda 36°'lik kararsız bölge bulunmaktadır. Her iki kontrolör için de kutupların kararlı bölge içerisinde dağıldığı görülmektedir. Şekle göre kontrolörlü sistemlerin kararlı bir yapıya sahip olduğu anlaşılmaktadır.



Şekil 3.20. Kompleks düzlemde kutupların dağılımı

3.3.3.2. Örnek 2

Denklem 3.18 ile verilen kesir dereceli sistem için faz ilerlemeli kontrolör tasarımı ve sistemin kararlılık analizini içeren çalışma aşağıdaki gibidir.

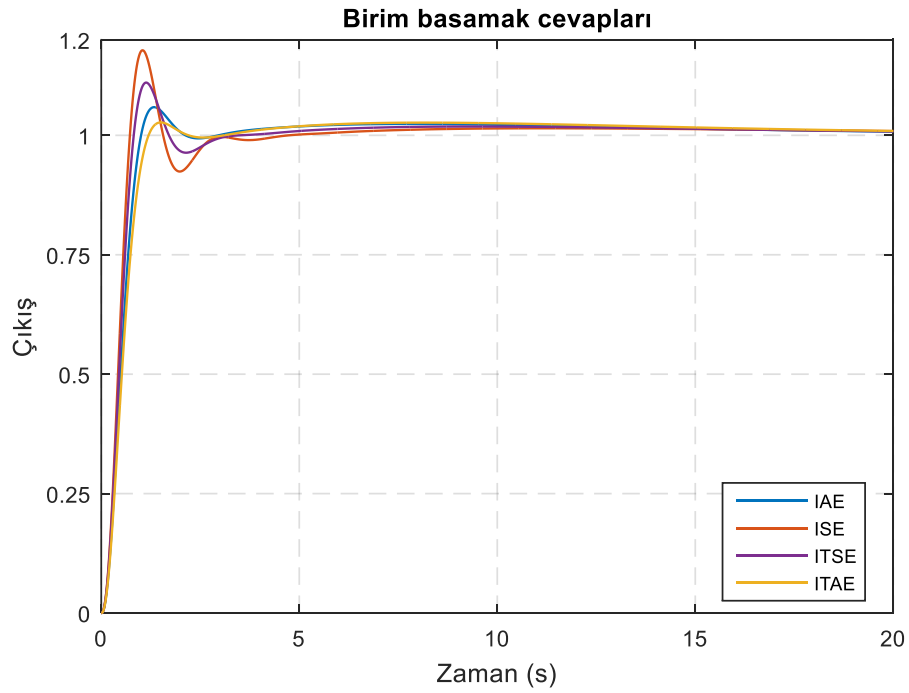
$$G(s) = \frac{1}{s^{1.5}(0.6s+1)} \quad (3.18)$$

Sistemin kontrolör uygulanmadan önceki kapalı çevrim birim basamak cevabında yüzde aşma değeri %70'lerde, yerleşme zamanı 30 saniyeden uzundur. Optimizasyon, kontrolör parametrelerine [0.1 0.1 0.1] şeklinde başlangıç değerlerinin girilmesiyle

başlatılır, sonlanma kriteri sağlanınca optimizasyon durur ve kontrolör parametreleri elde edilmiş olur. Parametre aralıkları her bir parametre için [0.01 20] şeklinde seçilmiştir. Belirlenen faz ilerlemeli kontrolör parametreleri Çizelge 3.8 ile verilmiştir. Ayrıca çizelgede kontrolü gerçekleştirilen sistemin zaman cevabı karakteristikleri de detaylı şekilde sunulmuştur. Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları Şekil 3.21 ile verilmiştir.

Çizelge 3.8. Faz ilerlemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri

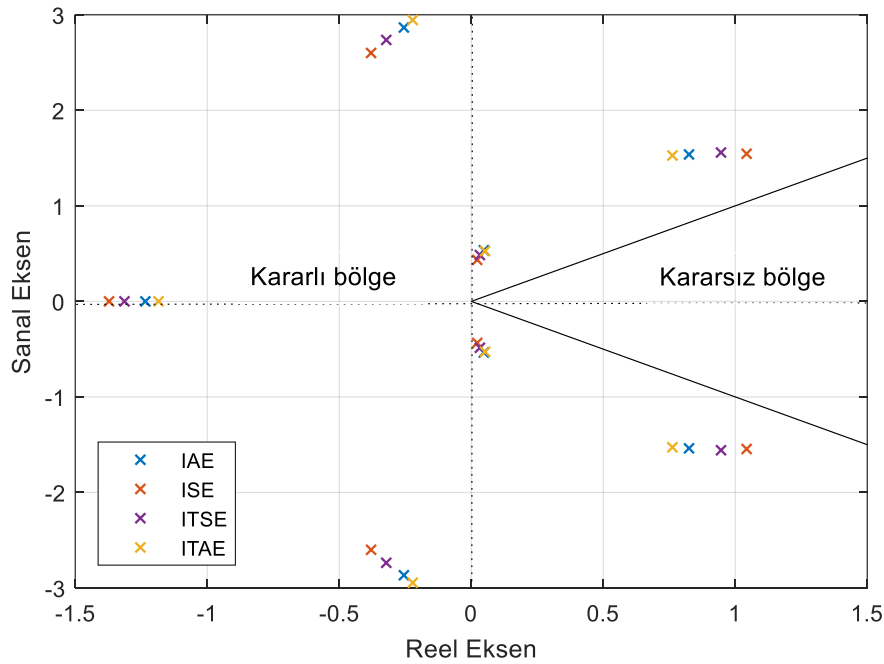
| | IAE | ISE | ITAE | ITSE |
|--|-------|-------|-------|-------|
| <i>Kontrolör parametreleri</i> | | | | |
| K | 18.24 | 19.58 | 17.52 | 19.59 |
| z | 0.296 | 0.191 | 0.289 | 0.24 |
| p | 7.692 | 5.497 | 8.283 | 6.621 |
| <i>Zaman cevabı performans karakteristikleri</i> | | | | |
| Yükselme zamanı (s) | 0.64 | 0.46 | 0.73 | 0.53 |
| Yerleşme zamanı (s) | 9.83 | 2.64 | 11.60 | 2.66 |
| Tepe zamanı (s) | 1.34 | 1.04 | 1.51 | 1.14 |
| Yüzde aşma (%) | 5.66 | 17.42 | 2.43 | 10.75 |



Şekil 3.21. Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları

Şekil 3.21 ve Çizelge 3.8 incelendiğinde, yüzde aşma değerinin %2.43 değerine kadar indiği, yerleşme zamanının 2.64 saniyeye kadar kısaltıldığı görülmektedir. Faz ilerlemeli kontrolörle oldukça başarılı bir kontrol gerçekleştirildiği açık bir şekilde görülmektedir.

Faz ilerlemeli kontrolör ile kontrol edilen sistemin kararlılık analizi Şekil 3.22 ile gösterilmiştir. Şekilde kararlılık analizi integral performans kriterlerinin herbirisi için oluşturulmuştur. Şekilde $2 \times 45^\circ = 90^\circ$ 'lik açığa sahip kararsız bir bölge olduğu ve kutupların tamamının kararlı bölge içerisinde dağıldığı görülür.



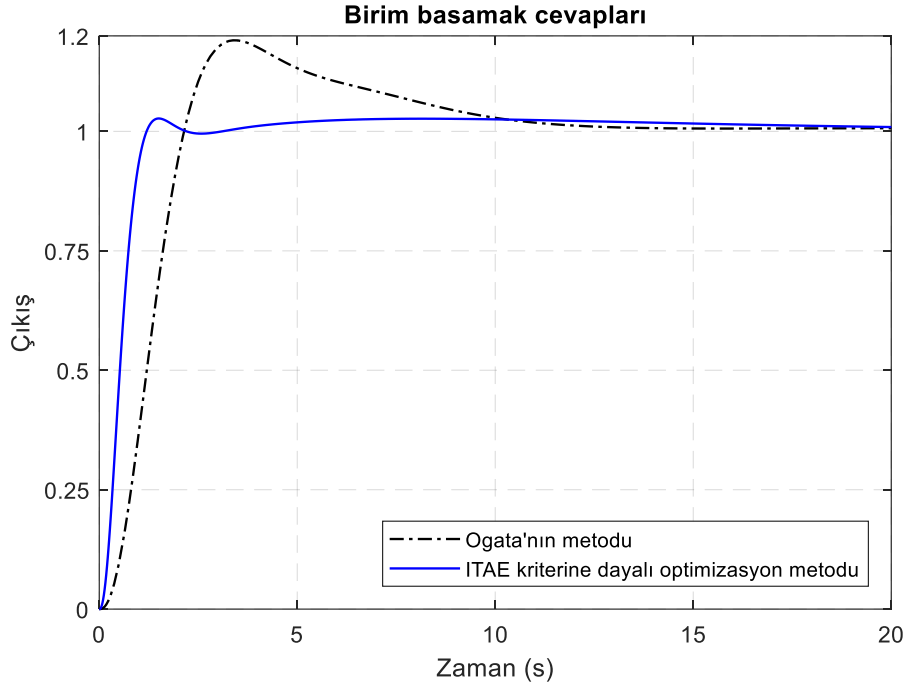
Şekil 3.22. Kompleks düzlemde kutupların dağılımı

Bu örnek için elde edilen sonuçların karşılaştırılması açısından, Ogata ve Yang [76] tarafından sunulmuş frekans domeni tasarım metodu kullanılarak kontrolör tasarımı gerçekleştirilmiş ve Denklem 3.19 şeklinde belirlenmiştir.

$$C(s) = \frac{1.663(s+0.509)}{(s+1.818)} \quad (3.19)$$

Optimizasyon yöntemine göre (ITAE performans kriterine dayalı) ve Ogata ile Yang tarafından sunulmuş frekans domeni tasarım metoduna göre tasarlanan

kontrolörlerin kesir dereceli sisteme uygulanmasıyla elde edilen kontrol sisteminin birim basamak cevapları Şekil 3.23 ile sunulmuştur. Yerleşme zamanları her iki cevap için de yaklaşık 12 s olmasına rağmen, optimizasyon yöntemine göre belirlenen kontrolörün daha üstün bir performans sergilediği şekilden görülmektedir.



Şekil 3.23. Optimizasyon ve Ogata'nın metoduna göre tasarlanan kontrolörlerin sisteme uygulanmasıyla elde edilen kapalı çevrim birim basamak cevapları

3.3.3.3. Örnek 3

Aşağıdaki kesir dereceli sistem için faz ilerlemeli kontrolör tasarımı ve kontrol edilen sistemin kararlılık analizini yapalım.

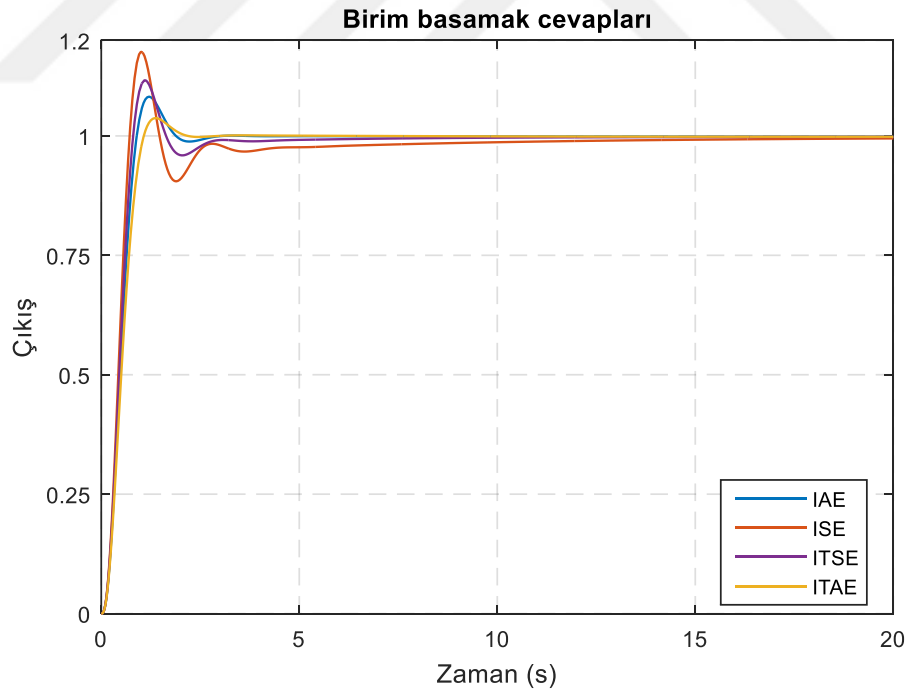
$$G(s) = \frac{5}{s^{0.9}(s^2 + 5s + 1)} \quad (3.20)$$

Önceki örneklere benzer şekilde sunulan optimizasyon yönteminin uygulanmasıyla faz ilerlemeli kontrolör parametreleri Çizelge 3.9'daki gibi belirlenir. Aynı çizelgede kontrolü gerçekleştirilen sistemin zaman cevabı karakteristikleri de detaylı şekilde sunulmuştur.

Çizelge 3.9 ile verilen kontrolör parametrelerinin kontrolör denkleminde yerine yazılmasıyla faz ilerlemeli kontrolörler elde edilir. Faz ilerlemeli kontrolörlerin Denklem 3.20 ile verilen sisteme uygulanmasıyla elde edilen kontrol sisteminin kapalı çevrim birim basamak cevapları Şekil 3.24 ile sunulmuştur.

Çizelge 3.9. Faz ilerlemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri

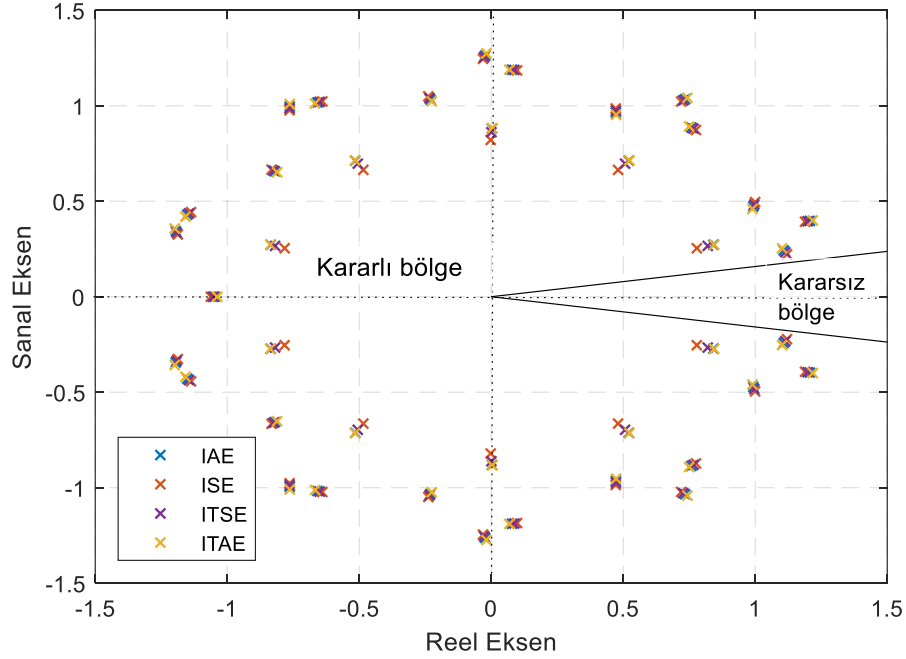
| | IAE | ISE | ITAE | ITSE |
|--|-------|-------|-------|-------|
| <i>Kontrolör parametreleri</i> | | | | |
| K | 19.99 | 20 | 19.99 | 19.99 |
| z | 0.282 | 0.139 | 0.289 | 0.225 |
| p | 9.144 | 6.644 | 10.54 | 7.998 |
| <i>Zaman cevabı performans karakteristikleri</i> | | | | |
| Yükselme zamanı (s) | 0.56 | 0.45 | 0.65 | 0.50 |
| Yerleşme zamanı (s) | 1.71 | 5.45 | 1.75 | 2.51 |
| Tepe zamanı (s) | 1.21 | 1.00 | 1.38 | 1.09 |
| Yüzde aşma (%) | 8.38 | 17.97 | 3.91 | 11.82 |



Şekil 3.24. Faz ilerlemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları

Şekil 3.24'ten en küçük yüzde aşma değerinin ITAE kriteri ile sağlanırken, en hızlı yerleşme zamanının IAE kriteri ile sağlandığı görülmektedir.

Kontrol edilen sistemin kararlılık analizi her bir integral performans kriterine göre yapılarak, Şekil 3.25 elde edilmiştir. Şekilde, kararsız bölge $2 \times 9^\circ = 18^\circ$ 'lik bir açıya sahiptir. Şekilden kutupların tamamının kararlı bölge içerisinde kaldığı görülür.



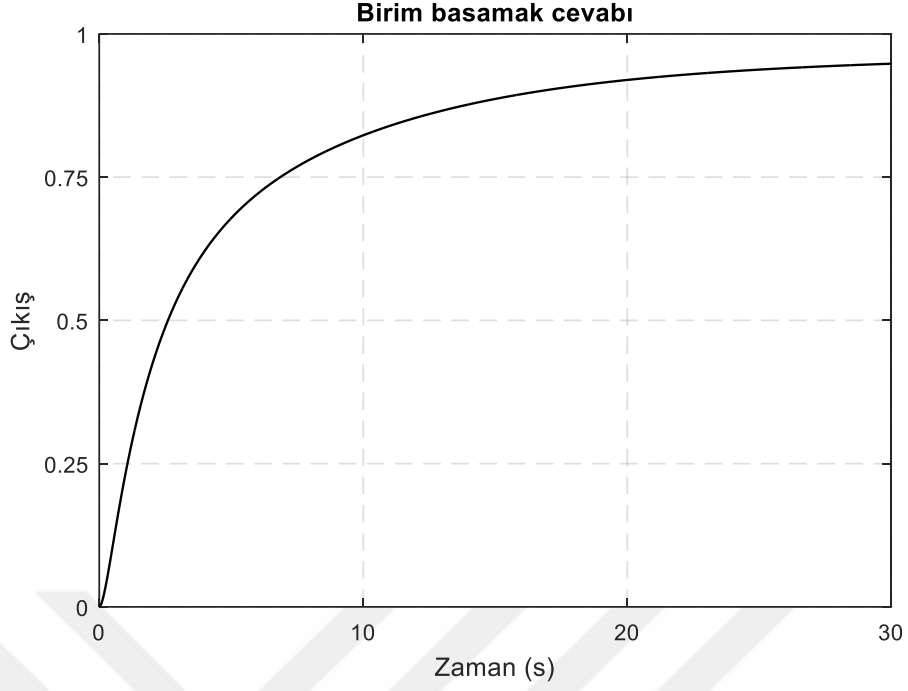
Şekil 3.25. Kompleks düzlemde kutupların dağılımı

3.3.3.4. Örnek 4

Aşağıdaki gibi verilen kesir dereceli bir sistem düşünölsün. Bu sistem için faz ilerlemeli ve faz gerilemeli kontrolör tasarımı gerçekleştirilelim.

$$G(s) = \frac{1}{s^{0.8}(s+3)} \quad (3.21)$$

$C(s)=1$ durumunda kesir dereceli sistemin kapalı çevrim birim basamak cevabı Şekil 3.26 ile verilmiştir.



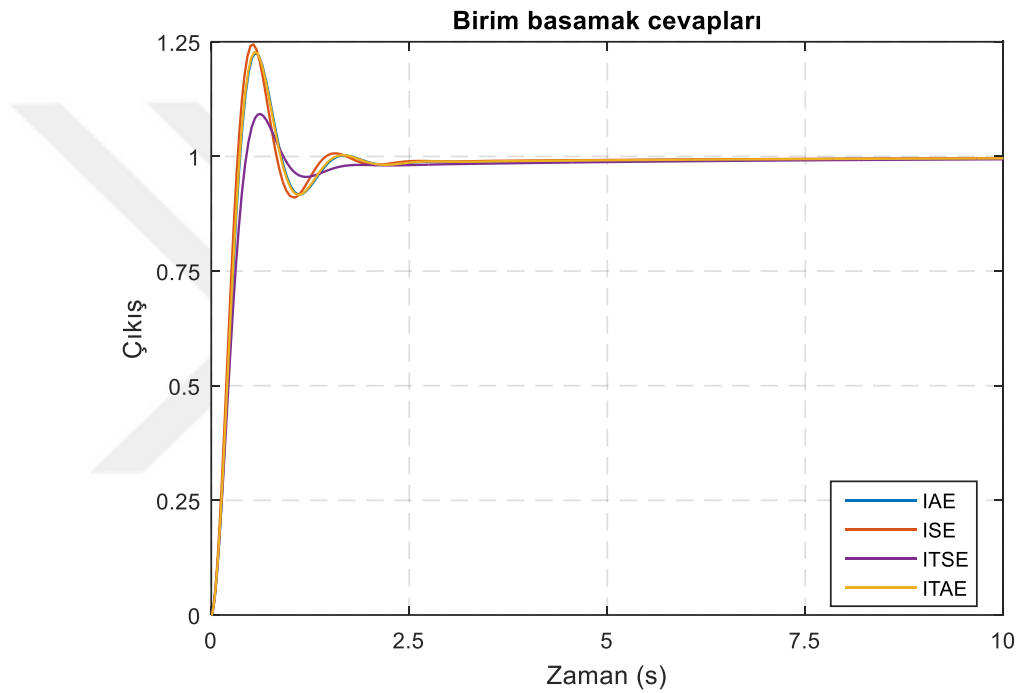
Şekil 3.26. $C(s)=1$ için sistemin kapalı çevrim birim basamak cevabı

Kesir dereceli sistem için oluşturulan optimizasyon algoritmalarında kontrolör parametrelerinin girilmesiyle optimizasyon başlar. Hatanın minimum değerine ulaşması ile optimizasyon durur ve kontrolör parametreleri belirlenmiş olur. Belirlenen kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri Çizelge 3.10 ile verilmiştir.

Çizelge 3.10. Faz ilerlemeli veya faz gerilemeli kontrolör parametreleri ve kontrol edilen sistemin zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|--|--------|--------|--------|-------|
| <i>Kontrolör parametreleri</i> | | | | |
| K | 17.824 | 20 | 18.785 | 20 |
| z | 15.972 | 20 | 14.058 | 3.42 |
| p | 12.549 | 15.746 | 11.383 | 4.167 |
| <i>Zaman cevabı performans karakteristikleri</i> | | | | |
| Yükselme zamanı (s) | 0.25 | 0.23 | 0.25 | 0.30 |
| Yerleşme zamanı (s) | 1.44 | 1.33 | 1.41 | 1.54 |
| Tepe zamanı (s) | 0.55 | 0.53 | 0.55 | 0.62 |
| Yüzde aşma (%) | 22.80 | 24.95 | 23.31 | 9.93 |

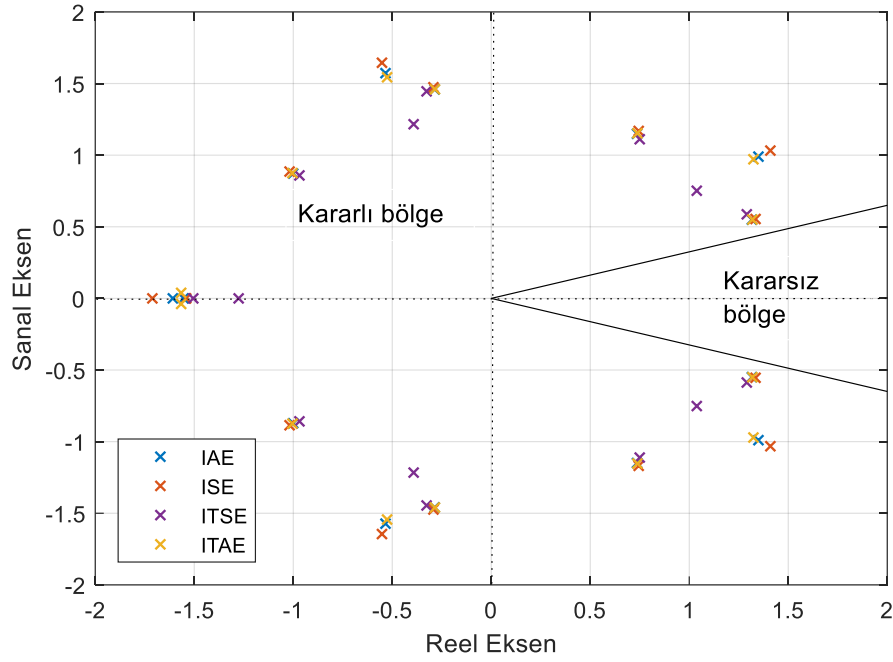
Bu örnek için ITSE kriteri ile faz ilerlemeli kontrolör tasarımı gerçekleştirirken, diğer integral performans kriterlerine göre faz gerilemeli kontrolör tasarımı gerçekleştirilmiştir. Belirlenen kontrolörlerin kesir dereceli sisteme uygulanması sonucu elde edilen kontrol sisteminin kapalı çevrim birim basamak cevap eğrileri Şekil 3.27 ile verilmiştir. Şekilden en küçük yüzde aşma değerinin ITSE performans kriteri ile sağlandığı ve zaman parametrelerinin oldukça kısaldığı görülmektedir. Yerleşme zamanı kontrol edilmeyen sistemde 104 saniye iken, kontrolör uygulanan sistemde 1.4 saniye civarında bir değere indiği görülmüştür.



Şekil 3.27. Faz ilerlemeli ve faz gerilemeli kontrolör ile kontrol edilen sistemin kapalı çevrim birim basamak cevapları

Kontrolör ile kontrol edilen sistemin kararlılık analizi Şekil 3.28 ile gösterilmiştir. Şekilde kararlılık analizi integral performans kriterlerinin herbirisi için oluşturulmuştur. Şekilde $2 \times 18^\circ = 36^\circ$ 'lık açığa sahip kararsız bir bölge olduğu ve kutupların tamamının kararlı bölge içerisinde olduğu görülür.

Optimizasyon yöntemi ile kesir dereceli sistemlerin kontrolünün faz ilerlemeli ve faz gerilemeli kontrolör tasarımı yapılarak başarılı bir şekilde gerçekleştirildiği sunulan örneklerden görülmüştür.



Şekil 3.28. Kompleks düzlemde kutupların dağılımı

3.4. Kesir Dereceli Transfer Fonksiyonu İçeren Kontrol Sistemlerinde Kararlılık Sınır Eğrisi Yöntemini Kullanarak PI Kontrolör Tasarımı

PID kontrolörlerde türev etki, kontrol proseslerinde gürültüye neden olduğu için çok fazla kullanılmaz. Bundan dolayı bu proseslerde *PI* kontrolörler *PID* kontrolörlere göre daha çok tercih edilirler [17]. *PI* kontrolörler hesaplanması gereken iki parametreye sahiptir ve çoğu kontrol sistemlerinde iyi sonuçlar verirler.

Kontrol sistemlerinde, sistemi kararlı yapan kontrolör parametrelerinin kolay ve başarılı bir şekilde belirlenmesi oldukça önemlidir. Kontrolör parametrelerinin elde edilmesinde kullanılan metotlardan birisi kararlılık sınır eğrisi (SBL) metodudur. Kararlılık sınır eğrisi metodu sistemi kararlı yapan kontrolör parametrelerinin belirlenmesinde kullanılan grafiksel bir metottur [12]. Bu bölümde, kesir dereceli sistemler için kararlılık sınır eğrisi yöntemi uygulanmış, sistemi kararlı yapan kontrolör parametreleri belirlenmiş ve kararlılık sınır eğrisi göz önünde tutularak optimizasyon yöntemi ile optimal kontrolör parametreleri elde edilmiştir. Yöntemin uygulamasını gösteren iki örnek sunulmuştur.

Şekil 1.1'de verilen tek giriş tek çıkışlı bir kontrol sisteminde, kontrol edilecek sistemin transfer fonksiyonu Denklem 3.22 şeklinde yazılsın. Eğer sistem zaman

gecikmesi içeriyorsa, üstel terim Denklem 3.22'nin pay kısmına çarpım olarak yazılır. *PI* kontrolörün transfer fonksiyonu Denklem 3.23 gibi tanımlanır [131].

$$G(s) = \frac{N(s)}{D(s)} \quad (3.22)$$

$$C(s) = K_p + \frac{K_i}{s} = \frac{K_p s + K_i}{s} \quad (3.23)$$

Kapalı çevrim sistemin karakteristik polinomu Denklem 3.24 şeklinde yazılır.

$$\Delta(s) = sD(s) + (K_p s + K_i)N(s) \quad (3.24)$$

Denklem 3.22'nin pay ve payda polinomları çift ve tek parçalarına ayrılarak ve $s = j\omega$ yazılarak Denklem 3.25 elde edilir [131].

$$G(s) = \frac{N_e(-\omega^2) + j\omega N_o(-\omega^2)}{D_e(-\omega^2) + j\omega D_o(-\omega^2)} \quad (3.25)$$

Karakteristik polinom tekrardan düzenlenerek Denklem 3.26 şeklinde yazılır [131].

$$\begin{aligned} \Delta(j\omega) = & [K_i N_e(-\omega^2) - K_p \omega^2 N_o(-\omega^2) - \omega^2 D_o(-\omega^2)] \\ & + j[K_p \omega N_e(-\omega^2) + K_i \omega N_o(-\omega^2) + \omega D_e(-\omega^2)] \end{aligned} \quad (3.26)$$

$$\Delta(j\omega) = R_\Delta + jI_\Delta = 0 \quad (3.27)$$

Karakteristik polinomun reel ve sanal kısımları sıfıra eşitlenirse, Denklem 3.28 ve Denklem 3.29 elde edilir.

$$K_p(-\omega^2 N_o(-\omega^2)) + K_i(N_e(-\omega^2)) = \omega^2 D_o(-\omega^2) \quad (3.28)$$

$$K_p(\omega N_e(-\omega^2)) + K_i(\omega N_o(-\omega^2)) = -\omega D_e(-\omega^2) \quad (3.29)$$

$$\begin{aligned}
Q(\omega) &= -\omega^2 N_o(-\omega^2), R(\omega) = N_e(-\omega^2) \\
S(\omega) &= \omega N_e(-\omega^2), U(\omega) = \omega N_o(-\omega^2) \\
X(\omega) &= \omega^2 D_o(-\omega^2), Y(\omega) = -\omega D_e(-\omega^2)
\end{aligned} \tag{3.30}$$

Denklem 3.30 kullanılarak, Denklem 3.28 ve 3.29 tekrardan Denklem 3.31 şeklinde yazılır.

$$\begin{aligned}
K_p Q(\omega) + K_i R(\omega) &= X(\omega) \\
K_p S(\omega) + K_i U(\omega) &= Y(\omega)
\end{aligned} \tag{3.31}$$

Denklem 3.31 kullanılarak, K_p ve K_i Denklem 3.32 ve 3.33 şeklinde elde edilir.

$$K_p = \frac{X(\omega)U(\omega) - Y(\omega)R(\omega)}{Q(\omega)U(\omega) - R(\omega)S(\omega)} \tag{3.32}$$

$$K_i = \frac{Y(\omega)Q(\omega) - X(\omega)S(\omega)}{Q(\omega)U(\omega) - R(\omega)S(\omega)} \tag{3.33}$$

Denklem 3.30, Denklem 3.32 ve 3.33'te yerine yazılarak aşağıdaki denklemler elde edilir [131].

$$K_p = \frac{\omega^2 D_o(-\omega^2) N_o(-\omega^2) + D_e(-\omega^2) N_e(-\omega^2)}{-(\omega^2 N_o^2(-\omega^2) + N_e^2(-\omega^2))} \tag{3.34}$$

$$K_i = \frac{\omega^2 D_e(-\omega^2) N_o(-\omega^2) - \omega^2 D_o(-\omega^2) N_e(-\omega^2)}{-(\omega^2 N_o^2(-\omega^2) + N_e^2(-\omega^2))} \tag{3.35}$$

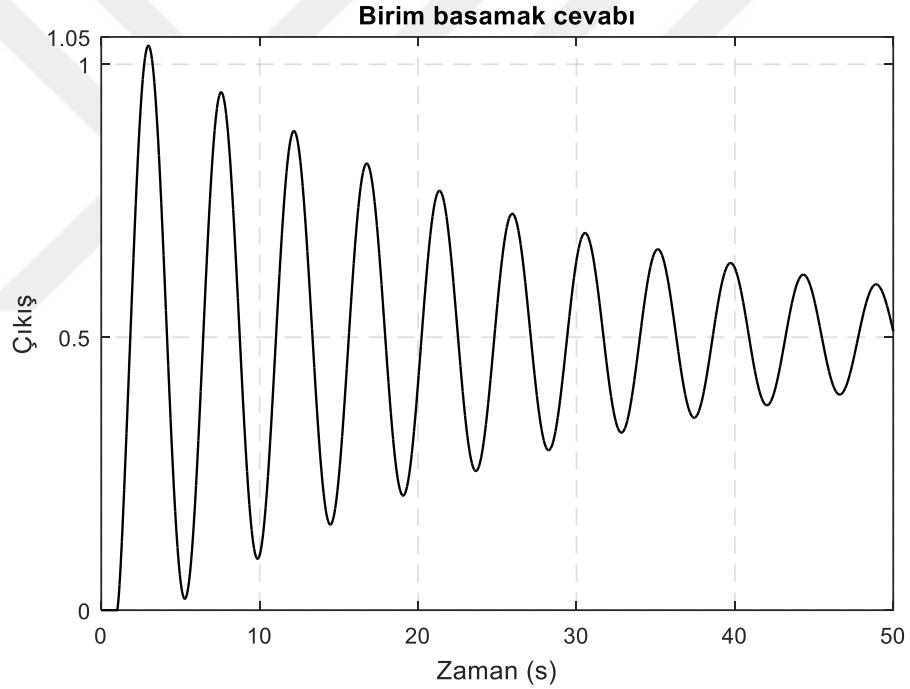
Denklem 3.34 ve 3.35 kullanılarak, kararlılık sınır eğrisi K_p - K_i düzleminde çizdirilir ve eğri K_p - K_i düzlemini kararlı ve kararsız bölgelere ayırır. Eğer K_p ve K_i parametreleri kararlı bölgeden seçilirse, sistem de kararlı olacaktır. Kararlı bölge içerisinde belirlenecek, sistemi en iyi kontrol edecek parametreler için optimizasyon yönteminden yararlanılır.

3.4.1. Örnek 1

Zaman gecikmesine sahip kesir dereceli bir sistem için *PI* kontrolör tasarımı gerçekleştirmek üzere yapılan çalışma aşağıdadır.

$$G(s) = \frac{1}{s^{1.5} + 1} e^{-s} \quad (3.36)$$

Denklem 3.36 ile verilen transfer fonksiyonunun kapalı çevrim birim basamak cevabı Şekil 3.29 ile verilmiştir. Şekil incelendiğinde, çıkış sinyalinin giriş sinyalini takip etmediği ve kalıcı-hal hatasının çok büyük olduğu görülmektedir.



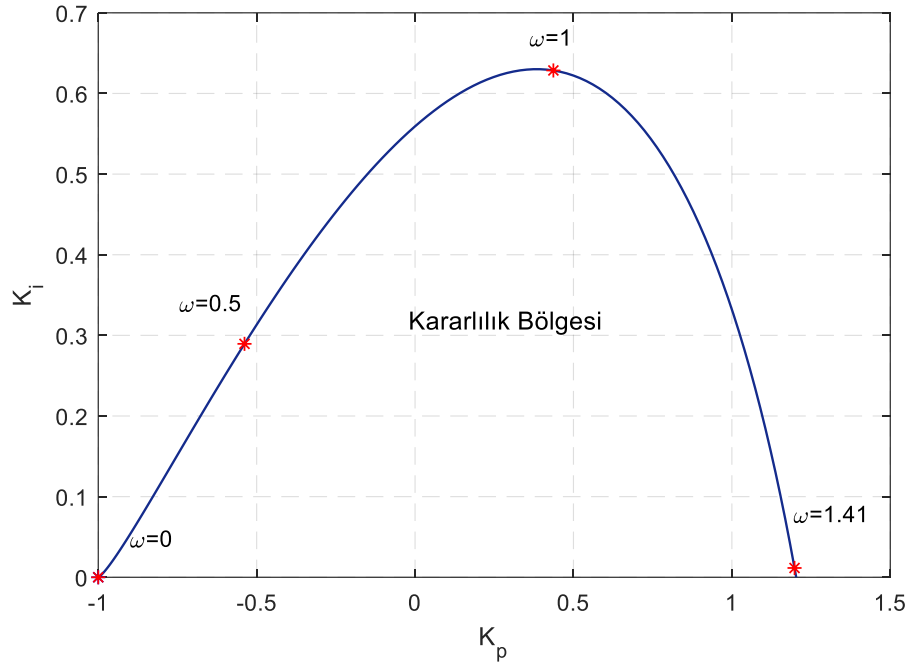
Şekil 3.29. $C(s)=1$ olduğu zaman kapalı çevrim sistemin birim basamak cevabı

Denklem 3.36 ile verilen transfer fonksiyonu için SBL yönteminin uygulanmasıyla K_p ve K_i parametreleri aşağıdaki gibi elde edilir.

$$K_p = 0.707\omega^{1.5} \sin(\omega) + \cos(\omega)(0.707\omega^{1.5} - 1) \quad (3.37)$$

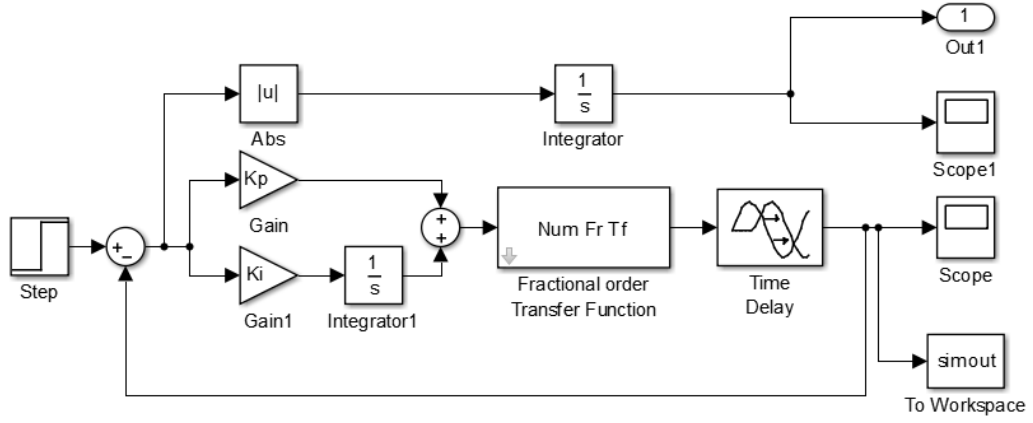
$$K_i = 0.707\omega^{2.5} \cos(\omega) + \sin(\omega)(\omega - 0.707\omega^{2.5}) \quad (3.38)$$

K_p ve K_i parametrelerinin kararlı ve kararsız değerleri için elde edilen SBL eğrisi Şekil 3.30 ile sunulmuştur ($\omega \in [0, 1.42]$). Optimizasyon algoritmalarında alt ve üst sınırlar kararlılık sınır eğrisi içerisinde kalan bölgeler dikkate alınarak belirlenmiştir. Böylece optimizasyon kararlı bölgede çalıştırılarak daha hızlı sonuca ulaşılması amaçlanmıştır.



Şekil 3.30. Kararlılık bölgesi ve kararlılık sınır eğrisi

Zaman gecikmesine sahip kesir dereceli sistem için Oustaloup'un 5. dereceden tamsayı dereceli yaklaşımı kullanılarak MATLAB/Simulink ortamında bir model oluşturulmuştur. Oustaloup'un 5. dereceden tamsayı dereceli yaklaşım tablosu Ek'te verilmiştir. Simulink modelinde çeşitli integral performans kriterleri hatanın minimizasyonu için kullanılmıştır. IAE performans kriteri ile oluşturulan model Şekil 3.31'de verilmiştir.



Şekil 3.31. IAE performans kriterine göre oluşturulan Simulink modeli

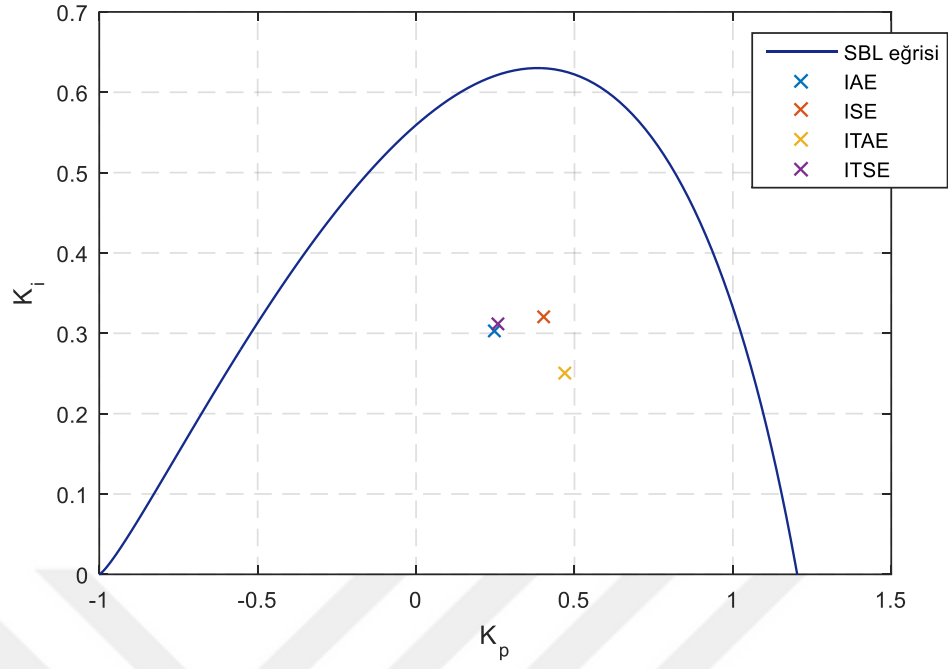
Optimizasyonun algoritması başlatılır, durma kriteri sağlanınca algoritma sonlanır ve kontrolör parametreleri elde edilir. Farklı integral performans kriterlerine göre elde edilen *PI* kontrolör parametreleri Çizelge 3.11’de verilmiştir.

Çizelge 3.11. *PI* kontrolör parametreleri

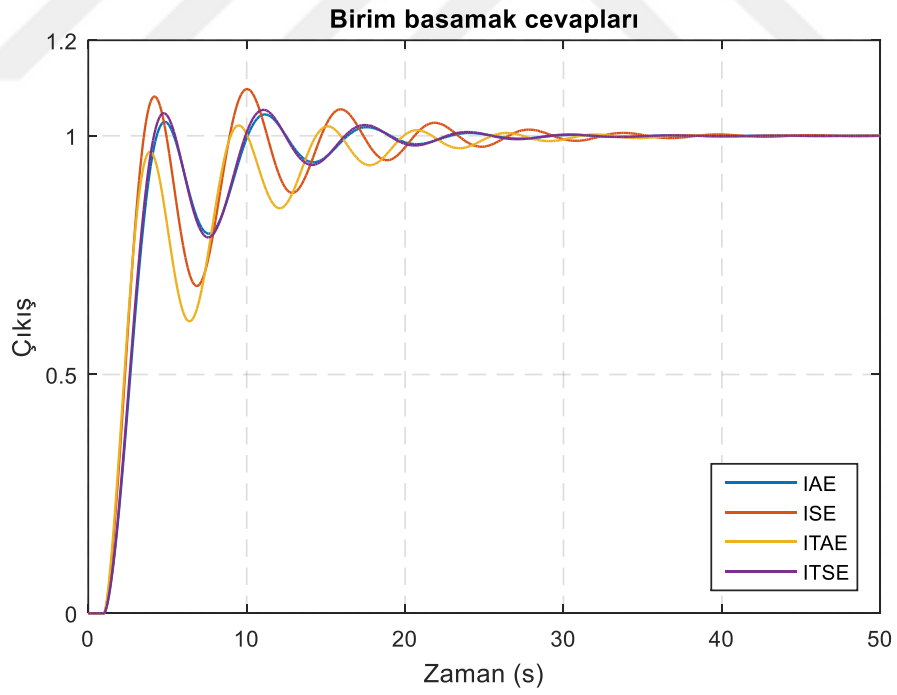
| | IAE | ISE | ITAE | ITSE |
|-------|-------|-------|------|-------|
| K_p | 0.246 | 0.402 | 0.47 | 0.258 |
| K_i | 0.303 | 0.321 | 0.25 | 0.311 |

PI kontrolör parametrelerinin kararlılık sınır eğrisi içerisindeki dağılımı Şekil 3.32’de verilmiştir. Farklı integral performans kriterlerine göre elde edilen kontrolör parametrelerinin birbirine çok yakın olduğu, özellikle IAE ve ITSE performans kriterleri kullanılarak belirlenen kontrolör parametrelerinin neredeyse üst üste geldiği şekilden görülmektedir. Şekildeki noktaların uçları birleştirildiğinde düzgün olmayan bir dörtgen oluşacağı ve bu bölgeden seçilen kontrolör parametrelerinin sistemi daha başarılı bir şekilde kontrol edeceği söylenebilir.

Çizelge 3.11’de verilen kontrolör parametrelerinin *PI* kontrolör denkleminde yerine yazılmasıyla *PI* kontrolörler elde edilir. *PI* kontrolörlerin kontrol edilecek sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevapları Şekil 3.33’te verilmiştir. Şekil incelendiğinde minimum yerleşme zamanının IAE kriteri ile, en küçük yüzde aşma değerinin ITAE kriteri ile sağlandığı söylenebilir.



Şekil 3.32. *PI* kontrolör parametrelerinin kararlılık bölgesi içerisindeki dağılımları



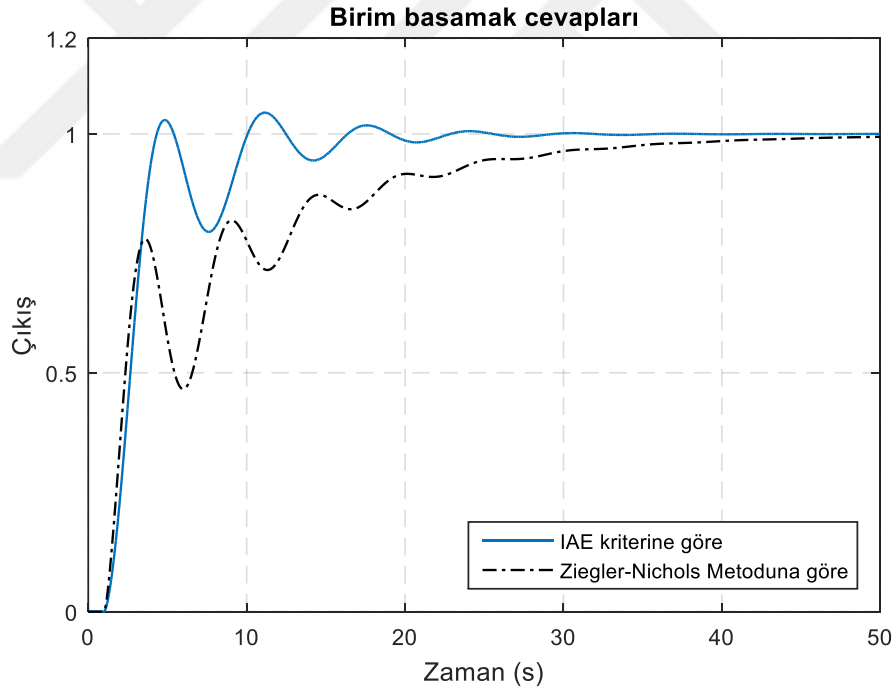
Şekil 3.33. Farklı integral performans kriterlerine göre *PI* kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları

Şekil 3.33'te verilen birim basamak cevaplarına ait zaman parametreleri ve yüzde aşma değerleri Çizelge 3.12'de verilmiştir.

Çizelge 3.12. Zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|---------------------|-------|-------|-------|-------|
| Yükselme zamanı (s) | 2.20 | 1.75 | 1.90 | 2.12 |
| Yerleşme zamanı (s) | 15.75 | 25.31 | 24.22 | 20.84 |
| Tepe zamanı (s) | 11.15 | 10.02 | 9.50 | 11.06 |
| Yüzde aşma (%) | 4.45 | 9.82 | 2.15 | 5.42 |

İlave olarak, Şekil 3.34 Ziegler-Nichols ve optimizasyon yöntemine göre belirlenen (IAE kriterine dayalı) *PI* kontrolör parametrelerinin uygulanmasıyla elde edilen birim basamak cevaplarını göstermektedir. Optimizasyon yöntemiyle belirlenen *PI* kontrolörlerin sistemi çok daha iyi kontrol ettiği şekilden açıkça görülmektedir.



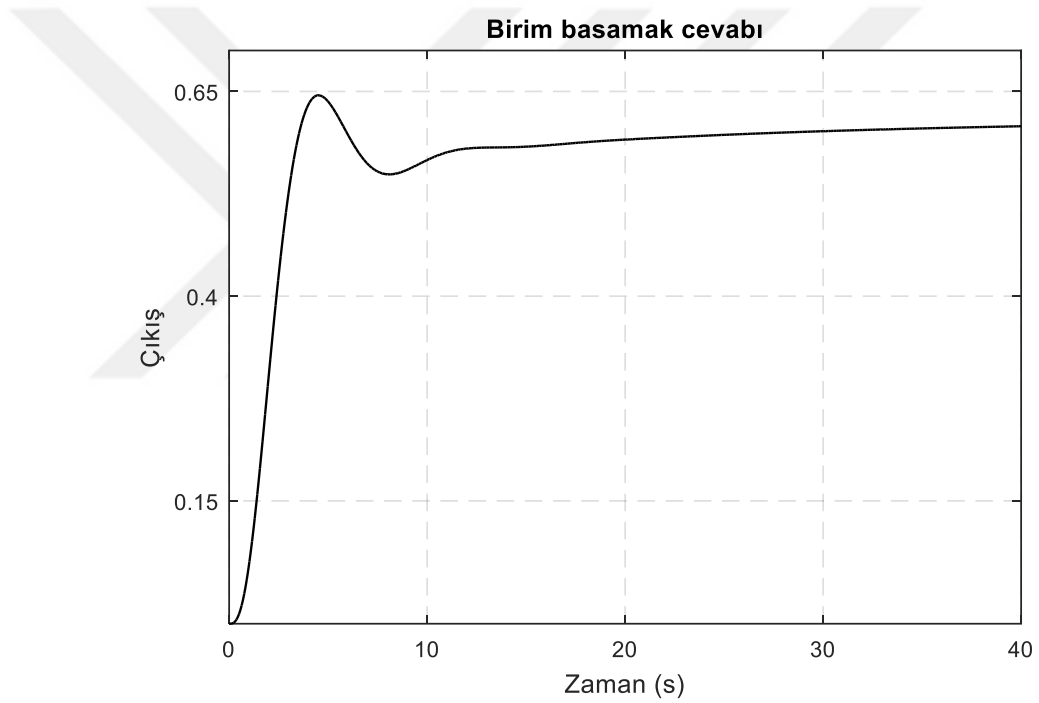
Şekil 3.34. Ziegler-Nichols ve optimizasyon yöntemiyle kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları

3.4.2. Örnek 2

Önerilen yönteme göre PI kontrolör tasarımı gerçekleştirmek üzere verilen kesir dereceli sistemi alalım.

$$G(s) = \frac{1}{s^{0.1}(s+1)^3} \quad (3.39)$$

Denklem 3.39 ile verilen transfer fonksiyonunun kontrolörsüz kapalı çevrim birim basamak cevabı Şekil 3.35 ile verilmiştir.



Şekil 3.35. $C(s)=1$ olduğu zaman kapalı çevrim sistemin birim basamak cevabı

Denklem 3.39 ile verilen transfer fonksiyonu için SBL yönteminin uygulanmasıyla K_p ve K_i parametreleri sırasıyla Denklem 3.40 ve 3.41 gibi elde edilir.

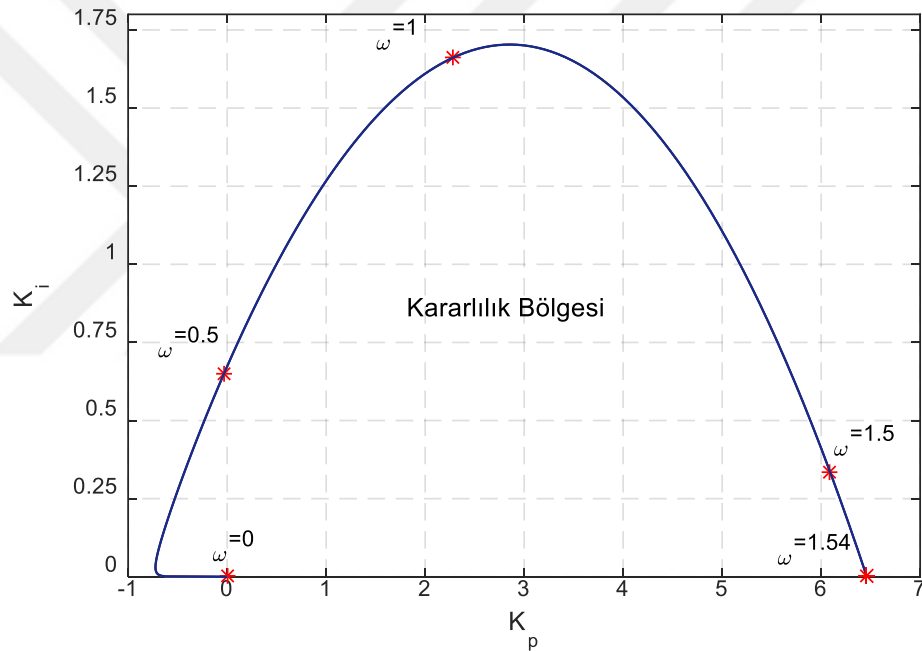
$$K_p = (2.961\omega^{2.1} - 0.987\omega^{0.1} - 0.156\omega^{3.1} + 0.468\omega^{1.1}) \quad (3.40)$$

$$K_i = (-0.987\omega^{4.1} + 2.961\omega^{2.1} - 0.468\omega^{3.1} + 0.156\omega^{1.1}) \quad (3.41)$$

K_p ve K_i parametrelerinin kararlı ve kararsız değerleri için elde edilen SBL eğrisi Şekil 3.36 ile sunulmuştur ($\omega \in [0, 1.55]$). Şekildeki kararlılık sınır eğrisi içerisinde seçilen herhangi bir K_p - K_i parametre çifti sistemi kararlı yapmaktadır. Optimizasyon algoritmasının bu sınırlar içerisinde çalıştırılması oldukça avantaj sağlamaktadır. Optimizasyon ile belirlenen PI kontrolör parametreleri Çizelge 3.13'te verilmiştir.

Çizelge 3.13. PI kontrolör parametreleri

| | IAE | ISE | ITAE | ITSE |
|-------|-------|-------|-------|-------|
| K_p | 1.509 | 2.325 | 1.351 | 1.556 |
| K_i | 0.322 | 0.336 | 0.308 | 0.355 |



Şekil 3.36. Kararlılık bölgesi ve kararlılık sınır eğrisi

Şekil 3.37, PI kontrolör parametrelerinin kararlılık sınır eğrisi içerisinde dağılımını göstermektedir. Şekilde elde edilen noktaların birbirine oldukça yakın bölgede olduğu açık bir şekilde görülmektedir.

Çizelge 3.13'te verilen kontrolör parametrelerinin kontrol edilecek sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevapları Şekil 3.38 ile verilmiştir. Şekilde performans kriterleri karşılaştırıldığında, yükselme ve tepe

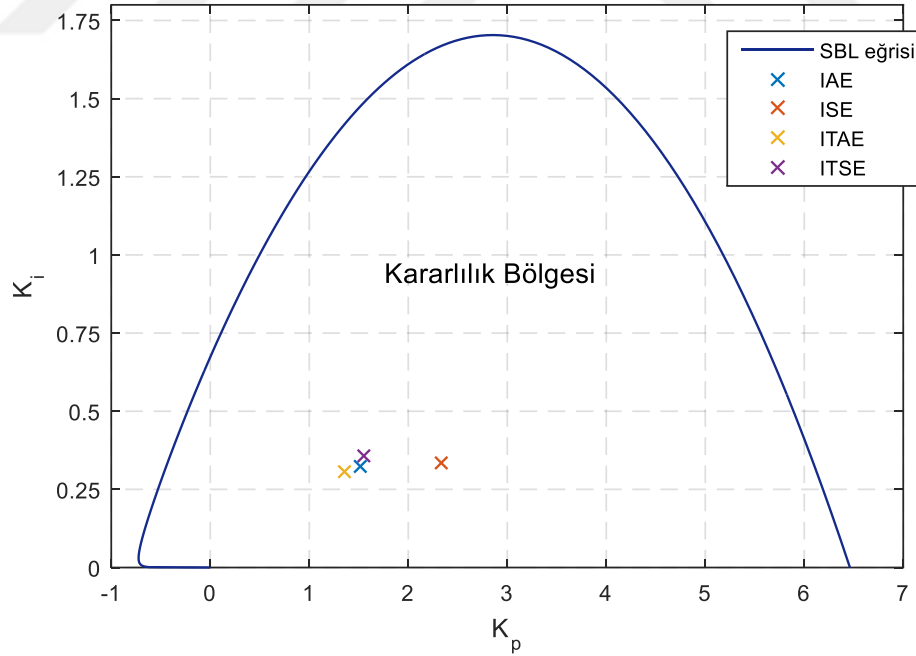
zamanında ISE, yerleşme zamanında IAE, yüzde aşma değerinde ITAE performans kriteri ile daha başarılı bir kontrol sağlandığı görülmektedir.

Şekil 3.38 ile verilen birim basamak cevaplarına ait zaman parametreleri ve yüzde aşma değerleri Çizelge 3.14'te verilmiştir.

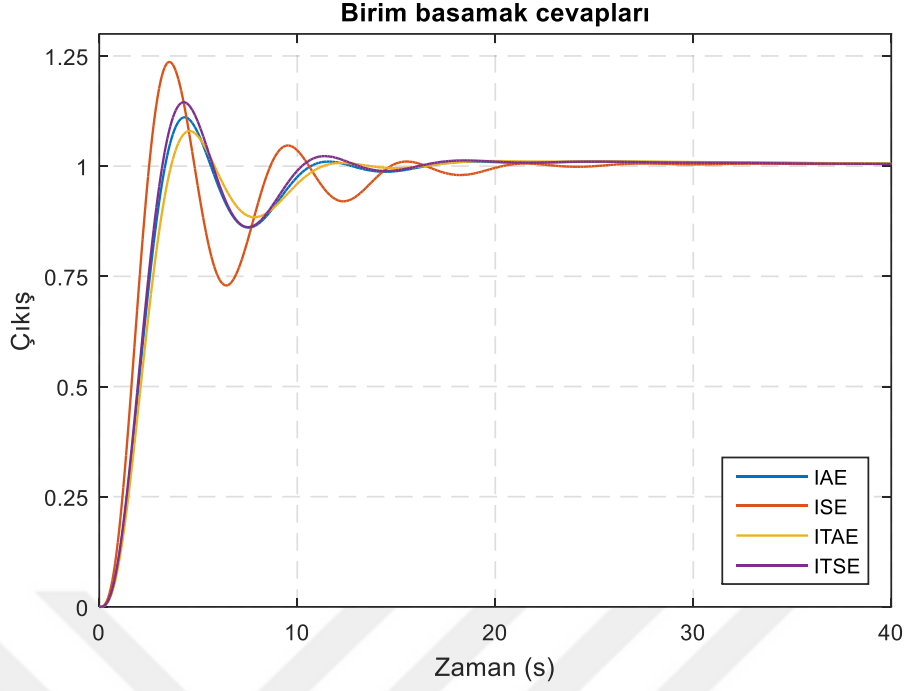
Şekil 3.37'de verilen kararlılık sınır eğrisi içerisinde seçilen farklı iki nokta için elde edilen birim basamak cevapları Şekil 3.39'da verilmiştir. Kararlılık sınır eğrisi içerisinde seçilen her iki noktanın da sistemi kararlı yaptığı şekilden görülmektedir. Optimizasyon yöntemi ile belirlenen parametrelere yakın bölgeden seçilen K_p - K_i parametrelerinin sistemi daha iyi kontrol ettiği oldukça açıktır.

Çizelge 3.14. Zaman cevabı performans karakteristikleri

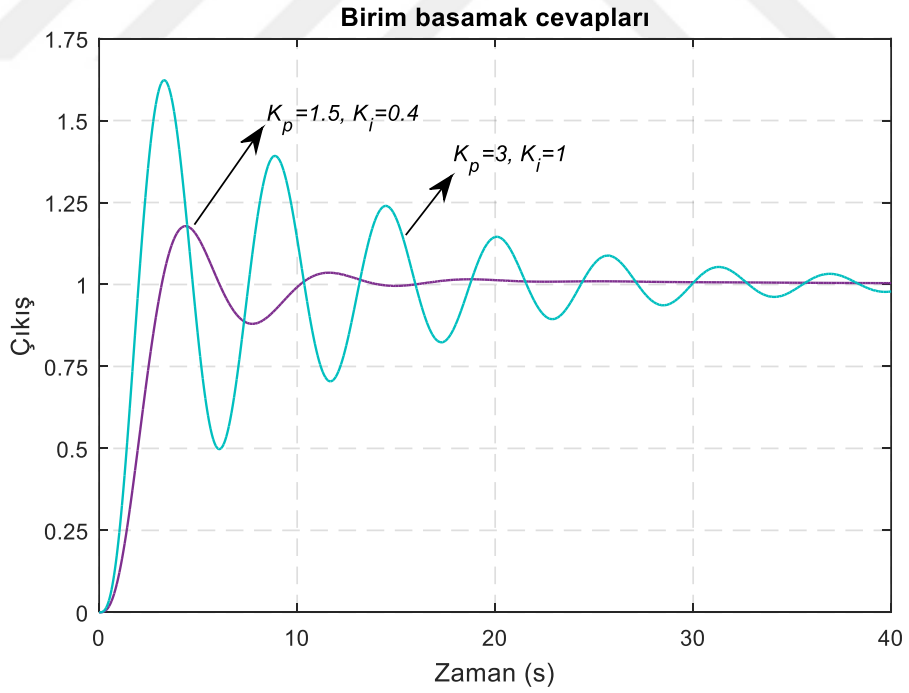
| | IAE | ISE | ITAE | ITSE |
|---------------------|-------|-------|-------|-------|
| Yükselme zamanı (s) | 2.03 | 1.51 | 2.21 | 1.94 |
| Yerleşme zamanı (s) | 10.23 | 19.07 | 10.70 | 9.90 |
| Tepe zamanı (s) | 4.31 | 3.54 | 4.56 | 4.27 |
| Yüzde aşma (%) | 10.46 | 23.03 | 7.33 | 13.93 |



Şekil 3.37. PI kontrolör parametrelerinin kararlılık bölgesi içerisindeki dağılımları



Şekil 3.38. Farklı integral performans kriterlerine göre *PI* kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları



Şekil 3.39. Kararlılık bölgesi içerisinde seçilen iki farklı nokta için *PI* kontrolör ile kontrol edilen kapalı çevrim sistemlerin birim basamak cevapları

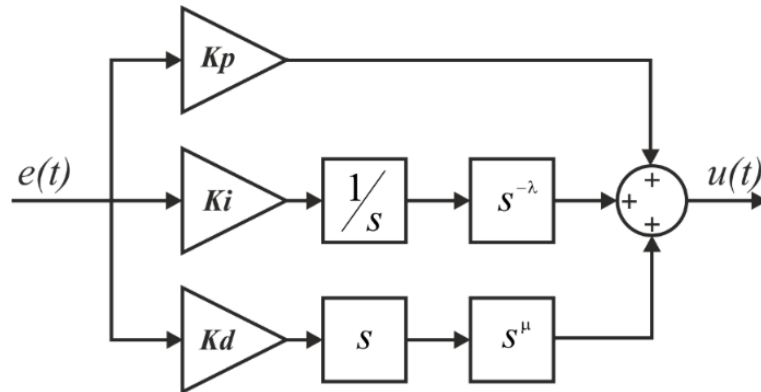
3.5. Kesir Dereceli PID Kontrolör Tasarımı ve PID ile Karşılaştırılması

Son yıllarda, kesir dereceli *PID* kontrolöre olan ilgi önemli ölçüde artmıştır. Podlubny tarafından tanıtılan kesir dereceli *PID* kontrolör, *PID* kontrolörün genellemesidir. Ayrıca, kesir dereceli sistemler için geleneksel *PID* kontrolör ile karşılaştırılan kesir dereceli *PID* kontrolörün daha iyi bir cevap sağladığı Podlubny tarafından gösterilmiştir.

Kesir dereceli *PID* kontrolör, geleneksel *PID* kontrolörden farklı olarak fazladan iki parametreye sahiptir. Bu parametrelerden λ integralin derecesini, μ türevin derecesini gösterir. Kesir dereceli *PID* kontrolörün transfer fonksiyonu Denklem 3.42 şeklindedir [132].

$$C(s) = K_p + \frac{K_i}{s^\lambda} + K_d s^\mu \quad (3.42)$$

Eğer λ ve μ parametreleri 1'e eşit olursa, kesir dereceli *PID* kontrolör, tamsayı dereceli *PID* kontrolör olur. Kesir dereceli *PID* kontrolör yapısını gösteren blok diyagram Şekil 3.40 ile verilmiştir. Bu tez çalışmasında genel olarak kontrol edilecek sistem kesir dereceli ve kontrolörler tamsayı dereceli seçilmiştir. Bu bölümde kesir dereceli *PID* kontrolör tasarımı yapılarak kesir dereceli transfer fonksiyonuna sahip kontrol sistemlerinin denetimi sağlanmıştır. Ayrıca 6. Bölümde kesir dereceli *PID* kontrolör kullanılarak gerçek zamanlı kontrol uygulaması gerçekleştirilmiştir.



Şekil 3.40. Kesir dereceli *PID* kontrolörün yapısı

Kesir dereceli *PID* kontrolörler geleneksel *PID* kontrolörlerden daha iyi performans sergilerler. Yüksek dereceli sistemlerde, *PID* kontrolörün performansı bozulurken, kesir dereceli *PID* kontrolör daha iyi sonuçlar verir [133, 134]. Benzer şekilde, uzun zaman gecikmesi içeren sistemlerde de kesir dereceli *PID* kontrolör daha iyi sonuçlar verir [135, 136]. *PID* ile kontrol edilen sistemlerde kararlılık ve dayanıklılık düşük olurken, kesir dereceli *PID* kontrolörlerle daha kararlı ve dayanıklı kontrol sağlanır [85]. Son olarak lineer olmayan sistemlerin kontrolü kesir dereceli *PID* kontrolör ile daha kolay olabilir [137]. Tüm bu avantajlar kesir dereceli *PID* kontrolöre olan ilgiyi hızla artırmaktadır.

Burada kesir dereceli transfer fonksiyonuna sahip kontrol sistemleri için kesir dereceli *PID* kontrolör ve geleneksel *PID* kontrolör tasarımı optimizasyon yöntemiyle yapılarak, her iki kontrolörün performans karşılaştırmalarına yer verilmiştir.

3.5.1. Örnek 1

Denklem 3.43 ile verilen kesir dereceli bir sistem için *PID* ve kesir dereceli *PID* kontrolör tasarımı gerçekleştirmek üzere bir çalışma aşağıda sunulmuştur.

$$G(s) = \frac{10}{s^{0.9}(s + 0.6)} \quad (3.43)$$

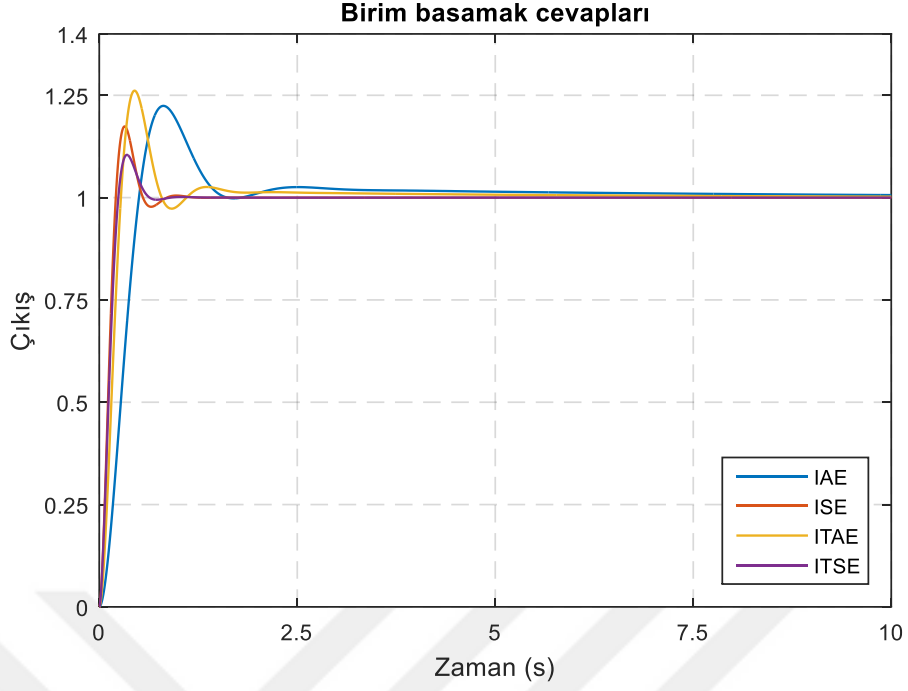
Bu sistem için kontrolör parametrelerinin belirlenmesi amacıyla optimizasyon algoritmasında kullanılacak Simulink modelleri oluşturulmuştur. Modelde kesir dereceli sistem, Matsuda'nın 4. dereceden tamsayı dereceli yaklaşımı kullanılarak modellenmiştir. Ayrıca, Ninteger araç kutusu kesir dereceli ifadelerde kullanılmıştır. Hem *PID* hem de kesir dereceli *PID* kontrolör için, integral performans kriterleriyle optimizasyon algoritmaları oluşturulmuştur. Optimizasyonun sonlanmasıyla *PID* ve kesir dereceli *PID* kontrolör parametreleri belirlenmiş ve Çizelge 3.15 ile verilmiştir.

Çizelge 3.15. *PID* ve kesir dereceli *PID* kontrolör parametreleri

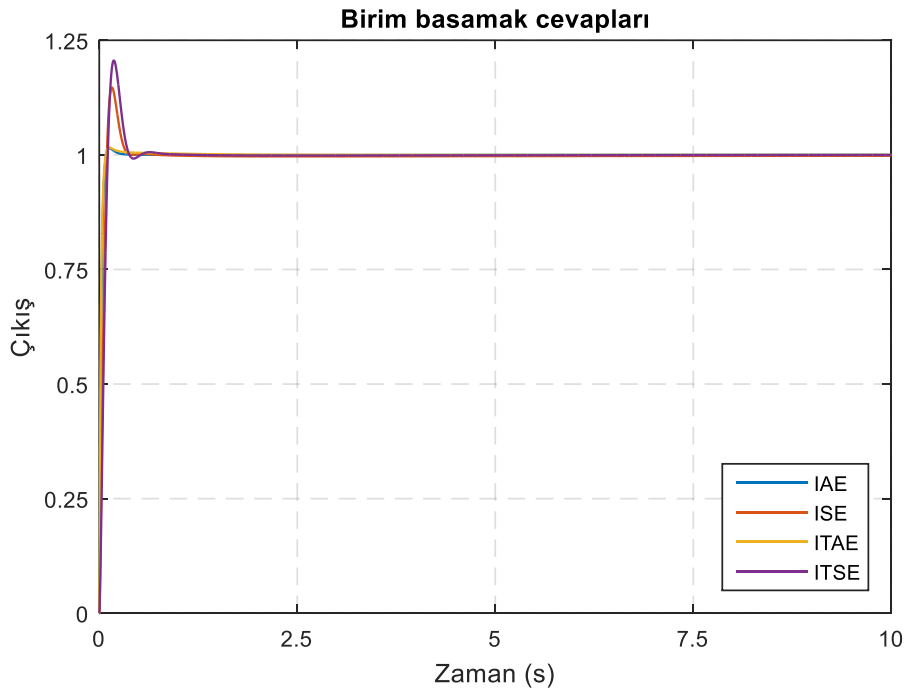
| | IAE | ISE | ITAE | ITSE |
|-------------------------------------|-------|-------|-------|-------|
| <i>PID kontrolör</i> | | | | |
| K_p | 1.706 | 10 | 4.927 | 9.999 |
| K_i | 0.286 | 0.01 | 1.061 | 0.011 |
| K_d | 0.267 | 0.717 | 0.414 | 0.901 |
| <i>Kesir dereceli PID kontrolör</i> | | | | |
| K_p | 2.309 | 0.614 | 4.404 | 0.015 |
| K_i | 0.431 | 0.013 | 0.619 | 0.846 |
| K_d | 4.743 | 5 | 4.866 | 4.99 |
| λ | 0.438 | 0.263 | 0.32 | 0.277 |
| μ | 0.862 | 0.58 | 0.891 | 0.501 |

Kontrolör parametrelerinin kontrolör denklemlerinde yerine yazılmasıyla *PID* ve kesir dereceli *PID* kontrolörler elde edilmiş olur. *PID* ve kesir dereceli *PID* kontrolörlerin kesir dereceli sisteme uygulanmasıyla elde edilen kontrol sistemlerinin birim basamak cevapları sırasıyla Şekil 3.41 ve Şekil 3.42 ile sunulmuştur.

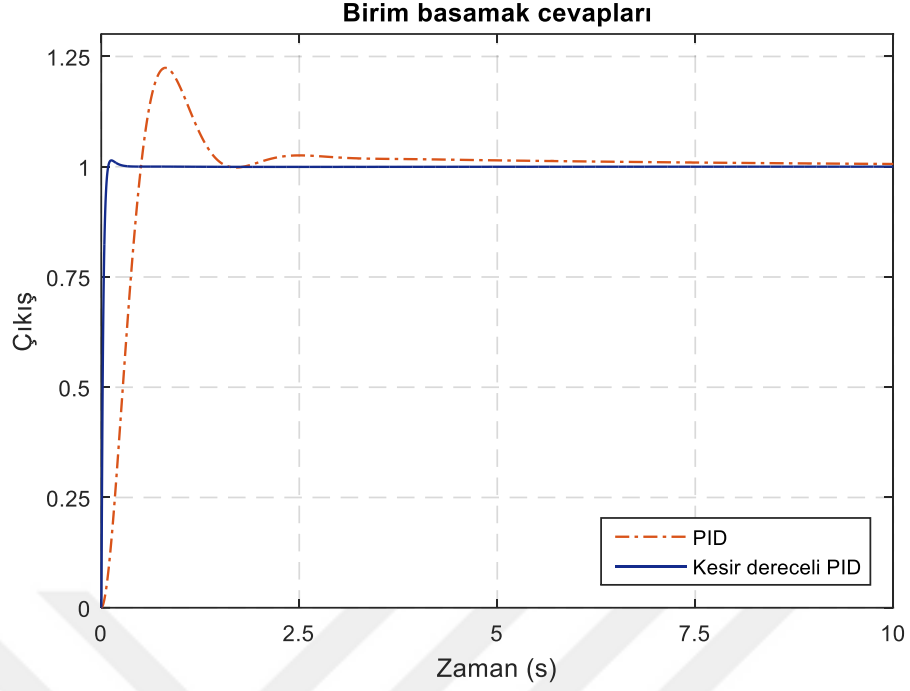
Şekil 3.41'e bakıldığında, ITSE performans kriterine göre yapılan *PID* kontrolör tasarımının diğer performans kriterlerine göre yapılan tasarımlardan daha üstün olduğu görülmektedir. Şekil 3.42'de IAE ve ITAE performans kriterlerine göre yapılan kesir dereceli *PID* kontrolör tasarımlarının oldukça başarılı olduğu söylenebilir. *PID* ve kesir dereceli *PID* ile kontrol edilen sistemlerin performansları karşılaştırıldığında kesir dereceli *PID* ile denetlenen sistemin performansının daha üstün olduğu açıkça ifade edilebilir. Örneğin, IAE performans kriterine dayalı yapılan kontrolör tasarımlarında, kontrolörlerin kesir dereceli sisteme uygulanmasıyla elde edilen kontrol sisteminin kapalı çevrim birim basamak cevabı Şekil 3.43 ile verilmiştir. Burada yüzde aşma değerleri açısından kontrolör performansları karşılaştırıldığında, *PID* ile %21.66 değerinde bir aşma elde edilirken, kesir dereceli *PID* ile %1.42 değerinde bir aşma elde edilmiştir. Kesir dereceli *PID* ile sağlanan kontrolün ideal bir birim basamak cevabına oldukça yakın olduğu şekilden görülmektedir.



Şekil 3.41. *PID* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 3.42. Kesir dereceli *PID* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 3.43. IAE performans kriterine dayalı belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevabı

Çizelge 3.16, *PID* ve kesir dereceli *PID* kontrolör ile kontrol edilen kesir dereceli sistemlerin zaman cevabına ait yüzde aşma ve zaman parametrelerini detaylı şekilde göstermektedir.

Çizelge 3.16. *PID* ve kesir dereceli *PID* kontrolör ile denetlenen sistemlerin zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|-------------------------------------|---------|---------|---------|---------|
| <i>PID kontrolör</i> | | | | |
| Yükselme zamanı (s) | 0.3475 | 0.1439 | 0.1887 | 0.1641 |
| Yerleşme zamanı (s) | 1.4098 | 0.6983 | 1.4847 | 0.5524 |
| Tepe zamanı (s) | 0.8105 | 0.3182 | 0.4444 | 0.3482 |
| Yüzde aşma (%) | 21.6611 | 17.3897 | 25.8259 | 10.4427 |
| <i>Kesir dereceli PID kontrolör</i> | | | | |
| Yükselme zamanı (s) | 0.0454 | 0.0686 | 0.0407 | 0.0774 |
| Yerleşme zamanı (s) | 0.0735 | 0.3107 | 0.0678 | 0.3452 |
| Tepe zamanı (s) | 0.1276 | 0.1606 | 0.1276 | 0.1845 |
| Yüzde aşma (%) | 1.4226 | 14.8216 | 1.5664 | 20.5606 |

3.5.2. Örnek 2

Aşağıdaki gibi verilen kesir dereceli bir sistemin olduğunu varsayalım. Sistemin kontrolünü, *PID* ve kesir dereceli *PID* kontrolör kullanarak sağlayalım.

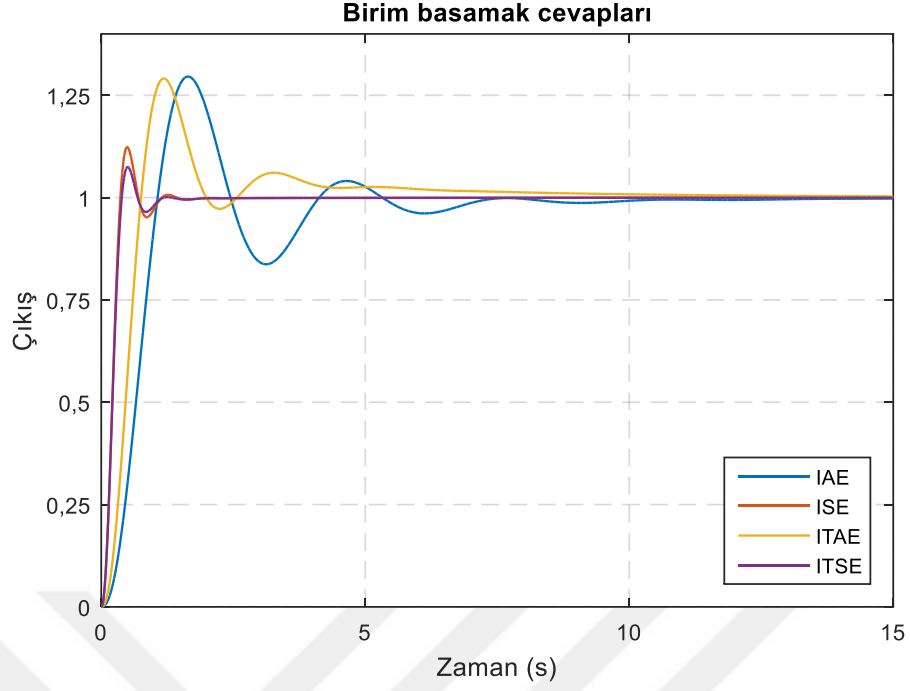
$$G(s) = \frac{8}{2s^{2.3} + 3s^{1.2} + s^{0.3}} \quad (3.44)$$

Yukarıdaki kesir dereceli sistemde $C(s)=1$ olarak alındığında kapalı çevrim kontrol sisteminin birim basamak cevap eğrisinde yüzde aşma yaklaşık %50, yerleşme zamanı ise 14 saniye civarındadır. Gerçekleştirilecek kontrolör tasarımları ile daha uygun bir birim basamak cevabı elde edilebilecektir.

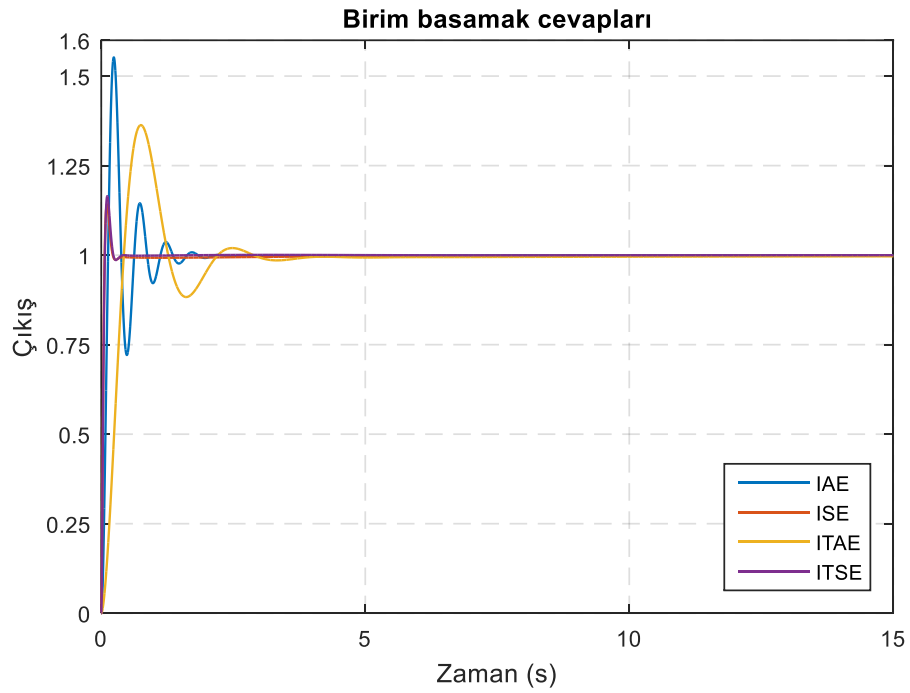
Bu örnekte, Fomcon araç kutusu kullanılarak, kesir dereceli sistem Oustaloup'un 5. dereceden tamsayı dereceli yaklaşımı ile modellenmiştir. *PID* ve kesir dereceli *PID* için her bir integral performans kriterlerine göre toplamda 8 model oluşturulmuştur. Fmincon fonksiyonunda kontrolör parametrelerine başlangıç değerlerinin girilmesiyle, kontrolör parametrelerinin alt ve üst limitleri ve amaç fonksiyonlarının tanımlanmasıyla optimizasyon algoritması başlatılır. Belirlenen sonlanma kriterine göre optimizasyon durur ve kontrolör parametreleri elde edilir. Belirlenen kontrolör parametreleri Çizelge 3.17 ile verilmiştir. Kontrolörlerin sisteme uygulanmasıyla elde edilen sisteminin kapalı çevrim birim basamak cevapları *PID* ve kesir dereceli *PID* için sırasıyla Şekil 3.44 ve Şekil 3.45 ile sunulmuştur.

Çizelge 3.17. *PID* ve kesir dereceli *PID* kontrolör parametreleri

| | IAE | ISE | ITAE | ITSE |
|-------------------------------------|--------|--------|-------|--------|
| <i>PID kontrolör</i> | | | | |
| K_p | 1.321 | 20 | 2.99 | 20 |
| K_i | 0.06 | 0.227 | 0.77 | 0.174 |
| K_d | 0.248 | 3.503 | 0.81 | 3.82 |
| <i>Kesir dereceli PID kontrolör</i> | | | | |
| K_p | 0.048 | 1.741 | 0.148 | 0.025 |
| K_i | 8.231 | 7.374 | 2.552 | 14.801 |
| K_d | 19.961 | 19.956 | 1.978 | 20 |
| λ | 0.486 | 0.244 | 0.301 | 0.406 |
| μ | 0.554 | 0.998 | 0.676 | 0.965 |

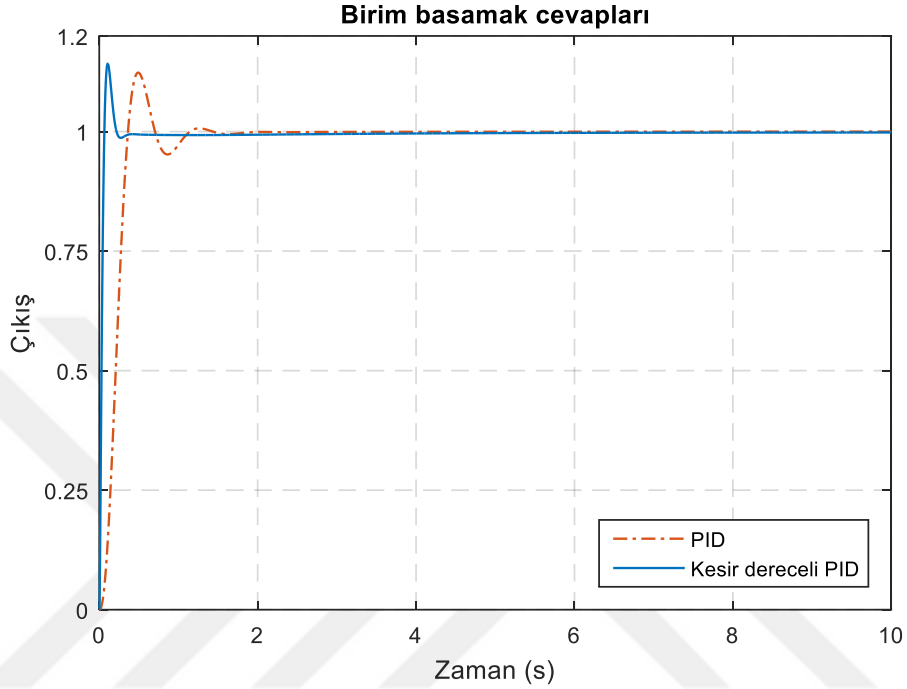


Şekil 3.44. *PID* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları



Şekil 3.45. Kesir dereceli *PID* ile kontrol edilen sistemlerin kapalı çevrim birim basamak cevapları

Şekil 3.44 ve Şekil 3.45 incelendiğinde, ISE ve ITSE kriterleri ile yapılan kontrolör tasarımlarının daha başarılı olduğu görülmektedir. Kontrolör performanslarının karşılaştırılması açısından Şekil 3.46 verilmiştir. Ayrıca denetlenen sistemlerin zaman cevabı performans karakteristikleri Çizelge 3.18 ile sunulmuştur.



Şekil 3.46. ISE performans kriterine dayalı belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevabı

Çizelge 3.18. *PID* ve kesir dereceli *PID* kontrolör ile denetlenen sistemlerin zaman cevabı performans karakteristikleri

| | IAE | ISE | ITAE | ITSE |
|-------------------------------------|---------|---------|---------|---------|
| <i>PID kontrolör</i> | | | | |
| Yükselme zamanı (s) | 0.6810 | 0.2316 | 0.4884 | 0.2461 |
| Yerleşme zamanı (s) | 6.6185 | 1.0336 | 4.1233 | 0.9916 |
| Tepe zamanı (s) | 1.6422 | 0.4912 | 1.1844 | 0.5006 |
| Yüzde aşma (%) | 30.580 | 12.326 | 28.0526 | 7.5143 |
| <i>Kesir dereceli PID kontrolör</i> | | | | |
| Yükselme zamanı (s) | 0.0878 | 0.0443 | 0.2979 | 0.0474 |
| Yerleşme zamanı (s) | 1.5246 | 0.1965 | 2.6564 | 0.2088 |
| Tepe zamanı (s) | 0.2374 | 0.1065 | 0.7490 | 0.1150 |
| Yüzde aşma (%) | 55.2481 | 14.4196 | 36.8384 | 16.5325 |

3.6. Bölüm 3'ün Sonuçları

Bu bölümde, kesir dereceli transfer fonksiyonları içeren kontrol sistemlerinde kontrolör tasarımı gerçekleştirmek için integral performans kriterlerine dayalı optimizasyon tekniklerine yer verilmiştir.

- 1) İlk olarak, çeşitli yapıdaki kesir dereceli sistemler için *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları için optimizasyon algoritmaları oluşturuldu. Faz ilerlemeli ve faz gerilemeli kontrolör ile kontrol edilen kesir dereceli sistemlerin kararlılık analizleri yapıldı.
- 2) Kesir dereceli transfer fonksiyonları içeren kontrol sistemleri için *PI* kontrolör tasarımı gerçekleştiren bir yöntem sunuldu. Kesir dereceli sisteme SBL yönteminin uygulanmasıyla kararlılık sınır eğrisi elde edildi. Optimizasyon algoritmasında kontrolör parametrelerinin alt ve üst limitleri kararlılık sınır eğrisi göz önünde bulundurularak belirlendi. Böylece optimizasyon algoritması daha kısa sürede optimal kontrolör parametrelerine ulaştı.
- 3) Optimizasyon metoduyla elde edilen kesir dereceli *PID* kontrolör kullanılarak kesir dereceli transfer fonksiyonu içeren sistemlerin kontrolü gerçekleştirildi. Ayrıca *PID* kontrolör ile karşılaştırması yapıldı.

Sunulan çalışmalarda kontrolör parametreleri başarılı bir şekilde belirlendi. Çalışmalarda yöntemin uygulaması olarak örnekler verilmiştir.

4. KESİR DERECELİ KONTROL SİSTEMLERİNDE REFERANS MODELE DAYALI OPTİMİZASYON YÖNTEMİ İLE KONTROLÖR TASARIMLARI

4.1. Giriş

Önceki bölümde sıklıkla kullanılan çeşitli kontrolör yapıları için optimizasyon metodu kullanılarak tasarımlar yapılmıştı. Bu bölümde *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör yapıları için referans modele dayalı optimizasyon teknikleri geliştirilerek kontrolör parametrelerinin belirlenmesi amaçlanmıştır.

Kontrol sistemlerinin analizinde sistemin girişine referans bir giriş işareti uygulanır ve sistemin davranışı değerlendirilmeye çalışılır. Çıkış işaretinin giriş işaretini takip etmesi isteniyor ise her iki işaret zaman fonksiyonu olarak karşılaştırılır. Bu şekilde sistem davranışının değerlendirmesi zaman cevabı üzerinde yapılabilir. Bir sistemin zaman cevabı, çıkış cevabı belli olan bir referans modele göre optimizasyon teknikleri kullanılarak ayarlanabilir. İkinci mertebeden bir sistemde doğal frekans ve sönüm oranı gibi değerlerin ayarlanmasıyla istenen bir çıkış cevabı elde edilir. Dolayısıyla ikinci mertebeden bir sistem bir başka sistemin kontrolü için tamsayı dereceli referans model olarak kullanılır. Optimizasyon algoritmasında, referans model ile kontrol edilecek sistemin çıkış cevapları karşılaştırılır ve aralarındaki fark minimize edilerek kontrolör parametrelerinin belirlenmesine çalışılır. Böylece optimal kontrolör parametreleri belirlenmiş olur.

Optimizasyonda tamsayı dereceli bir model yerine kesir dereceli bir model kullanılması farklı bir metot olarak düşünülebilir. Bu amaçla Bode'nin ideal transfer fonksiyonu kesir dereceli referans model olarak kullanılır. Bode'nin ideal transfer fonksiyonunda iki parametrenin ayarlanmasıyla istenen bir çıkış cevabı elde edilir. Kontrol edilmek istenen sistem için Bode'nin ideal transfer fonksiyonunda istenen bir çıkış cevabı referans alınarak kontrolör parametreleri belirlenir.

Bu bölümde Bode'nin ideal transfer fonksiyonu referans model olarak kullanılarak *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin belirlenmesi amacıyla optimizasyon algoritmaları geliştirilmiştir. Ayrıca, ikinci mertebeden bir sistem referans model olarak kullanılarak *PID* kontrolör parametreleri belirlenmiştir.

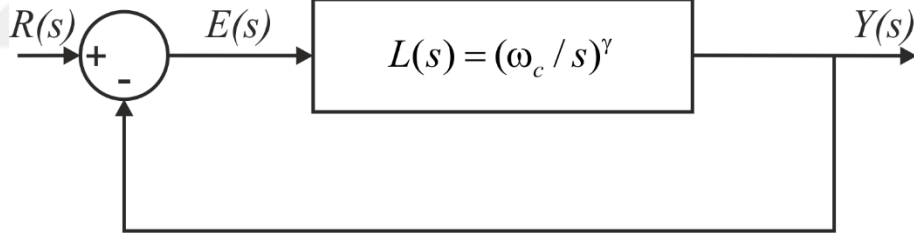
4.2. Kesir Dereceli Kontrol Sistemleri için Bode'nin İdeal Transfer Fonksiyonu Kullanılarak Kontrolör Tasarımları

Geri beslemeli bir kontrol sisteminin kesir dereceli açık çevrim transfer fonksiyonu 1945 yılında H.W. Bode tarafından Denklem 4.1'de verilmiştir. Burada ω_c , $|L(\omega_c)|=1$ koşulunu sağlayan kazanç geçiş frekansı, γ ise logaritmik ölçekte tamsayı ya da kesirli sayı ile ifade edilen genlik eğrisinin eğimi şeklinde ifade edilir [53, 55, 138, 139].

$$L(s) = \left(\frac{\omega_c}{s} \right)^\gamma \quad (4.1)$$

Denklem 4.1'de, eğer γ parametresi kesirli bir sayı ise $L(s)$ fonksiyonu, $\gamma < 0$ için kesir dereceli türev, $\gamma > 0$ için kesir dereceli integral olarak karşımıza çıkar.

Şekil 4.1 ile verilen Bode'nin ideal transfer fonksiyonunun kapalı çevrim transfer fonksiyonu Denklem 4.2 gibi yazılır.



Şekil 4.1. Bode'nin ideal transfer fonksiyonunun kapalı çevrim kontrol sisteminin blok diyagramı

$$G(s) = \frac{L(s)}{1+L(s)} = \frac{1}{\left(\frac{s}{\omega_c} \right)^\gamma + 1}, \quad 1 < \gamma < 2 \quad (4.2)$$

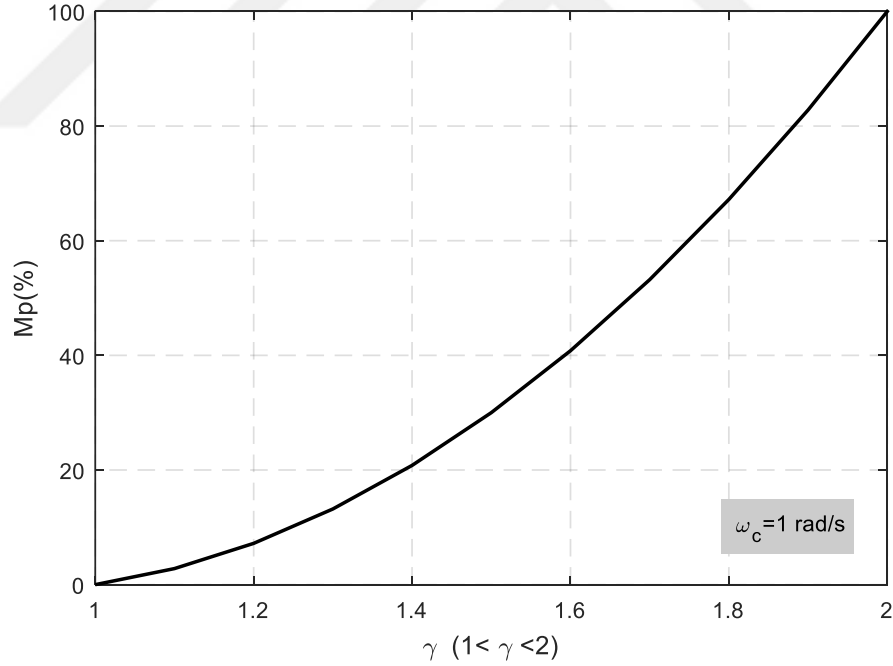
Referans model olarak düşünülen Bode'nin ideal transfer fonksiyonu için zaman ve frekans cevabının temel karakteristikleri elde edilebilir. Zaman cevabı parametreleri olan maksimum yüzde aşma değeri, tepe zamanı, yükselme zamanı ve yerleşme zamanı gibi parametreler elde edilebilir. Yüzde aşma değeri, $1 < \gamma < 2$ için Denklem 4.3 ile elde edilebilir [53].

$$M_p \cong 0.8(\gamma - 1)(\gamma - 0.75) \quad (4.3)$$

Denklem 4.3 kullanılarak çeşitli γ değerleri için Çizelge 4.1 elde edilir. Ayrıca yüzde aşmanın grafiksel değişimi Şekil 4.2 ile verilmiştir. γ parametresi büyüdükçe yüzde aşmanın da büyüdüğü şekilden görülmektedir.

Çizelge 4.1. Farklı γ değerleri için yüzde aşma değerleri

| γ | Yüzde aşma (%) | γ | Yüzde aşma (%) |
|----------|----------------|----------|----------------|
| 1.0 | 0 | 1.5 | 30 |
| 1.1 | 2.8 | 1.6 | 40.8 |
| 1.2 | 7.2 | 1.7 | 53.2 |
| 1.3 | 13.2 | 1.8 | 67.2 |
| 1.4 | 20.8 | 1.9 | 82.8 |



Şekil 4.2. Çeşitli γ parametresi değerlerine göre yüzde aşmanın değişimi

Tepe zamanı, yükselme zamanı ve yerleşme zamanı (%2 ve %5 toleransa göre) gibi parametreler ω_c ve γ parametrelerine bağlı olarak, sırasıyla Denklem 4.4, Denklem

4.5, Denklem 4.6 ve Denklem 4.7 şeklinde yazılır [53]. γ parametresinin farklı değerleri için zaman parametrelerinin süreleri Çizelge 4.2’de verilmiştir.

$$t_p \cong \frac{1.106(\gamma - 0.255)^2}{(\gamma - 0.921)\omega_c} \quad (4.4)$$

$$t_r \cong \frac{0.131(\gamma + 1.157)^2}{(\gamma - 0.724)\omega_c} \quad (4.5)$$

$$t_s(\%2) \cong \frac{4}{\cos(\pi - \pi / \gamma)\omega_c} \quad (4.6)$$

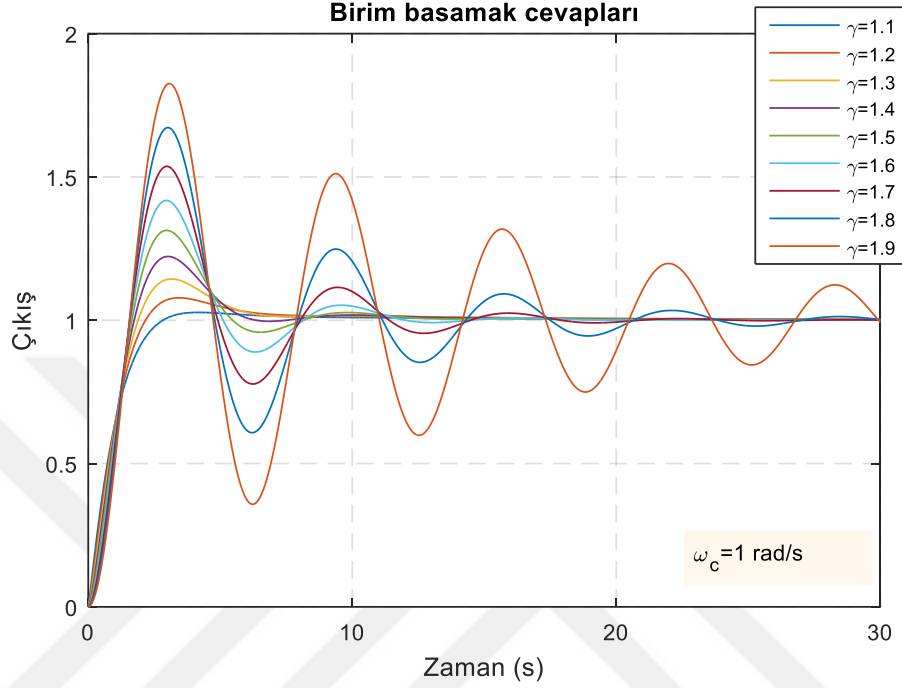
$$t_s(\%5) \cong \frac{3}{\cos(\pi - \pi / \gamma)\omega_c} \quad (4.7)$$

Çizelge 4.2. Farklı γ değerleri için zaman parametreleri değerleri ($\omega_c = 1$ rad/s)

| γ | <i>Tepe zamanı (s)</i> | γ | <i>Tepe zamanı (s)</i> |
|----------|-------------------------------|----------|-------------------------------|
| 1.0 | 7.7704 | 1.5 | 2.9608 |
| 1.1 | 4.4118 | 1.6 | 2.9467 |
| 1.2 | 3.5401 | 1.7 | 2.9645 |
| 1.3 | 3.1868 | 1.8 | 3.0035 |
| 1.4 | 3.0271 | 1.9 | 3.0571 |
| γ | <i>Yükselme zamanı (s)</i> | γ | <i>Yükselme zamanı (s)</i> |
| 1.0 | 2.2083 | 1.5 | 1.1918 |
| 1.1 | 1.7748 | 1.6 | 1.1367 |
| 1.2 | 1.5289 | 1.7 | 1.0956 |
| 1.3 | 1.3730 | 1.8 | 1.0645 |
| 1.4 | 1.2670 | 1.9 | 1.0410 |
| γ | <i>Yerleşme zamanı %5 (s)</i> | γ | <i>Yerleşme zamanı %5 (s)</i> |
| 1.0 | 3 | 1.5 | 6.0000 |
| 1.1 | 3.12 | 1.6 | 7.8394 |
| 1.2 | 3.4641 | 1.7 | 10.9624 |
| 1.3 | 4.0080 | 1.8 | 17.2763 |
| 1.4 | 4.8116 | 1.9 | 36.3287 |

Çizelge 4.2 incelendiğinde, γ parametresinin değerinin büyümesiyle yerleşme süresi artarken, yükselme süresinin kısaldığı dikkati çekmektedir.

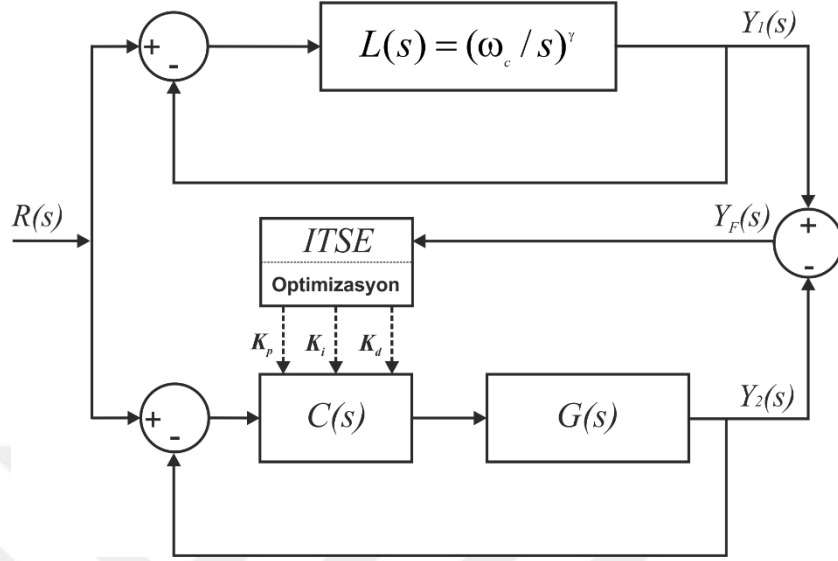
Referans sistemde, farklı γ değerleri için elde edilen birim basamak cevapları Şekil 4.3'te verilmiştir. Burada γ parametresinin en küçük değeri için en düşük yüzde aşmanın olduğu görülmektedir.



Şekil 4.3. Bode'nin ideal transfer fonksiyonunda farklı γ değerleri için sistemin kapalı çevrim birim basamak cevapları

Bode'nin ideal transfer fonksiyonunda ω_c ve γ parametrelerinin ayarlanmasıyla kapalı çevrim bir kontrol sisteminde istenen bir çıkış cevabının elde edilebildiği görülmüştür. Buradan yola çıkarak kontrol edilmek istenen bir sistem için ideal bir çıkış cevabı referans alınarak, kontrolör parametreleri belirlenebilir. Kontrolör parametrelerinin belirlenmesi için optimizasyon yöntemi kullanılabilir. Optimizasyon yönteminde kullanılan modelin blok diyagramı Şekil 4.4 ile verilmiştir. Şekilde, $C(s)$ kontrolör, $G(s)$ kontrol edilecek sistemi ifade etmektedir. Referans sistem olarak kullanılan Bode'nin ideal transfer fonksiyonunun çıkışı $Y_1(s)$ ve kontrol edilecek sistem çıkışı $Y_2(s)$ ile gösterilmiştir. Referans alınan sistem ve kontrol edilecek sistem çıkışları arasındaki fark hata olarak kabul edilmiş ve ITSE performans kriteri ile optimizasyonda minimize edilmesi amaçlanmıştır. Böylece, hatanın minimum değerine karşılık gelen kontrolör parametreleri belirlenmiştir. Burada, kontrolör yapısı

olarak farklı yapılar tercih edilebilir. Örneklere *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör yapıları ile tasarımlar yapılmıştır.



Şekil 4.4. Optimizasyonda kullanılan modelin *PID* kontrolör için blok diyagramı

4.2.1. *PID* Kontrolör Tasarımı

4.2.1.1. Örnek 1

Kesir dereceli bir sistem aşağıdaki gibi verilsin. Bu sistem için Bode'nin ideal transfer fonksiyonunu referans model olarak kullanarak *PID* kontrolör tasarlamak için yapılan çalışma aşağıdaki gibidir.

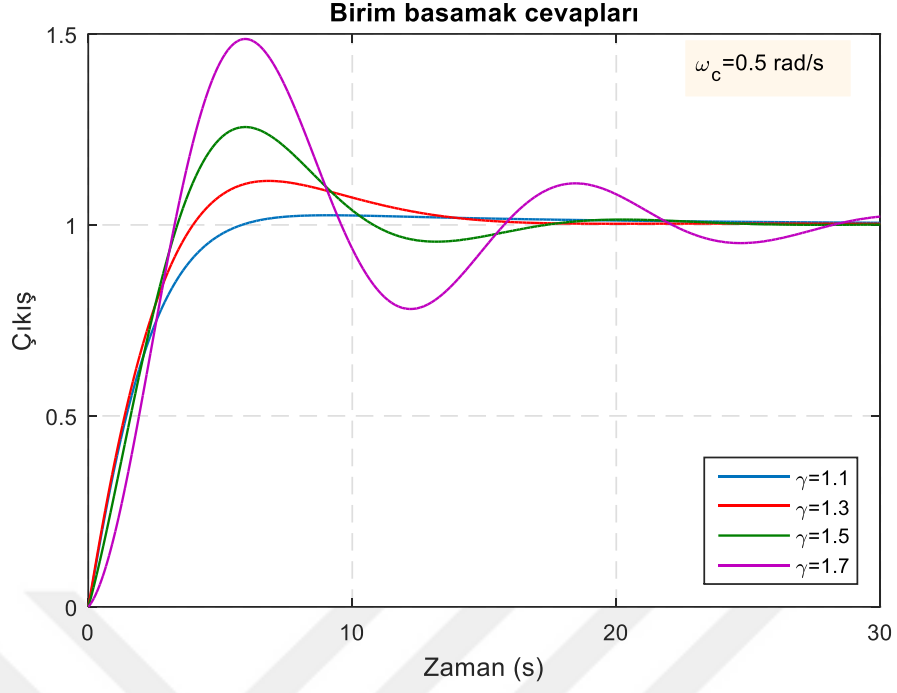
$$G(s) = \frac{3}{s^{0.1}(s+0.6)} \quad (4.8)$$

Optimizasyon yönteminin örnekte verilen sisteme uygulanmasıyla kontrolör parametreleri belirlenir. Bode'nin ideal transfer fonksiyonunda farklı ω_c ve γ parametreleri için elde edilen *PID* kontrolör parametreleri Çizelge 4.3'te verilmiştir. Verilen örnek için on altı adet kontrolör tasarımı gerçekleştirilmiştir. Kontrolör parametrelerinin belirlenmesinin ardından kontrol edilen sistemler için kapalı çevrim birim basamak cevapları oluşturulmuştur.

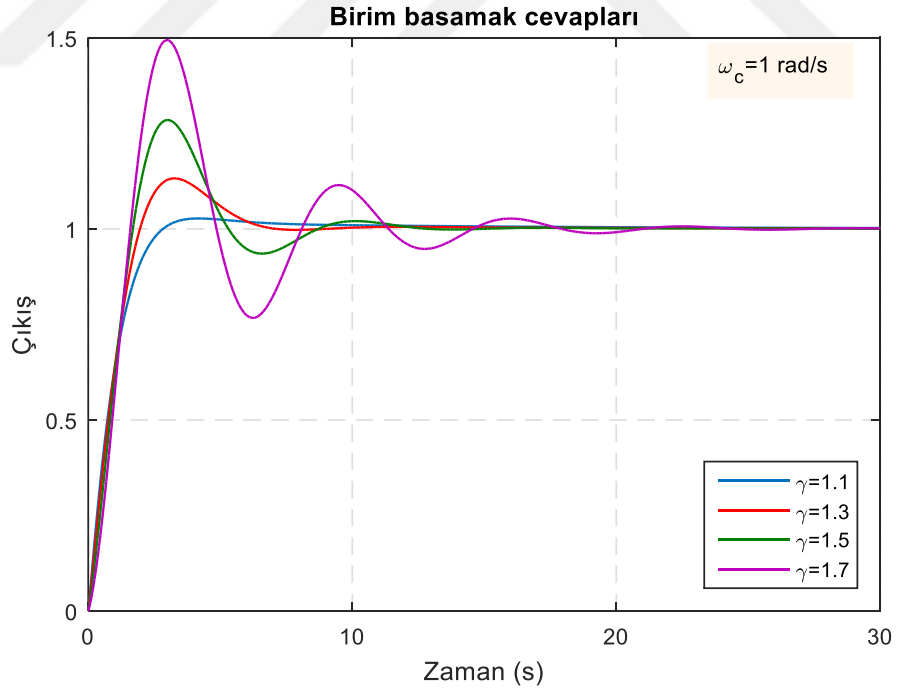
Çizelge 4.3. Farklı ω_c ve γ parametreleri için *PID* kontrolör parametreleri

| γ | K_p | K_i | K_d |
|----------------------|-------|-------|--------|
| $\omega_c=0.5$ rad/s | | | |
| 1.1 | 0.159 | 0.094 | 0.006 |
| 1.3 | 0.472 | 0.173 | 0.741 |
| 1.5 | 0.233 | 0.215 | 0.549 |
| 1.7 | 0.073 | 0.255 | 0.603 |
| $\omega_c=1$ rad/s | | | |
| 1.1 | 0.334 | 0.2 | 0.0001 |
| 1.3 | 0.325 | 0.313 | 0.077 |
| 1.5 | 0.27 | 0.475 | 0.173 |
| 1.7 | 0.229 | 0.796 | 0.456 |
| $\omega_c=2$ rad/s | | | |
| 1.1 | 0.717 | 0.429 | 0.001 |
| 1.3 | 2.51 | 1.664 | 0.774 |
| 1.5 | 2.759 | 4.836 | 1.417 |
| 1.7 | 1.54 | 5.948 | 1.332 |
| $\omega_c=3$ rad/s | | | |
| 1.1 | 1.12 | 0.67 | 0.001 |
| 1.3 | 3.618 | 3.499 | 0.696 |
| 1.5 | 2.959 | 6.802 | 0.81 |
| 1.7 | 1.702 | 8.654 | 0.735 |

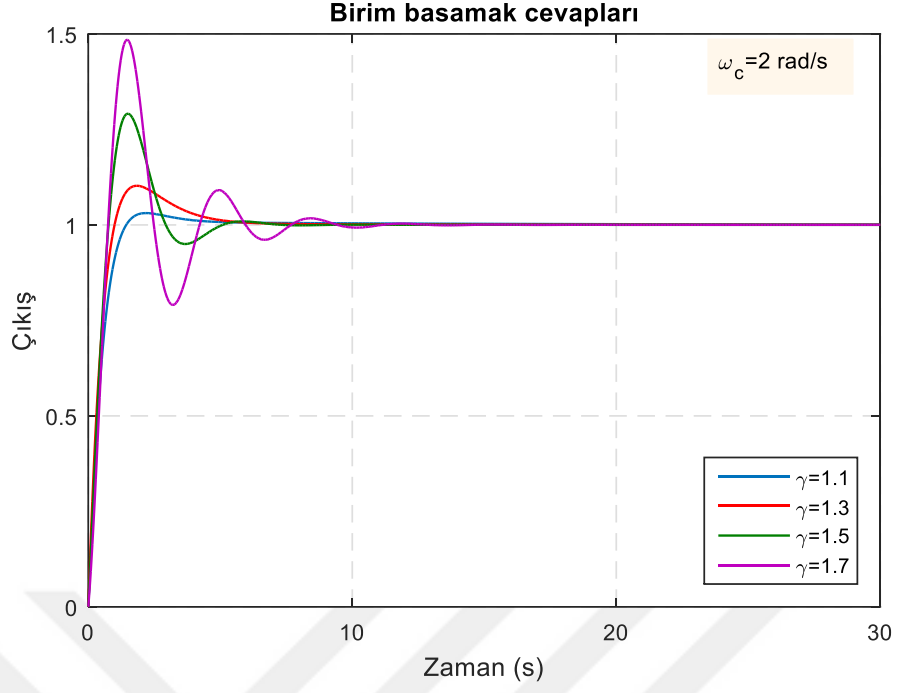
Şekil 4.5, $\omega_c=0.5$ rad/s ve çeşitli γ değerleri için elde edilen *PID* kontrolör ile kontrol edilmiş sistemlerin kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Şekil incelendiğinde, γ parametresinin azalmasıyla yüzde aşmanın da azaldığı açıkça görülmektedir. Benzer biçimde Şekil 4.6, Şekil 4.7 ve Şekil 4.8 farklı γ değerleri ve sırasıyla $\omega_c=1$ rad/s, $\omega_c=2$ rad/s, $\omega_c=3$ rad/s parametrelerine göre belirlenen *PID* kontrolör ile kontrol edilmiş sistemlerin kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Şekiller incelendiğinde, yüzde aşmanın γ parametresinin değerine göre değiştiği ω_c parametresinin değişiminin yüzde aşmayı etkilemediği görülmektedir. Şekillerde verilen birim basamak cevapları için yüzde aşma ve zaman parametreleri detaylı olarak Çizelge 4.4 ile verilmiştir. Tasarlanan *PID* kontrolörlerin sistemi beklendiği gibi kontrol ettiği görülmektedir.



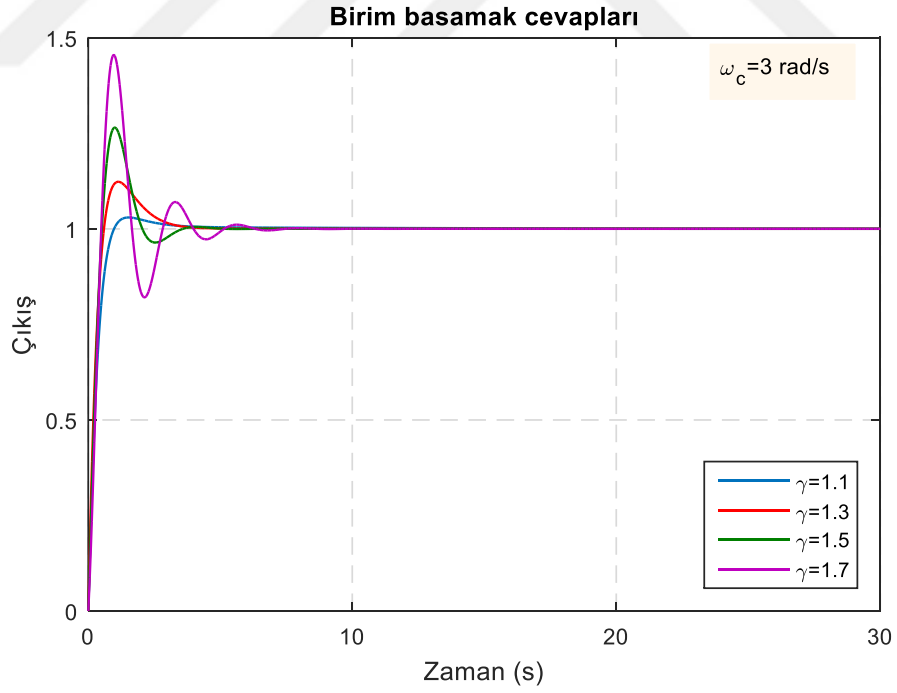
Şekil 4.5. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 0.5 \text{ rad/s}$)



Şekil 4.6. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 1 \text{ rad/s}$)



Şekil 4.7. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 2 \text{ rad/s}$)



Şekil 4.8. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 3 \text{ rad/s}$)

Çizelge 4.4. Zaman cevabı performans karakteristikleri

| | $\gamma=1.1$ | $\gamma=1.3$ | $\gamma=1.5$ | $\gamma=1.7$ |
|----------------------|--------------|--------------|--------------|--------------|
| $\omega_c=0.5$ rad/s | | | | |
| Yükselme zamanı (s) | 3.59 | 2.93 | 2.58 | 2.38 |
| Yerleşme zamanı (s) | 5.30 | 13.39 | 15.78 | 28.28 |
| Tepe zamanı (s) | 9.09 | 6.83 | 5.94 | 5.95 |
| Yüzde aşma (%) | 1.95 | 11.20 | 25.51 | 45.51 |
| $\omega_c=1$ rad/s | | | | |
| Yükselme zamanı (s) | 1.78 | 1.46 | 1.29 | 1.18 |
| Yerleşme zamanı (s) | 5.33 | 5.95 | 8.15 | 16.71 |
| Tepe zamanı (s) | 4.18 | 3.27 | 3.00 | 2.98 |
| Yüzde aşma (%) | 2.49 | 13.06 | 28.38 | 49.20 |
| $\omega_c=2$ rad/s | | | | |
| Yükselme zamanı (s) | 0.90 | 0.71 | 0.59 | 0.57 |
| Yerleşme zamanı (s) | 3.11 | 4.41 | 4.55 | 7.28 |
| Tepe zamanı (s) | 2.19 | 1.84 | 1.50 | 1.47 |
| Yüzde aşma (%) | 2.98 | 10.20 | 29.09 | 48.44 |
| $\omega_c=3$ rad/s | | | | |
| Yükselme zamanı (s) | 0.59 | 0.43 | 0.39 | 0.38 |
| Yerleşme zamanı (s) | 2.21 | 2.82 | 3.04 | 4.74 |
| Tepe zamanı (s) | 1.52 | 1.14 | 1.00 | 0.97 |
| Yüzde aşma (%) | 2.92 | 12.32 | 26.49 | 45.49 |

Sabit γ parametresi ve değişken ω_c parametresinin değişimine göre belirlenen *PID* kontrolör parametreleri Çizelge 4.5'te verilmiştir.

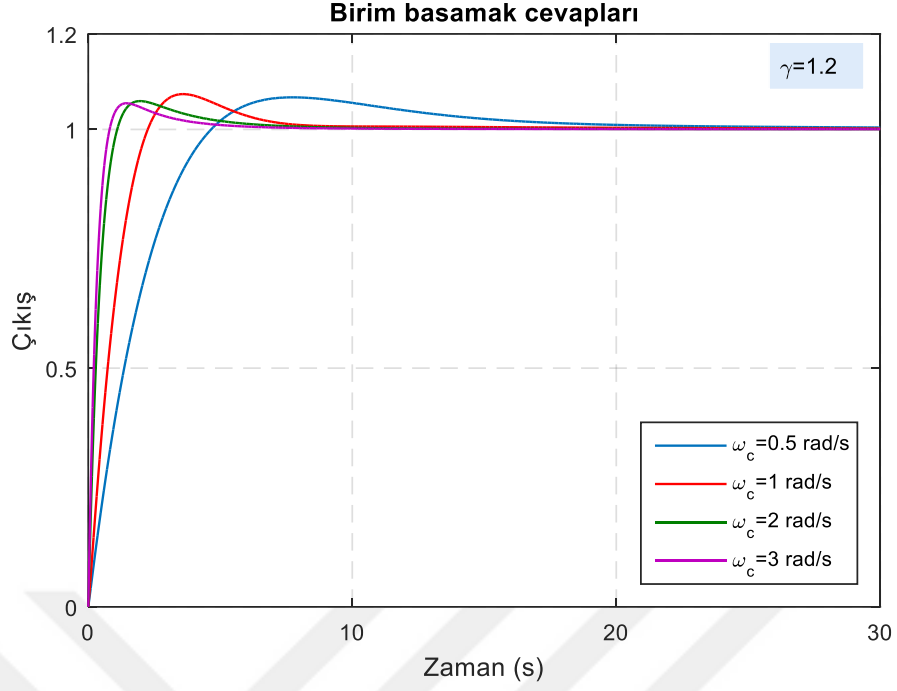
Çizelge 4.5. Çeşitli ω_c parametresine göre belirlenen *PID* kontrolör parametreleri

| ω_c | K_p | K_i | K_d |
|--------------|-------|--------|-------|
| $\gamma=1.2$ | | | |
| 0.5 | 0.457 | 0.133 | 0.624 |
| 1 | 0.359 | 0.254 | 0.062 |
| 2 | 2.273 | 0.952 | 0.585 |
| 3 | 2.654 | 1.323 | 0.425 |
| $\gamma=1.5$ | | | |
| 0.5 | 0.239 | 0.217 | 0.561 |
| 1 | 0.27 | 0.475 | 0.173 |
| 2 | 0.578 | 1.286 | 0.075 |
| 3 | 1.384 | 3.241 | 0.199 |
| $\gamma=1.8$ | | | |
| 0.5 | 0.136 | 0.459 | 1.431 |
| 1 | 0.211 | 1.172 | 0.821 |
| 2 | 1.011 | 6.505 | 1.361 |
| 3 | 1.189 | 10.183 | 0.82 |

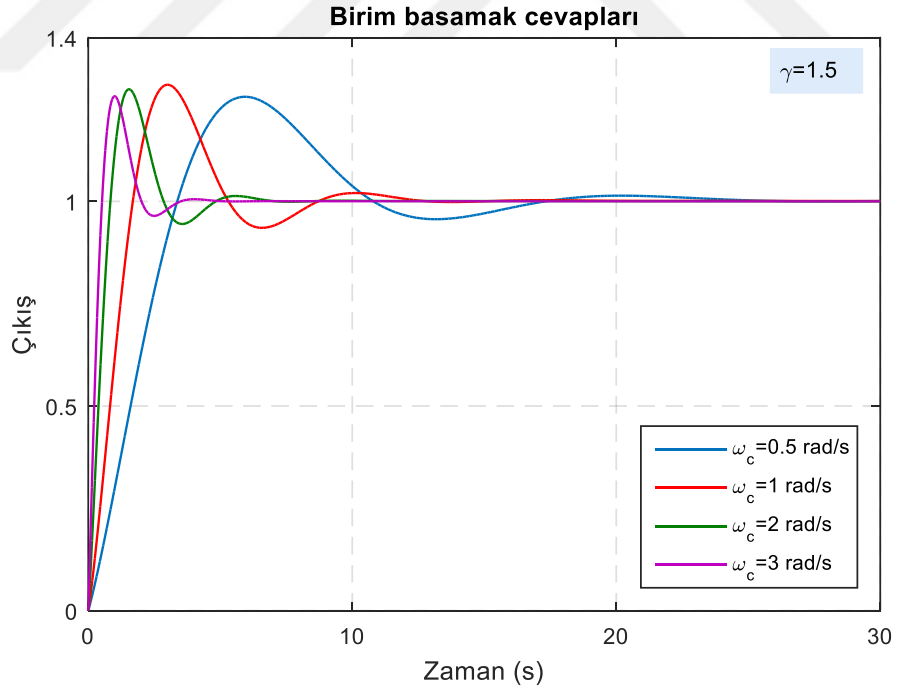
Şekil 4.9, γ parametresi sabit kalırken ω_c parametresinin değişimine göre belirlenen *PID* kontrolörün sisteme uygulanmasıyla elde edilen kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Benzer biçimde Şekil 4.10 ve Şekil 4.11’de sırasıyla $\gamma=1.5$ ve $\gamma=1.8$ değerleri için ω_c parametresinin değişimine göre belirlenen *PID* kontrolörün sisteme uygulanmasıyla elde edilen kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Şekillerden, ω_c değerinin büyümesiyle sistemin cevap hızının arttığı ve yüzde aşma üzerinde herhangi bir etkisinin olmadığı açık şekilde görülmektedir. Şekillerde verilen birim basamak cevapları için yüzde aşma ve zaman parametreleri detaylı olarak Çizelge 4.6’da verilmiştir.

Çizelge 4.6. Zaman cevabı performans karakteristikleri

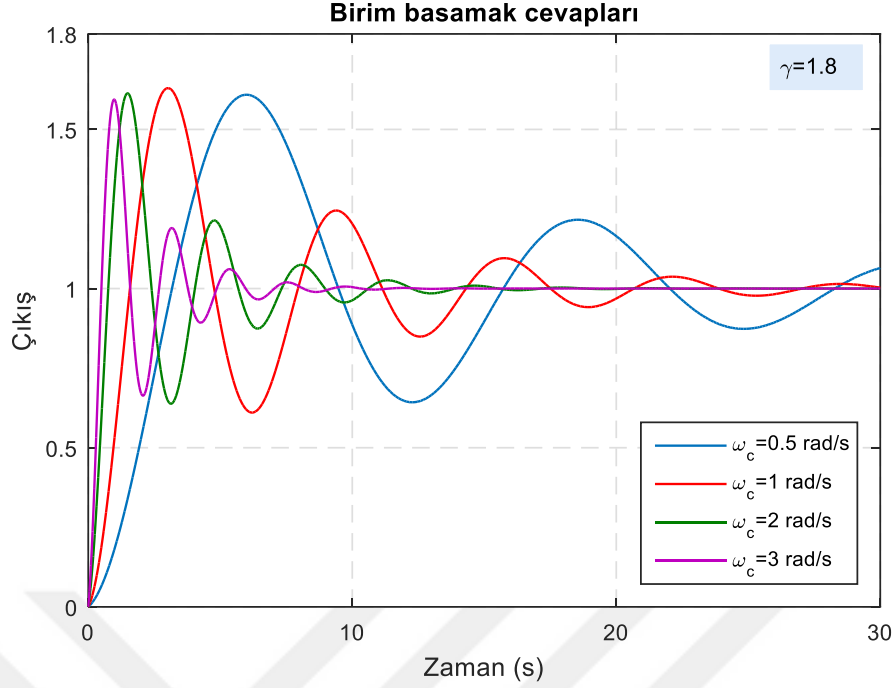
| | $\omega_c=0.5$ | $\omega_c=1$ | $\omega_c=2$ | $\omega_c=3$ |
|---------------------|----------------|--------------|--------------|--------------|
| $\gamma=1.2$ | | | | |
| Yükselme zamanı (s) | 3.25 | 1.60 | 0.73 | 0.53 |
| Yerleşme zamanı (s) | 14.55 | 6.44 | 4.67 | 3.44 |
| Tepe zamanı (s) | 7.74 | 3.59 | 1.96 | 1.45 |
| Yüzde aşma (%) | 6.29 | 7.21 | 5.88 | 5.44 |
| $\gamma=1.5$ | | | | |
| Yükselme zamanı (s) | 2.57 | 1.29 | 0.64 | 0.40 |
| Yerleşme zamanı (s) | 15.75 | 8.15 | 4.42 | 2.98 |
| Tepe zamanı (s) | 5.93 | 3.00 | 1.54 | 1.00 |
| Yüzde aşma (%) | 25.44 | 28.38 | 27.35 | 25.67 |
| $\gamma=1.8$ | | | | |
| Yükselme zamanı (s) | 2.37 | 1.14 | 0.56 | 0.37 |
| Yerleşme zamanı (s) | 29.28 | 26.04 | 11.71 | 6.79 |
| Tepe zamanı (s) | 5.99 | 3.02 | 1.49 | 0.98 |
| Yüzde aşma (%) | 51.13 | 62.47 | 61.32 | 59.37 |



Şekil 4.9. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma=1.2$)



Şekil 4.10. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma=1.5$)



Şekil 4.11. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma=1.8$)

4.2.2. *PI-PD* Kontrolör Tasarımı

4.2.2.1. Örnek 1

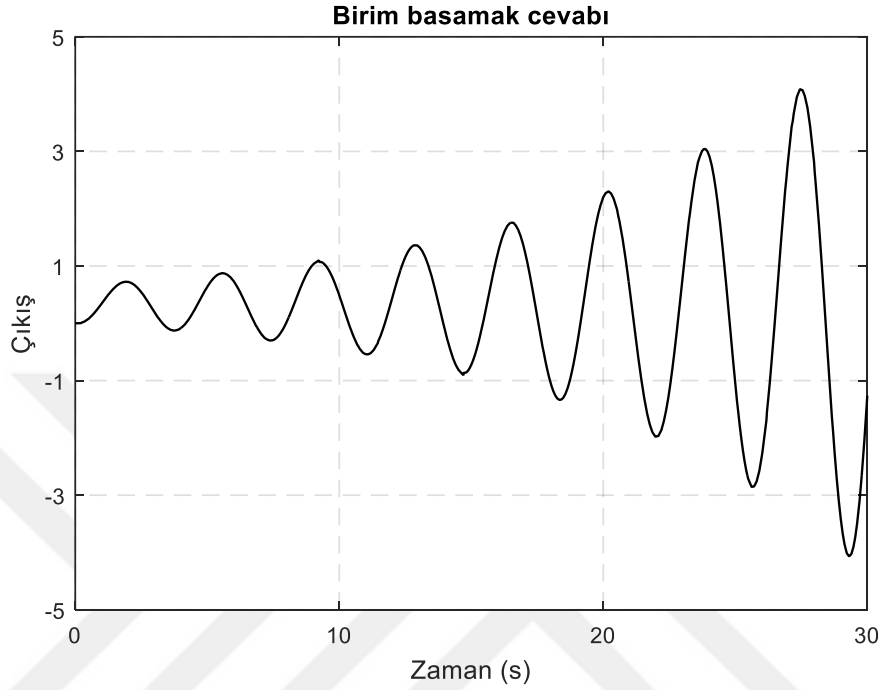
Kesir dereceli bir model referans alınarak, aşağıda verilen zaman gecikmesi içeren tamsayı dereceli bir sistem için *PI-PD* kontrolör tasarımı aşağıdaki gibi yapılır.

$$G(s) = \frac{1}{s^2 + 0.02s + 1} e^{-0.1s} \quad (4.9)$$

$C_{PI}(s)=1$ ve $C_{PD}(s)=1$ olarak alındığında, Denklem 4.9 ile verilen sistemin kapalı çevrim birim basamak cevabı Şekil 4.12’de gösterilmiştir. Şekilden sistemin kararsız yapıda olduğu anlaşılmaktadır.

PI-PD kontrolör parametrelerinin belirlenmesi için Şekil 4.4’te verilen blok diyagram optimizasyon yönteminde kullanılabilir. Blok diyagramda $G(s)$ transfer fonksiyonunun ileri yoluna *PI* kontrolör, geri besleme kısmına *PD* kontrolör bağlanarak kontrol sistemi oluşturulur. Kontrolör parametrelerine başlangıç değerlerinin girilmesiyle optimizasyon algoritması başlar. Burada, *PI* ve *PD* kontrolör

parametrelerinin başlangıç değerleri [130] referans alınarak seçilmiştir. Minimum hata değerine ulaşıncaya kadar kontrolör parametreleri belirlenmiş olur. Elde edilen *PI-PD* kontrolör parametreleri Çizelge 4.7’de verilmiştir.

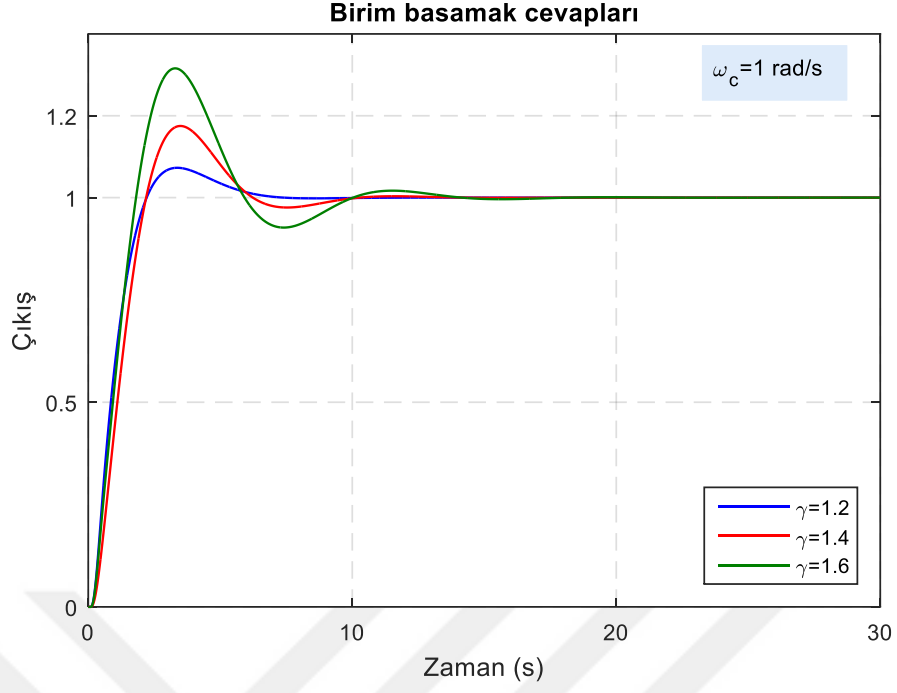


Şekil 4.12. $C_{PI}(s)=1$ ve $C_{PD}(s)=1$ için sistemin kapalı çevrim birim basamak cevabı

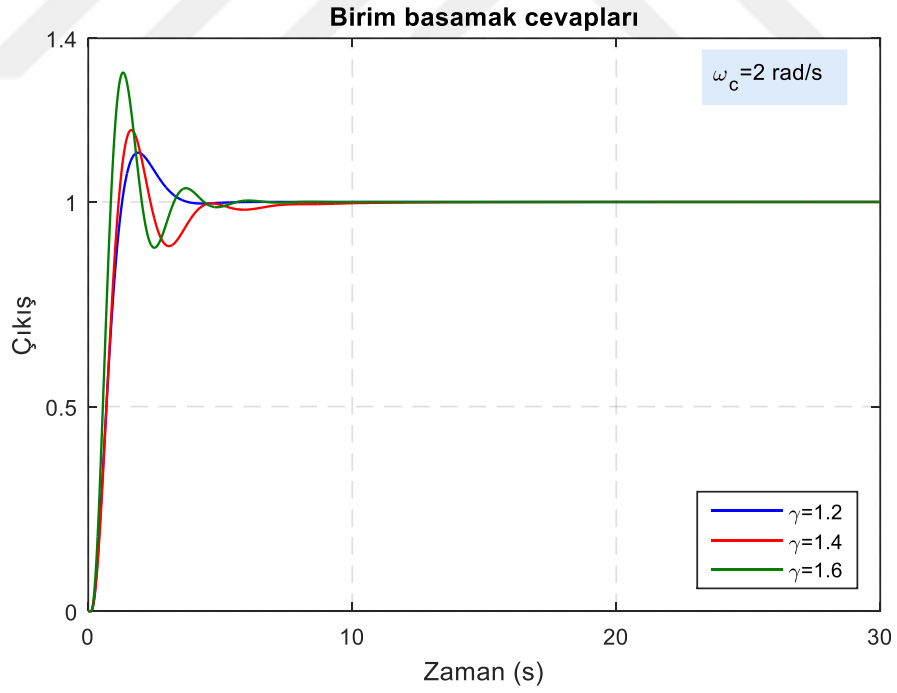
Çizelge 4.7. *PI-PD* kontrolör parametreleri

| γ | K_p | K_i | K_f | K_d |
|--------------------|-------|-------|-------|-------|
| $\omega_c=1$ rad/s | | | | |
| 1.2 | 3.598 | 3.323 | 1.574 | 4.973 |
| 1.4 | 1.819 | 2.764 | 1.143 | 4.11 |
| 1.6 | 3.25 | 3.877 | 0.218 | 5.97 |
| $\omega_c=2$ rad/s | | | | |
| 1.2 | 3.77 | 5.16 | 1.87 | 3.66 |
| 1.4 | 3.643 | 1.512 | 0.114 | 2.054 |
| 1.6 | 5.629 | 3.845 | 0.471 | 2.54 |

ω_c parametresi sabit kalırken, γ parametresinin değiştiği durum göz önünde tutularak belirlenen *PI-PD* kontrolör parametrelerinin kontrol edilecek olan sisteme uygulanmasıyla elde edilen birim basamak cevapları Şekil 4.13 ve Şekil 4.14 ile verilmiştir.



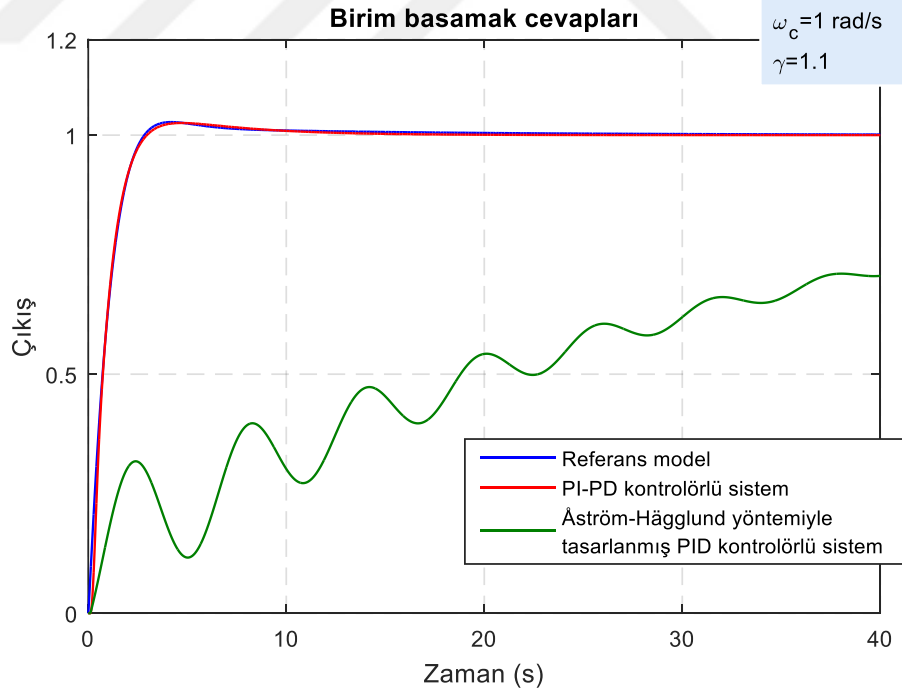
Şekil 4.13. *PI-PD* ile kontrol edilen sistemlerin birim basamak cevapları



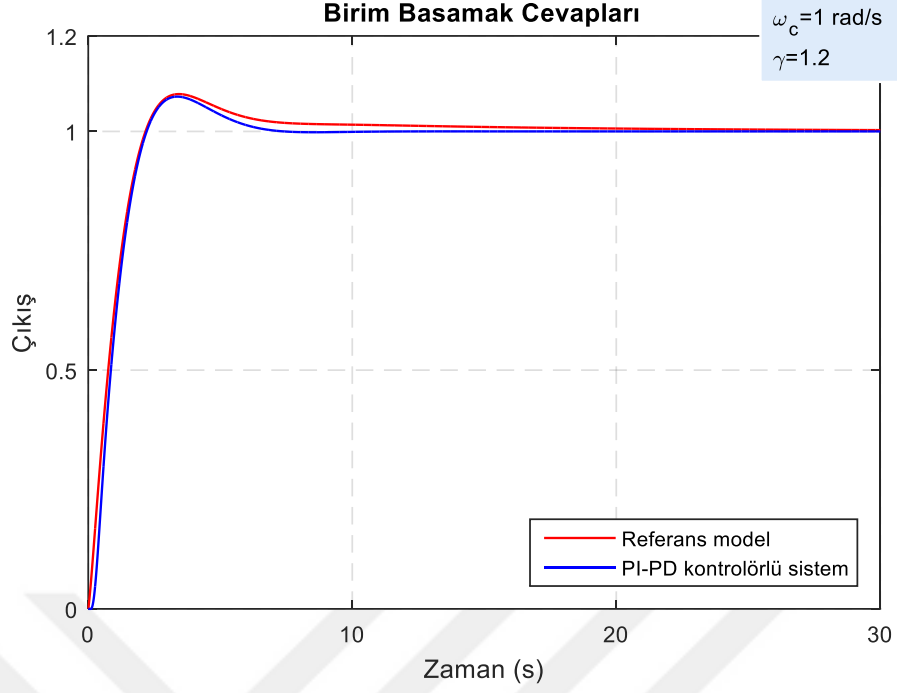
Şekil 4.14. *PI-PD* ile kontrol edilen sistemlerin birim basamak cevapları

Şekil 4.13 ve Şekil 4.14 incelendiğinde, γ parametresi küçük seçilerek yüzde aşma değerinin düşük tutulabileceği, ω_c parametresi büyük seçilerek sistemin cevap hızının artırılabilceği görülmektedir. Sunulan yöntemle, istenilen cevaba göre sistemin kontrolör parametrelerinin belirlenmesiyle başarılı bir kontrol gerçekleştirilmiştir.

Bode'nin ideal transfer fonksiyonunda $\gamma=1.1$ ve $\omega_c=1$ rad/s için kapalı çevrim sistemin birim basamak cevabı Şekil 4.15 ile gösterilmiştir. Aynı zamanda bu referans sisteme göre belirlenmiş *PI-PD* kontrolör parametrelerinin sisteme uygulanmasıyla elde edilmiş birim basamak cevabını sunmaktadır. Şekilden görüldüğü üzere referans sistem ve kontrol edilen sistem neredeyse aynı birim basamak cevabını vermektedir. Ayrıca, Denklem 4.9 ile verilen sistem, Åström-Hägglund [130] yöntemiyle tasarlanmış *PID* ile kontrol edildiğinde oluşan birim basamak cevabı Şekil 4.15 ile sunulmuştur. Optimizasyon yöntemiyle tasarımı yapılmış kontrol sisteminin çok daha başarılı bir birim basamak cevabı sağladığı şekilden görülmektedir. $\gamma=1.2$ ve $\omega_c=1$ rad/s için referans ve kontrol edilen sistemin birim basamak cevapları Şekil 4.16 ile sunulmuştur.



Şekil 4.15. Referans model, *PI-PD* ile kontrol edilen sistem ve Åström-Hägglund yöntemiyle tasarlanmış *PID* ile kontrol edilen sistemlerin birim basamak cevapları



Şekil 4.16. Referans ve *PI-PD* ile kontrol edilen sistemlerin birim basamak cevapları

Çizelge 4.8, farklı γ ve ω_c parametrelerine göre belirlenmiş *PI-PD* kontrolörlerle kontrol edilen sistemlerin birim basamak cevaplarına ait zaman parametreleri ve yüzde aşma değerlerini gösterir.

Çizelge 4.8. Zaman cevabı performans karakteristikleri

| | $\gamma=1.2$ | $\gamma=1.4$ | $\gamma=1.6$ |
|---------------------|--------------|--------------|--------------|
| $\omega_c=1$ rad/s | | | |
| Yükselme zamanı (s) | 1.41 | 1.47 | 1.25 |
| Yerleşme zamanı (s) | 5.61 | 8.25 | 9.35 |
| Tepe zamanı (s) | 3.37 | 3.49 | 3.31 |
| Yüzde aşma (%) | 7.28 | 17.5 | 31.58 |
| $\omega_c=2$ rad/s | | | |
| Yükselme zamanı (s) | 0.78 | 0.70 | 0.50 |
| Yerleşme zamanı (s) | 3.18 | 4.13 | 4.06 |
| Tepe zamanı (s) | 1.88 | 1.63 | 1.31 |
| Yüzde aşma (%) | 12.04 | 17.57 | 31.61 |

Denklem 4.9 ile verilen sistemin aşağıdaki gibi parametre belirsizliğine sahip olduğunu varsayalım.

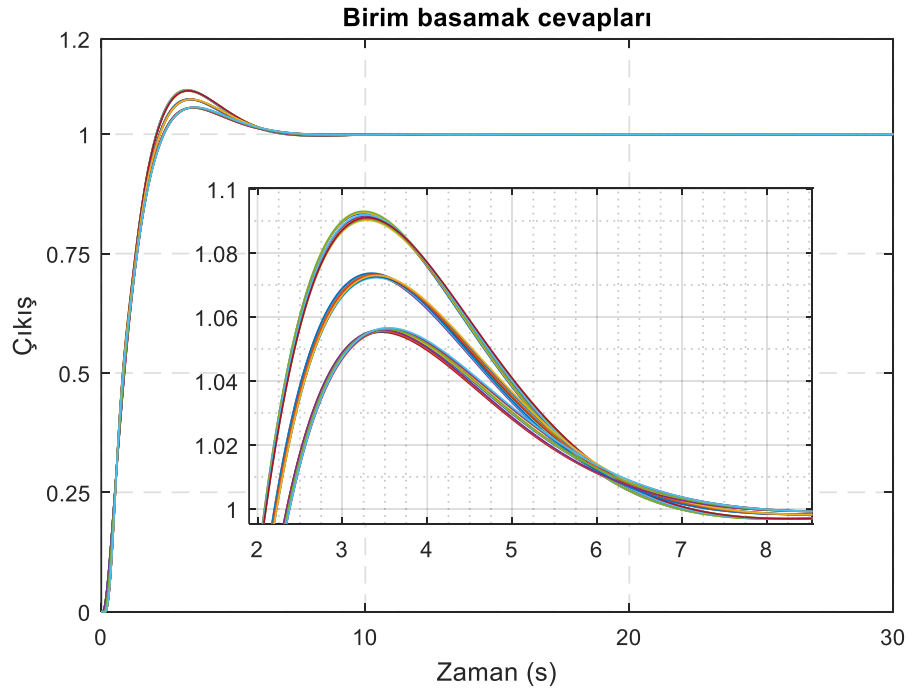
$$G(s) = \frac{1}{s^2 + [0.01 \quad 0.03]s + [0.8 \quad 1.2]} e^{-[0.05 \quad 0.15]s} \quad (4.10)$$

Referans modelde $\gamma=1.2$ ve $\omega_c=1$ rad/s alınarak, Denklem 4.9 ile verilen sisteme göre tasarlanan *PI* ve *PD* kontrolörler sırasıyla Denklem 4.11 ve Denklem 4.12 şeklinde belirlenir.

$$C_{PI}(s) = 3.598 + \frac{3.323}{s} \quad (4.11)$$

$$C_{PD}(s) = 1.574 + 4.973s \quad (4.12)$$

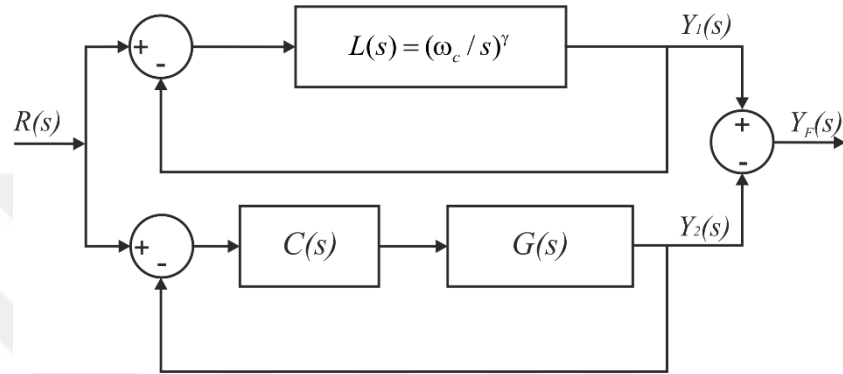
Denklem 4.10 ile verilen sistemde 3 katsayı için parametre belirsizliği vardır. Her bir katsayının alt-üst ve orta nokta değerleri alınarak, 27 adet transfer fonksiyonu elde edilir. Belirlenen kontrolörlerin parametre belirsizliği içeren sisteme uygulanmasıyla birim basamak cevap eğrileri Şekil 4.17 şeklinde oluşur. Şekilden, tasarımı yapılan kontrol sisteminin parametre belirsizliklerinde dayanıklı olduğu görülmektedir.



Şekil 4.17. *PI-PD* ile kontrol edilen parametre belirsizliğine sahip sistemlerin birim basamak cevapları

4.2.3. Faz İlerlemeli ve Faz Gerilemeli Kontrolör Tasarımı

Faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin belirlenmesi için kullanılan modelin blok diyagramı Şekil 4.18’de verilmiştir. Modelin çıkışı $Y_F(s)$ minimize edilerek, referans modelin çıkışı $Y_I(s)$ ile denetlenen sistemin çıkışı $Y_2(s)$ birbirine eşit olduğunda, yapılan optimizasyon algoritması ile kontrolör parametreleri belirlenmiştir.



Şekil 4.18. Faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin belirlenmesi için kullanılan model

Kontrolör parametrelerinin optimal değerlerinin elde edilmesi için en küçük kareler optimizasyon algoritması kullanılmıştır [29]. Bu algoritma, Denklem 4.13’te verilen eşitliği kullanarak çözüme ulaşır. $Y_F(s)$ yerine $Y_I(s) - Y_2(s)$ yazılarak Denklem 4.14 elde edilir. [29]’da aynı yöntem kullanılarak, *PID* kontrolör parametrelerini belirleyen bir çalışma yapılmıştır.

$$\min \{ \sum (Y_F(s))^2 \} \quad (4.13)$$

$$\min \{ \sum (Y_I(s) - Y_2(s))^2 \} \quad (4.14)$$

Optimizasyon algoritması, kontrolör parametrelerine başlangıç değerlerinin girilmesiyle başlar. Denklem 4.14’ün uygulanması sonucunda kontrolör parametreleri bulunur. Bode’nin ideal transfer fonksiyonunda parametrelerin ayarlanmasıyla istenen çıkış cevabında yüzde aşma, yükselme, yerleşme ve tepe zamanı gibi performans karakteristikleri kolayca ayarlanabilir.

4.2.3.1. Örnek 1

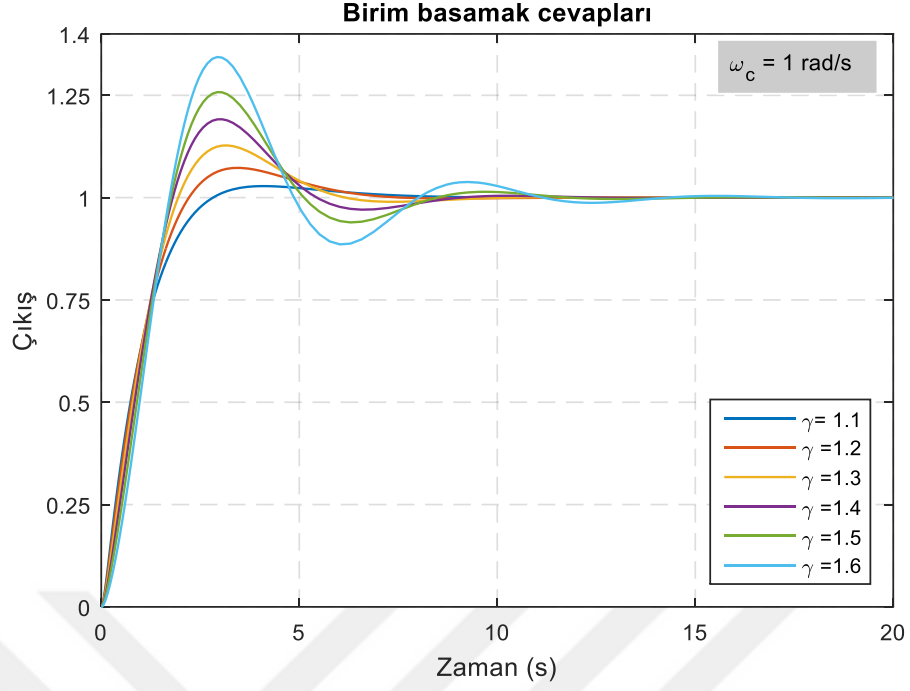
Aşağıdaki gibi tamsayı dereceli bir sistem olsun. Bu sistem için faz ilerlemeli ve faz gerilemeli kontrolör tasarımı önerilen yöntemin uygulanmasıyla yapılır.

$$G(s) = \frac{4}{s(s+0.5)} \quad (4.15)$$

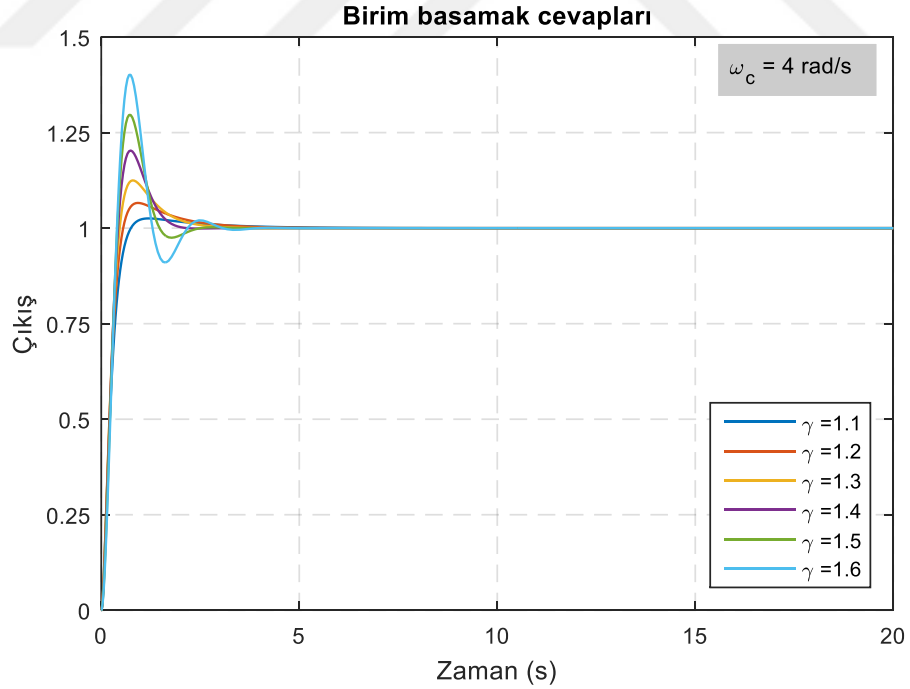
Yukarıda anlatılan yöntemle göre, Bode'nin ideal transfer fonksiyonunda parametrelerin ayarlanmasıyla, kontrolör parametreleri belirlenir. Elde edilen kontrolör parametreleri Çizelge 4.9 ile sunulmuştur. $\omega_c=1$ rad/s ve $\omega_c=4$ rad/s değerleri alınarak belirlenen kontrolör parametrelerinin uygulanmasıyla elde edilen sistemlerin birim basamak cevapları sırasıyla Şekil 4.19 ve Şekil 4.20 ile verilmiştir.

Çizelge 4.9. Faz ilerlemeli/gerilemeli kontrolör parametreleri

| | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
|----------|--------------|---------|---------|---------|---------|---------|---------|
| K | $\omega_c=1$ | 3.5931 | 2.9508 | 2.3275 | 1.8334 | 1.7179 | 1.0782 |
| z | | 0.6779 | 0.9108 | 1.2340 | 1.7166 | 2.5536 | 4.3015 |
| p | | 15.8040 | 14.4774 | 13.3202 | 12.9911 | 16.8980 | 16.7521 |
| | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
| K | $\omega_c=2$ | 7.5410 | 6.5941 | 5.3321 | 4.0325 | 3.1107 | 2.4762 |
| z | | 0.6661 | 0.9043 | 1.2162 | 1.5909 | 2.0750 | 2.7981 |
| p | | 15.7781 | 14.1651 | 12.1794 | 9.9857 | 8.6031 | 8.1064 |
| γ | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
| K | $\omega_c=3$ | 11.7003 | 10.8281 | 9.9186 | 7.5414 | 6.0405 | 4.9249 |
| z | | 0.6678 | 0.9222 | 1.2713 | 1.6979 | 2.2098 | 2.8807 |
| p | | 16.3714 | 14.8606 | 13.0736 | 11.0785 | 9.4831 | 8.5359 |
| γ | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
| K | $\omega_c=4$ | 15.9795 | 15.5264 | 13.9502 | 11.7683 | 9.7196 | 8.0893 |
| z | | 0.6676 | 0.9345 | 1.3182 | 1.8004 | 2.3678 | 3.0673 |
| p | | 17.1320 | 15.7653 | 14.0449 | 12.1107 | 10.4394 | 9.2832 |
| γ | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
| K | $\omega_c=5$ | 16.4855 | 20.7367 | 19.3864 | 16.6490 | 13.9972 | 11.8532 |
| z | | 0.5463 | 0.9382 | 1.3529 | 1.8828 | 2.5077 | 3.2606 |
| p | | 19.5899 | 16.8780 | 15.1816 | 13.0361 | 11.2622 | 9.9997 |
| γ | γ | 1.1 | 1.2 | 1.3 | 1.4 | 1.5 | 1.6 |
| K | $\omega_c=6$ | 24.6756 | 26.4499 | 26.2996 | 22.3596 | 18.7938 | 16.1287 |
| z | | 0.6589 | 0.9314 | 1.3788 | 1.9539 | 2.6255 | 3.4384 |
| p | | 18.9364 | 18.2530 | 16.8378 | 13.9034 | 11.9382 | 10.6314 |



Şekil 4.19. Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 1 \text{ rad/s}$)

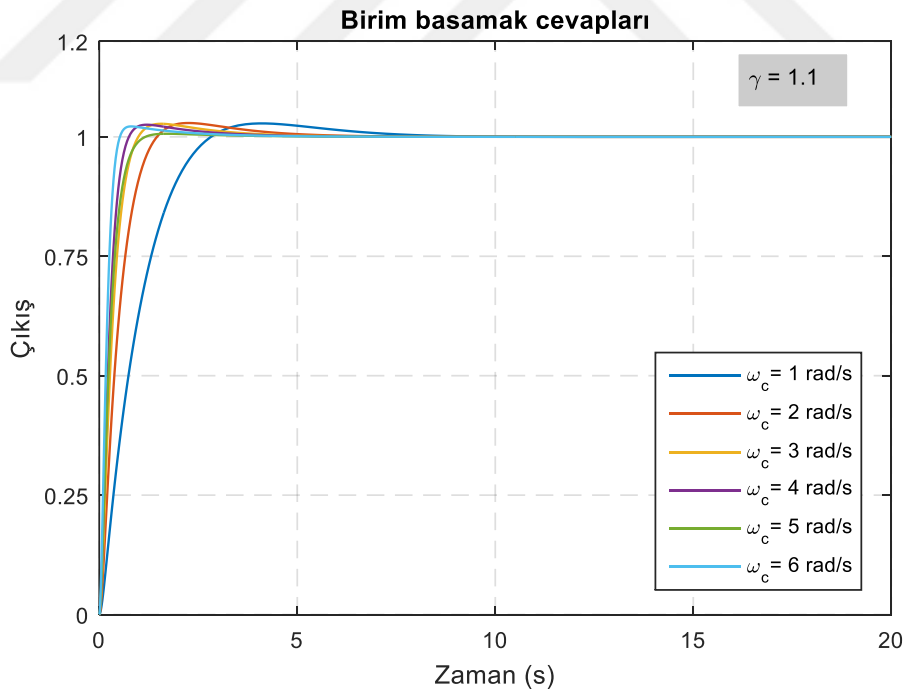


Şekil 4.20. Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_c = 4 \text{ rad/s}$)

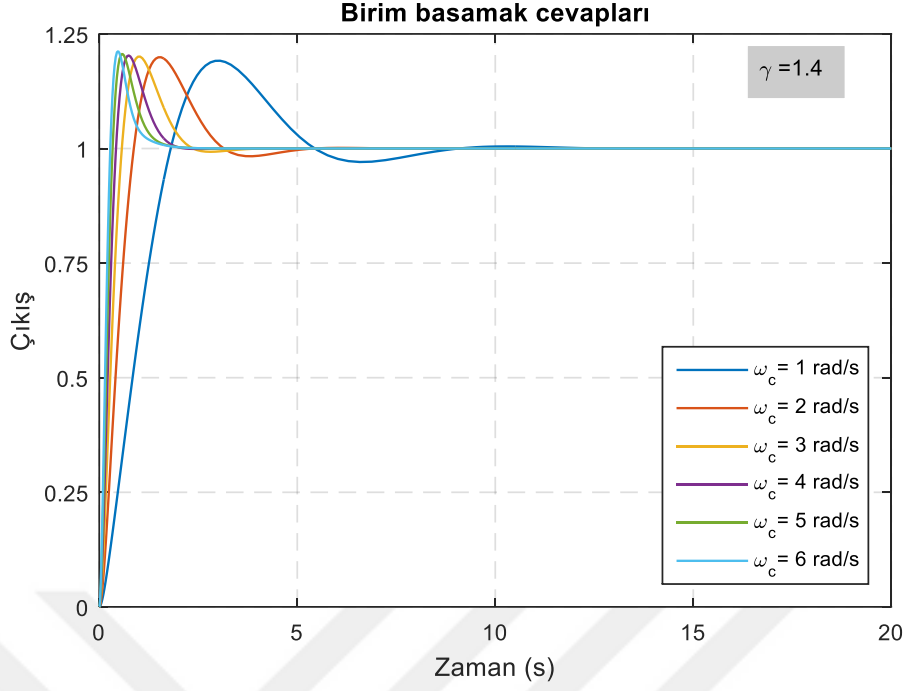
Şekil 4.19 ve Şekil 4.20 incelendiğinde, her iki şekil içinde yüzde aşma değeri küçük isteniyorsa, γ parametresinin küçük seçilmesi gerektiği, sistemden hızlı bir cevap bekleniyorsa ω_c değerinin büyük seçilmesi gerektiği görülmektedir.

$\gamma=1.1$ ve $\gamma=1.4$ alınarak belirlenen kontrolör parametrelerinin uygulanmasıyla elde edilen sistemlerin birim basamak cevapları sırasıyla Şekil 4.21 ve Şekil 4.22’de verilmiştir. Şekiller incelendiğinde, ω_c değerinin değişiminin yüzde aşma değerini değiştirmedeği, bunun yanında sistemin zaman parametrelerini kısalttığı görülmektedir.

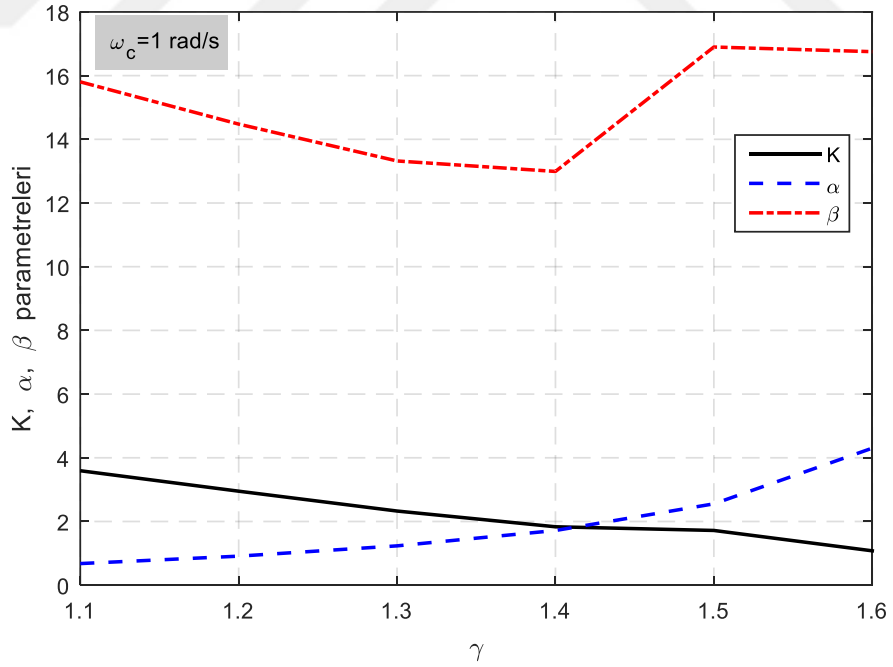
Şekil 4.23 ve Şekil 4.24 sırasıyla γ ve ω_c parametresine göre faz ilerlemeli ve faz gerilemeli kontrolör parametrelerinin grafiksel değişimini göstermektedir. Şekil 4.23’te ω_c sabit değerken, γ değeri değişirken kontrolör parametrelerinin nümerik değerlerinin çok az değiştiği görülmektedir. Şekil 4.24’te z kontrolör parametresinin nümerik değeri neredeyse değişmezken, p kontrolör parametresinde değişim daha fazladır. Nümerik değerlerdeki en fazla değişim K parametresinde izlenmektedir.



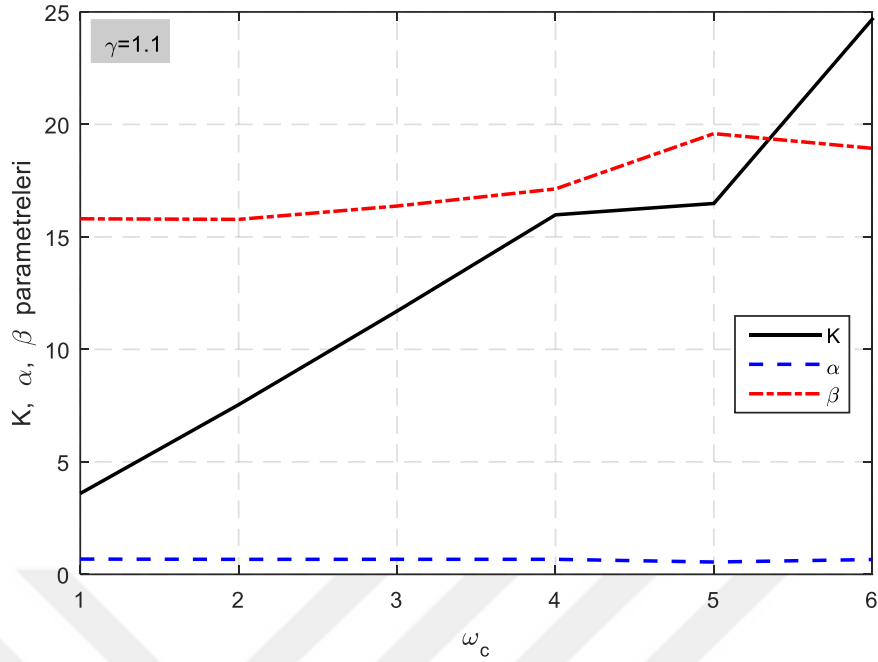
Şekil 4.21. Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma=1.1$)



Şekil 4.22. Faz ilerlemeli/gerilemeli kontrolör ile kontrol edilen sistemlerin birim basamak cevapları ($\gamma=1.4$)



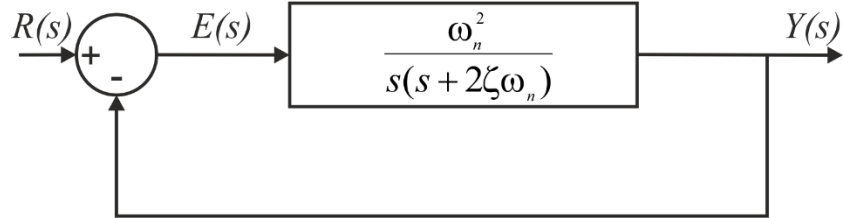
Şekil 4.23. Kontrolör parametrelerinin γ parametresine göre değişimi



Şekil 4.24. Kontrolör parametrelerinin ω_c parametresine göre değişimi

4.3. Kesir Dereceli Transfer Fonksiyonları İçeren Kontrol Sistemleri için İkinci Mertebeden Bir Sistem Modeline Dayalı PID Kontrolör Tasarımı

Kontrol sistemlerinde, ikinci mertebeden transfer fonksiyonunda istenen çıkış cevabının elde edilebilmesi için doğal frekans ve sönüm oranı gibi değerlerin ayarlanması gerekir. İkinci mertebeden bir kontrol sistemini temsil eden bir blok diyagram Şekil 4.25 ile verilmiştir [75].



Şekil 4.25. İkinci mertebeden bir sistemin blok diyagramı

İkinci mertebeden sistemin açık çevrim transfer fonksiyonu Denklem 4.16'da ki gibi yazılır [75].

$$G_a(s) = \frac{\omega_n^2}{s(s + 2\zeta\omega_n)} \quad (4.16)$$

Denklem 4.16 ile verilen transfer fonksiyonunun, kapalı çevrim sistemin transfer fonksiyonu Denklem 4.17 gibi yazılır. Burada, ω_n doğal frekansı, ζ ise sönüm oranını gösterir.

$$G(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (4.17)$$

Bir kontrol sisteminin zaman cevabı geçici ve kalıcı durum cevabı olarak iki kısma ayrılır. Geçici durum cevabında sistemin en küçük yüzde aşma ile kısa bir sürede kararlı hale gelmesi beklenir.

İkinci mertebeden bir sistemde, kapalı çevrim sistemin paydası sıfıra eşitlenerek karakteristik polinomu bulunur ve Denklem 4.18 ile gösterilir.

$$\Delta(s) = s^2 + 2\zeta\omega_n s + \omega_n^2 = 0 \quad (4.18)$$

Sistemin çıkışı, $R(s)=1/s$ birim basamak giriş için Denklem 4.19 şeklinde yazılır.

$$Y(s) = \frac{\omega_n^2}{s(s^2 + 2\zeta\omega_n s + \omega_n^2)} \quad (4.19)$$

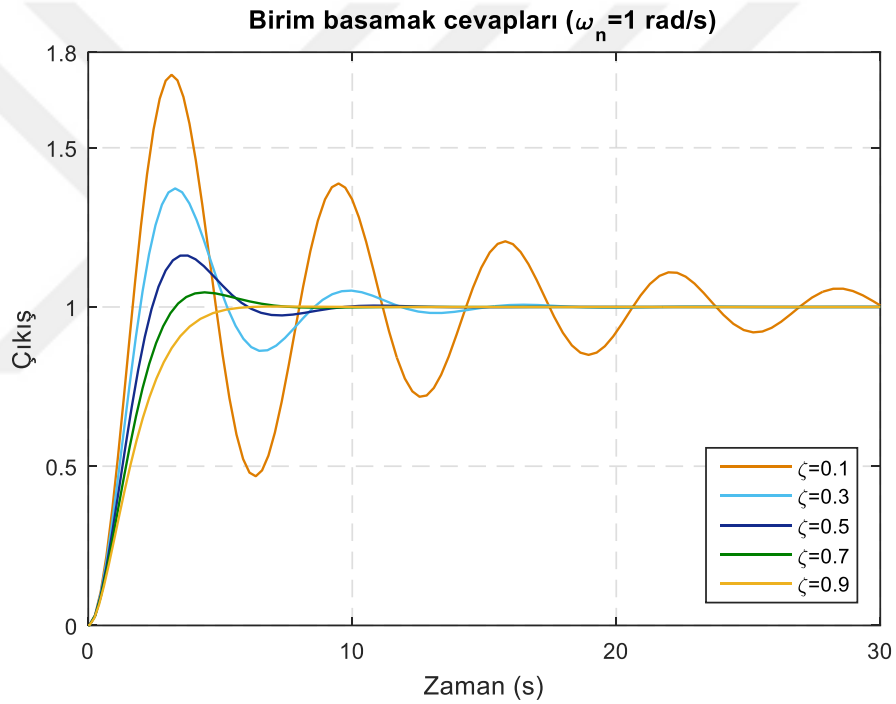
Ters Laplace dönüşümünün Denklem 4.19'a uygulanmasıyla, Denklem 4.20 elde edilir [75].

$$y(t) = 1 - \frac{e^{-\zeta\omega_n t}}{\sqrt{(1-\zeta^2)}} \sin(\omega_n \sqrt{1-\zeta^2} t + \cos^{-1} \zeta) \quad (4.20)$$

Sistemin doğal frekansı ve sönüm oranının çıkış cevabı üzerinde etkisi olduğu Denklem 4.20'den açıkça görülmektedir. Bu iki parametrenin değişimi maksimum aşma değerini ve zaman parametrelerini etkilemektedir [75]. Doğal frekans 1 rad/s olarak alındığında çeşitli sönüm oranlarına göre ikinci mertebeden bir sistemin birim

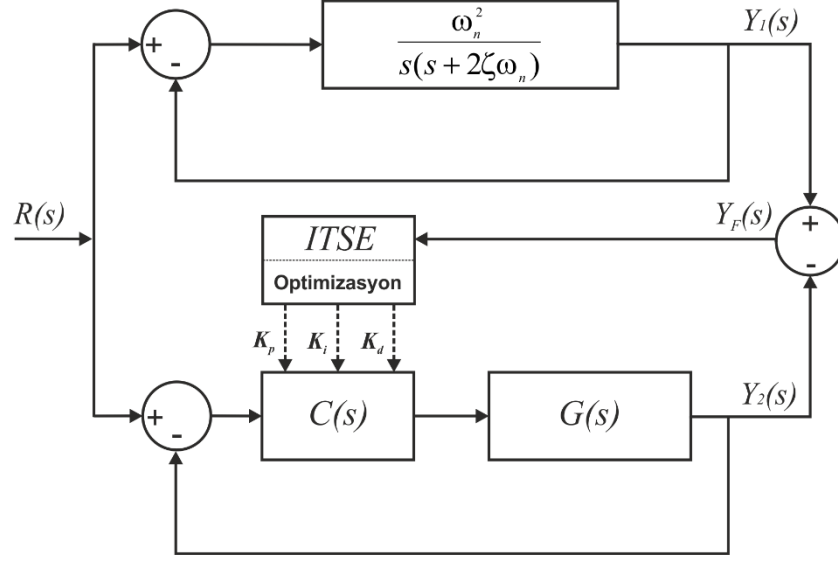
basamak cevapları Şekil 4.26’da gösterilmiştir. Şekil incelendiğinde, sönüm oranının değişmesinin yüzde aşma değerini değiştirdiği görülmektedir. Sönüm oranının değerinin büyümesi yüzde aşma değerini düşürmektedir. Ayrıca, sönüm oranı sabit tutulursa, doğal frekansın değişimiyle sistemin cevap hızının da değiştiği bilinmektedir.

Eğer bir sistemin çıkış işareti biliniyorsa, o sistem model olarak kullanılarak, farklı bir sistem için kontrolör tasarımı gerçekleştirilebilir. İkinci mertebeden bir sistemde iki parametrenin ayarlanmasıyla istenen zaman cevabı elde edilebilir. Bu zaman cevabını sağlayan sistem referans model olarak kullanılarak, tasarlanacak kontrolörün parametreleri optimizasyon yöntemleriyle belirlenir.



Şekil 4.26. İkinci mertebeden bir sistemde çeşitli sönüm oranları için kapalı çevrim sistemin birim basamak cevapları

Burada, *PID* kontrolör parametrelerinin hesaplanmasında kullanılan bir modelin blok diyagramı Şekil 4.27’de verilmiştir.



Şekil 4.27. Optimizasyonda kullanılan modelin blok diyagramı

Şekil 4.27’de, $C(s)$ PID kontrolör, $G(s)$ kontrol edilecek kesir dereceli sistem olarak düşünülmüştür. Referans sistem olarak kullanılan ikinci mertebeden sistem çıkışı $Y_1(s)$ ve kontrol edilecek sistem çıkışı $Y_2(s)$ olarak ayarlanmıştır. Referans alınan sistem ve kontrol edilecek sistem çıkışları arasındaki fark hata olarak kabul edilmiş ve ITSE performans kriteri ile optimizasyonda minimize edilmesi amaçlanmıştır. Böylece, hatanın minimum değerine karşılık gelen PID kontrolör parametreleri belirlenmiştir.

4.3.1. Örnek 1

Aşağıdaki gibi verilen kesir dereceli bir sistemi düşünelim. Bu sistem için PID kontrolör tasarımı gerçekleştirilelim.

$$G(s) = \frac{5}{s^{0.5}(s^2 + 2s + 1)} \quad (4.21)$$

Şekil 4.27’deki blok diyagramda $G(s)$, Denklem 4.21 ile verilen kesir dereceli sistem olsun. Yukarıda anlatılan yöntem gereği, çeşitli doğal frekans ve sönüm oranı değerleri için PID kontrolör parametreleri optimizasyon yöntemi ile Çizelge 4.10’deki gibi elde edilir.

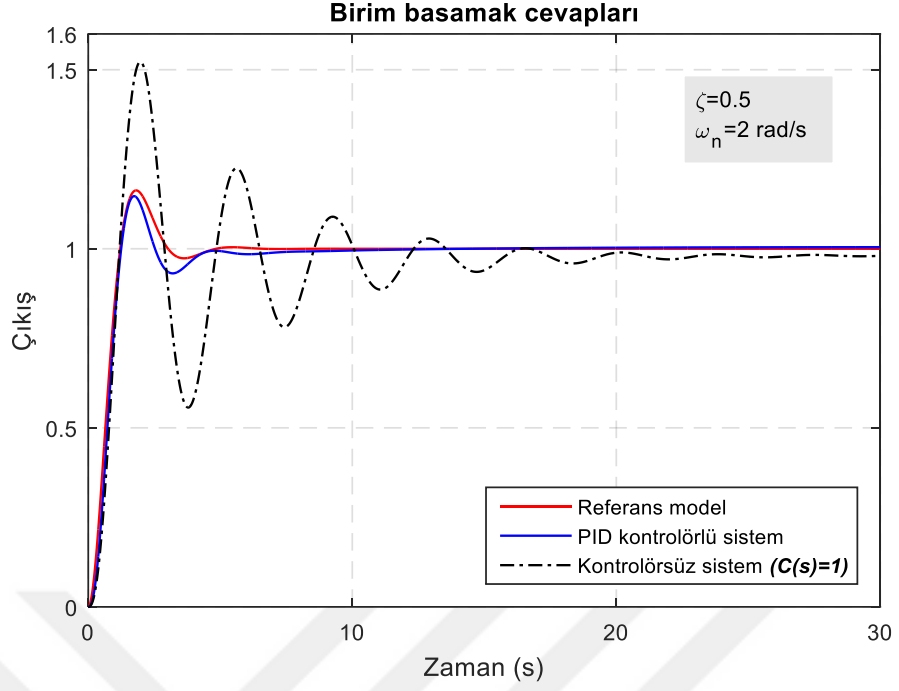
Çizelge 4.10. *PID* kontrolör parametreleri

| ζ | K_p | K_i | K_d |
|------------------------------|-------|-------|-------|
| $\omega_n = 2 \text{ rad/s}$ | | | |
| 0.3 | 1.401 | 0.048 | 0.306 |
| 0.5 | 1.443 | 0.037 | 0.543 |
| 0.7 | 1.700 | 0.032 | 0.919 |
| $\omega_n = 3 \text{ rad/s}$ | | | |
| 0.3 | 3.302 | 0.068 | 0.757 |
| 0.5 | 3.302 | 0.054 | 1.091 |
| 0.7 | 3.551 | 0.046 | 1.516 |
| $\omega_n = 4 \text{ rad/s}$ | | | |
| 0.3 | 6.045 | 0.087 | 1.291 |
| 0.5 | 6.014 | 0.070 | 1.724 |
| 0.7 | 6.378 | 0.060 | 2.258 |

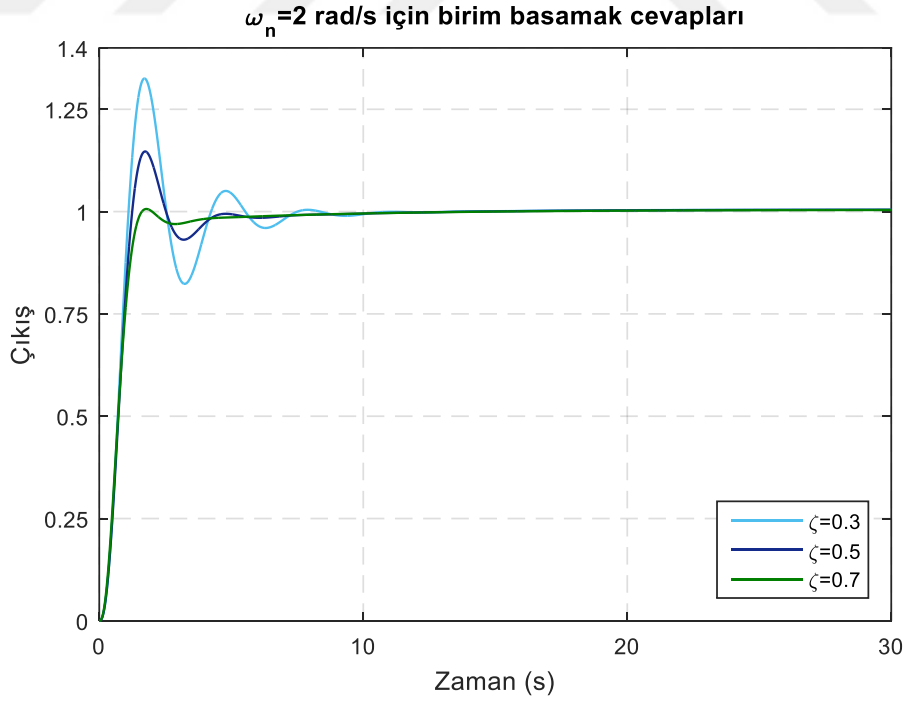
Bu uygulamada, dokuz farklı doğal frekans ve sönüm oranı için *PID* kontrolör tasarımı gerçekleştirilmiştir. Kontrolör parametrelerinin Denklem 4.21 ile verilen kesir dereceli sisteme uygulanmasıyla elde edilen sistem çıkışlarının birim basamak cevapları şekillerle sunulmuştur. Şekil 4.28, kontrolörsüz sistem, doğal frekans 2 rad/s ve sönüm oranı 0.5 olan referans model ve *PID* kontrolör ile kontrol edilen sistemin birim basamak cevaplarını göstermektedir. *PID* kontrolör ile denetlenen sistemin referans alınan sistemle çok yakın bir birim basamak cevabına sahip olduğu şekilden görülmektedir.

Şekil 4.29, Şekil 4.30 ve Şekil 4.31 sırasıyla $\omega_n = 2 \text{ rad/s}$, $\omega_n = 3 \text{ rad/s}$ ve $\omega_n = 4 \text{ rad/s}$ doğal frekans ve çeşitli sönüm oranlarına göre belirlenmiş *PID* kontrolör ile denetlenen sistemlerin kapalı çevrim birim basamak cevaplarını göstermektedir. Şekillerden, sönüm oranı büyüdükçe yüzde aşma değerinin azaldığı, bununla birlikte doğal frekans değerinin artmasının da sistemin cevap hızını artırdığı görülmektedir.

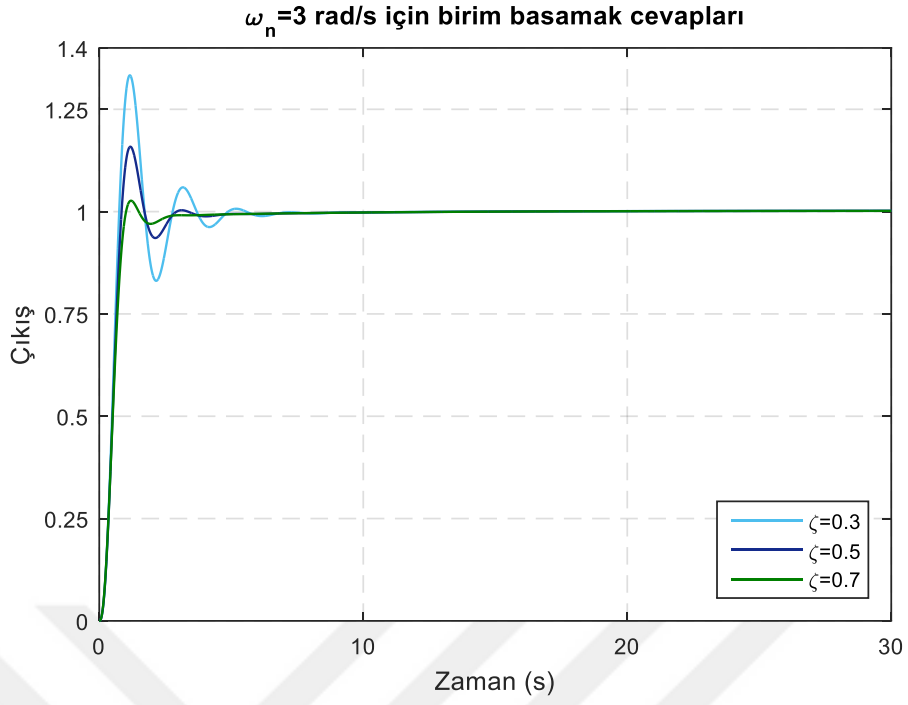
Şekil 4.32, $\zeta = 0.5$ sönüm oranı ve farklı doğal frekans değerlerine göre tasarlanmış *PID* kontrolör ile kontrol edilen sistemlere ait kapalı çevrim birim basamak cevaplarını göstermektedir. Doğal frekans değerinin büyümesi ile doğru orantılı olarak sistemin cevap hızının arttığı, bunun yanında yüzde aşma değerinin değişmediği şekilden görülmektedir.



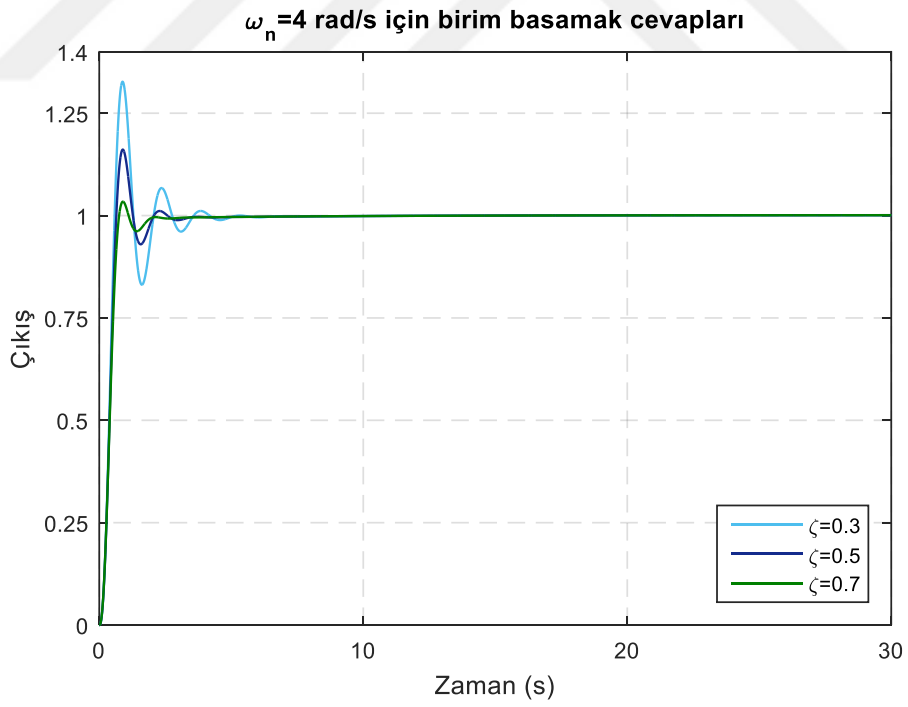
Şekil 4.28. Kontrol edilen ve kontrol edilmemiş ($C(s)=1$) sistemlerin kapalı çevrim birim basamak cevapları



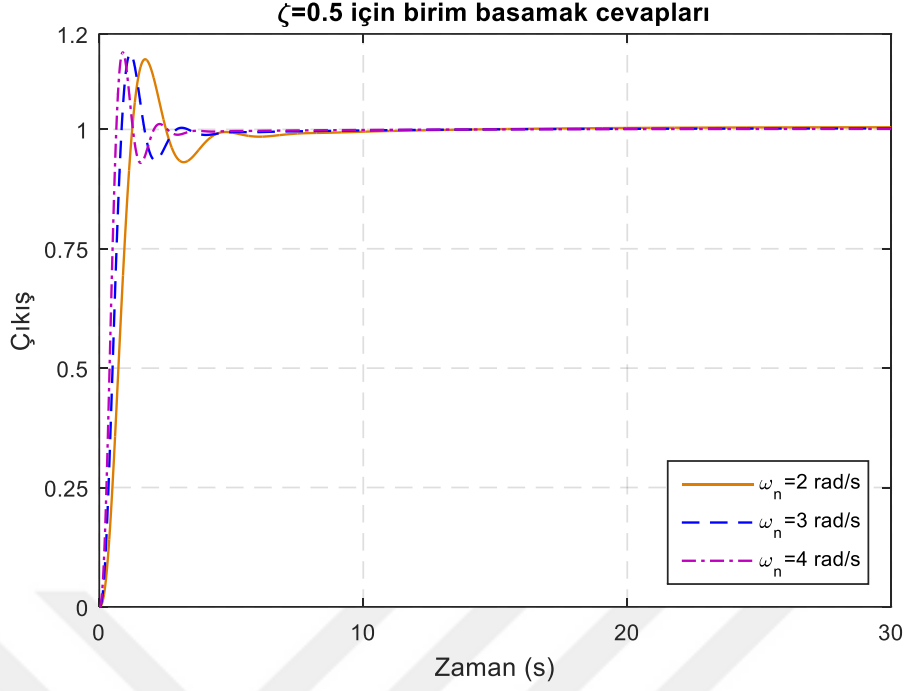
Şekil 4.29. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 2 \text{ rad/s}$)



Şekil 4.30. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 3$ rad/s)



Şekil 4.31. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\omega_n = 4$ rad/s)



Şekil 4.32. *PID* ile kontrol edilen sistemlerin birim basamak cevapları ($\zeta = 0.5$)

PID kontrolör ile kontrol edilen sistemlerin birim basamak cevaplarına ait zaman parametreleri ve yüzde aşma değerleri Çizelge 4.11’de verilmiştir.

Çizelge 4.11. Zaman cevabı performans karakteristikleri

| | $\zeta=0.3$ | $\zeta=0.5$ | $\zeta=0.7$ |
|---------------------|-------------|-------------|-------------|
| $\omega_n=2$ rad/s | | | |
| Yükselme zamanı (s) | 0.70 | 0.79 | 0.92 |
| Yerleşme zamanı (s) | 7.07 | 4.25 | 4.25 |
| Tepe zamanı (s) | 1.71 | 1.74 | 1.78 |
| Yüzde aşma (%) | 31.92 | 14.18 | 0.25 |
| $\omega_n=3$ rad/s | | | |
| Yükselme zamanı (s) | 0.47 | 0.53 | 0.61 |
| Yerleşme zamanı (s) | 4.59 | 2.66 | 2.38 |
| Tepe zamanı (s) | 1.16 | 1.18 | 1.20 |
| Yüzde aşma (%) | 33.05 | 15.64 | 2.48 |
| $\omega_n=4$ rad/s | | | |
| Yükselme zamanı (s) | 0.36 | 0.40 | 0.46 |
| Yerleşme zamanı (s) | 3.39 | 1.94 | 1.73 |
| Tepe zamanı (s) | 0.88 | 0.89 | 0.90 |
| Yüzde aşma (%) | 32.56 | 16.00 | 3.30 |

4.4. Bölüm 4'ün Sonuçları

Bu bölümde, kesir dereceli kontrol sistemlerinde referans modele dayalı optimizasyon tekniklerini kullanarak kontrolör tasarımı gerçekleştirmek üzere yapılmış çalışmalara yer verilmiştir.

- 1) Bode'nin ideal transfer fonksiyonu referans model olarak kullanılarak *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları optimizasyon metodu ile gerçekleştirildi.
- 2) İkinci mertebeden bir sistem referans model olarak kullanılarak kesir dereceli bir sistem için *PID* kontrolör tasarımı optimizasyon metodu ile gerçekleştirildi.

Sunulan çalışmalarda kontrolör parametreleri başarılı bir şekilde belirlenmiş, yöntemin uygulamasına yönelik örnekler verilmiştir.

5. KESİR DERECELİ TRANSFER FONKSİYONU İÇEREN KONTROL SİSTEMLERİNDE SEZGİSEL ALGORİTMALAR KULLANILARAK KONTROLÖR TASARIMLARI

5.1. Giriş

Optimizasyon, bir problemde, mümkün olan bütün çözümlerin içinden en iyisini bulma işlemi olarak adlandırılır. Optimizasyon probleminde amaç, çözümü en iyi duruma getiren değişken değerlerinin bulunmasıdır. Kontrol sistemlerinde bu durum, hatanın en küçük değerine karşılık gelen kontrolör parametrelerinin belirlenmesi olarak karşılık bulur. Son yıllarda yapılan araştırmalar sonucunda, sosyal hayvanların doğada sergiledikleri davranışlardan esinlenerek ortaya çıkan algoritmaların, optimizasyon problemlerinde klasik yöntemlerin aksine oldukça iyi sonuçlar verdiği gözlemlenmiştir. Genetik algoritma, parçacık sürüsü optimizasyonu, yapay arı kolonisi algoritması, karınca kolonisi algoritması popülasyon tabanlı algoritmalara örnek olarak verilebilir. Bunlardan genetik algoritma gelişime dayalı algoritmalar sınıfına girerken, diğer algoritmalar sürü zekâsı tabanlı algoritma grubuna dâhil olur.

Sezgisel algoritmalar kullanılarak kontrolör parametrelerinin belirlenmesi için Bağış ve Şenberber [140], yaptıkları çalışmada yüksek dereceden osilasyonlu sistemler için *PID* kontrolör tasarımı gerçekleştirmişlerdir. Çalışmalarında ikisi zaman gecikmeli olmak üzere üç tamsayı dereceli sistem için ITAE performans kriterine göre *PID* kontrolör tasarımları yapmışlardır. ABC, GA ve PSO gibi sezgisel algoritmalarla gerçekleştirdikleri çalışmada klasik kontrolör tasarım yöntemleri ile karşılaştırma yapmışlardır. Özellikle ABC algoritması tabanlı *PID* ayarlama metodunun yüksek dereceden osilasyonlu sistemlere kolay ve başarılı bir şekilde uygulandığını belirtmişlerdir. Bingul ve Karahan [141] yaptıkları çalışmada, kararsız ve integratör içeren zaman gecikmeli sistemler için *PID* ve kesir dereceli *PID* kontrolör tasarımları gerçekleştirmişlerdir. Ayrıca sistemlerin dayanıklılık testlerini yapmış ve ABC algoritması ile tasarlanan kontrolör, sistemi PSO ile tasarlanan kontrolörlerden daha dayanıklı yaptığını tespit etmişlerdir. Yaptıkları analizlerde ABC tabanlı kontrolör tasarım yönteminin daha üstün olduğunu vurgulamışlardır. Ercin ve Coban [142] yaptıkları çalışmada *PID* kontrolör parametrelerini ABC algoritması ve arı algoritmalarını kullanarak belirlemişlerdir. Çalışmalarında kararlılık, dayanıklılık ve ayar noktası izleme performansı gibi kriterler için iyi sonuçlar elde ettiklerini

belirtmişlerdir. Ayrıca ABC algoritmasının arı algoritmasından daha iyi bir performans gösterdiğini izah etmişlerdir. Sahib ve Ahmed [143] yaptıkları çalışmalarında yeni bir zaman domeni performans kriteri sunmuşlardır. Bu performans kriterini test etmek için PSO algoritması kullanarak bir otomatik voltaj regülatör sistemi için *PID* kontrolör tasarımı gerçekleştirmişlerdir. Elde ettikleri sonuçlardan, önerilen performans kriterinin *PID* ayarlama optimizasyonunu geleneksel performans kriterlerine göre geliştirdiğini ifade etmişlerdir. Karaboğa ve Akay [144] ABC algoritması ve farklı birkaç algoritma kullanarak *PID* kontrolör tasarımı gerçekleştirmiştir. ABC algoritmasının diğer kullandıkları algoritmalara göre zaman gecikmeli ve osilasyonlu sistemlerde çok az daha iyi bir performans sergilediğini ifade etmişlerdir. Cao ve Cao [145] yaptıkları çalışmada değiştirilmiş PSO algoritması kullanarak kesir dereceli *PID* kontrolör tasarımları gerçekleştirmişlerdir. Konu ile ilgili benzer çalışmalar için [146-153] incelenebilir.

Bu çalışmada kontrolör parametrelerini belirlemek için, ABC, GA ve PSO algoritmaları oluşturulmuştur. ABC, GA ve PSO algoritmalarının çalışma mantığında amaç fonksiyonunun minimum olduğu değerin bulunması yatmaktadır. Optimizasyon algoritmalarında, amaç fonksiyonları olarak integral performans kriterleri kullanılmıştır. Algoritmalar 50 iterasyon boyunca çalışacak şekilde ayarlanmış, her iterasyonda en iyi kontrolör parametreleri belirlenmiştir. Algoritmanın sonlanması ile en iyi kontrolör parametreleri elde edilmiş olur. Çalışmada üç farklı kesir dereceli sistem için, üç farklı kontrolör tasarımı gerçekleştirilmiştir. Her bir örnek için kontrolör parametrelerinin kolay ve başarılı şekilde belirlenmesi hedeflenmiştir.

5.2. Sezgisel Algoritmalar

5.2.1. Yapay Arı Kolonisi Algoritması (ABC)

Sezgisel (heuristic) bir optimizasyon algoritması olan ABC algoritması Karaboğa [154] tarafından 2005 yılında önerilmiştir. Bu algoritma, bal arılarının yiyecek arama davranışlarından esinlenerek oluşturulmuştur. Algoritmanın işleyişi hakkında bilgi sahibi olabilmek için arı kolonisini ve arıların doğada sergiledikleri davranışları incelemek gerekmektedir. Arı kolonilerinde hiyerarşik bir düzen ve oldukça başarılı işleyen bir iş paylaşımı vardır. Koloniye yeni bir yer seçerken ve yiyecek arama faaliyetlerinde toplu olarak karar verirler. Arılar, ideal besin kaynaklarının

değerlendirilmesi, nektarın taşınması, işlenmesi, saklanması gibi işleri en iyi şekilde yerine getirebilmektedirler.

Arı kolonisinde üç çeşit arı bulunmaktadır. Bu modelde arılar, işçi arı, gözcü arı ve kâşif arı olarak adlandırılır [155]. Arı kolonisinde yiyecek arama davranışları şu şekilde özetlenebilir. İşçi arılar kaynaklara gönderilir ve nektar miktarları belirlenir. Daha sonra yeni yiyecek kaynakları araştırılır. İşçi arılar kovana döner ve dans ederek yiyecek kaynakları hakkında bilgi verirler. Gözcü arılar kaynaklar arasından en zengin kaynağı seçer ve bu kaynaktan nektar depolamaya başlarlar. Belirli bir denemeden sonra (limit), yiyecek kaynakları tükenir. İşçi arılar kâşif arı olur ve yeni kaynaklar araştırırlar. Kâşif arılarda yeni kaynaklar bulup, nektar depolarlar. Sonlanma kriteri sağlanana kadar bu adımlar devam eder.

ABC algoritmasında, *popsize* ve *limit* olarak adlandırılan iki önemli kontrol parametresi vardır. *Popsize* algoritmada kullanılan popülasyon sayısını ifade eder. *Limit* ise işçi arıların yiyecek kaynaklarını terk etmesi için belirlenmiş deneme sayısını ifade eder [156].

ABC algoritmasının adımları aşağıdaki şekilde verilebilir [157].

Adım 1. Yiyecek kaynakları rastgele belirlenir.

Optimizasyonda arama uzayı, arı kolonisinin bulunduğu çevre olarak adlandırılır. Algoritma, arama uzayındaki besin kaynakları yerlerine, her parametrenin alt ve üst sınırları arasında rastgele değerler üretilerek başlar. Her bir kaynak olası bir çözümü temsil eder. Bu adımda rastgele sayılar üretilerek, aşağıdaki formül ile besin kaynaklarının pozisyon değerleri belirlenir.

$$x_{ij} = x_{\min}^j + rand[0,1](x_{\max}^j - x_{\min}^j) \quad (5.1)$$

Denklemden, x_{ij} popülasyondaki bir çözümü ifade eder. Popülasyon boyutu SN , optimize edilecek parametre sayısı D ile gösterilmek üzere, $i = \{1, 2, \dots, SN\}$ ve $j = \{1, 2, \dots, D\}$ şeklinde ifade edilir. x_{\min}^j ve x_{\max}^j karar değişkenlerinin alt ve üst limitlerini gösterir.

Adım 2. İşçi arılar yiyecek kaynaklarına yönelir.

ABC algoritmasında belirlenen kaynak sayısı kadar işçi arı bulunur. Her kaynağın nektarın kalitesi, uygunluk fonksiyonu değeri ile değerlendirilir. İşçi arılar gittikleri kaynakların nektar miktarlarını incelerken aynı zamanda da kaynağın komşuları

arasından birisini olasılıksal seleksiyon ile seçer. Yeni bir kaynağa ait pozisyon değerleri üretmek için kullanılan eşitlik aşağıdaki gibidir.

$$v_{ij} = x_{ij} + \phi_{ij}(x_{ij} - x_{kj}) \quad (5.2)$$

Burada, x_{kj} rastgele seçilmiş yeni yiyecek kaynağını, j $[0,D]$ aralığında rastgele üretilmiş tamsayı, ϕ_{ij} , $[-1,1]$ aralığında bir parametreyi, v_i aday çözümü ifade eder.

İncelenen ve seçilen kaynağın kalitesi karşılaştırılır. Yeni kaynak daha kaliteli ise hafızaya alınır ve eski kaynak hafızadan çıkarılır. x_{ij} ve x_{kj} arasındaki fark azaldıkça, arama uzayında optimal çözüme yaklaşılr.

Adım 3. Gözcü arılar uygunluk değerini hesaplar.

İşçi arılar, kaynaklar hakkında elde ettikleri bilgileri dans ederek kovanlarda bekleyen gözcü arılara iletirler. Gözcü arılar yiyecek kaynaklarının kalitesi ile orantılı bir olasılıkla gideceği kaynağı belirler. Algoritmada her bir kaynağın uygunluk değeri ve kaynakların seçilme olasılıkları hesaplanır.

Adım 4. Kâşif arıların yiyecek kaynaklarına gönderilmesi ve limit değerinin belirlenmesi.

Yiyecek kaynağındaki nektarın durumu (nektarın tükenip tükenmediği ya da ne kadarının kullanıldığı) çözüm geliştirememeye sayacı ile kontrol edilir. Bir kaynaktaki sığ belli bir eşik değerinin üstünde ise o kaynak bitmiş (çözüme ulaşılmış) olarak değerlendirilir ve kaynaktaki işçi arı kaynağı terk ederek yeni kaynaklar (çözümler) aramaya başlar. İşçi arı yeni kaynak aramaya başladığı an kâşif arı haline gelir ve rastgele olarak çözümler arar. *limit* olarak tanımlanan kontrol parametresi kaynaktaki nektarın tükenip tükenmediğine karar vermek için kullanılır. Algoritmada koloni büyüklüğü genellikle 20-50 arasında seçilen bir değerdir. Belirlenmesi gereken parametre sayısı (D) ve koloni büyüklüğünün (SN) çarpımı ($D \times SN$) *limit* değerini verir. Bazı akademik çalışmalarda *limit* değeri için $0.5 \times D \times SN$ eşitliği kullanılmıştır.

Adım 5. En iyi değer hafızada tutulması.

Durma kriteri sağlanana kadar algoritma *Adım 2*'ye gider.

5.2.2. Genetik Algoritma (GA)

İlk olarak John Holland tarafından ortaya atılan genetik algoritmalar fikri, prensibini evrim teorisinden alan ve geniş bir uygulama alanına sahip bir optimizasyon yöntemidir. Charles Darwin'in 'en iyinin hayatta kalması' prensibi John Holland için bir başlangıç olmuş ve 1970'lerin başlarında genetik algoritmalar ile ilgili çalışmalarına başlamıştır [158]. Geleneksel optimizasyon yöntemlerine göre daha başarılı sonuçlar veren genetik algoritmaların ilk genel formu Goldberg (1989) tarafından belirtilmiştir. Çözüm uzayının belirli bir yerini tarayarak, kısa bir sürede çözüme ulaşırlar [159].

Popülasyondaki her bir birey kromozom olarak adlandırılmaktadır. Kromozomların evrim geçirmelerine jenerasyon adı verilir. Çaprazlama ve mutasyon operatörleri kullanılarak, mevcut jenerasyonun iki kromozomu ile yeni bir jenerasyon oluşturulur. Elde edilen yeni bireylere döl denir. Yeni jenerasyonda uygunluk kriterinin dışında kalan ebeveynler ve dölleri jenerasyondan çıkarılırlar. Böylece en uygun kromozomların seçilme şansı maksimize edilmiş olur. Birkaç nesil sonra algoritma en iyi çözüme ulaşmış olur [160]. Diğer optimizasyon metotlarına benzer şekilde genetik algoritmada da amaç fonksiyonu, parametreler ve kısıtlar tanımlanır. Çözüme ne kadar yaklaşıldığı kontrol edilerek algoritma sonlandırılır.

Genetik algoritmanın adımları aşağıdaki gibi sıralanabilir [161].

Adım 1. Rastgele olarak başlangıç popülasyonu oluşturulur.

GA'nın ilk adımı başlangıç popülasyonunun belirlenmesidir. Burada farklı büyüklükler belirlenebilir. Belirlenen popülasyon çok küçük olursa, detaylı bir arama mümkün olmayabilir. Fakat yakınsama ve sonuca ulaşma hızlı gerçekleşir. Eğer popülasyon çok büyük olursa, sonuca ulaşmak çok uzun zaman alabilir. Çoğu zaman genetik algoritmalar rastgele popülasyonla başlarlar.

Adım 2. Her dizinin uygunluk değeri hesaplanır.

Popülasyondaki bireylerin çözüme ne kadar yaklaştığı "uygunluk ya da amaç fonksiyonu" ile değerlendirilir. İlk olarak genlerin uygunluk değerleri hesaplanır. Genlerin çözüm için ne kadar uygun oldukları uygunluk fonksiyonu ile bulunur. Uygunluk fonksiyonu ne kadar hassas olarak belirlenirse, genetik algoritmadan beklenen performans o kadar iyi olur. İyi bir dizilim, maksimizasyon için yüksek, minimizasyon için düşük uygunluk değeri ile sağlanır. Her iterasyonda uygunluk

değeri dikkate alınarak seçim işlemi yapılır. Uygunluk değerlerine göre belirlenen ve en iyi olan kromozom, problemin optimum çözümünü veren kromozomdur.

Adım 3. Aranılan kriterlere ulaşıldı mı? Evet ise algoritma durur. Hayır ise *Adım 4'e* geçilir.

Adım 4. Yeni jenerasyonlar yaratmak için seçme işlemi yapılır.

Sonraki nesillere daha iyi bireyler aktarılabilmesi için seçim işlemi yapılır. Uygunluk oranına göre sıralanan bireylerde yüksek orana sahip olan bireyin rastgele seçim sonucunda kazanma olasılığı daha büyüktür. Seçim işleminde rulet çarkı, turnuva seçimi ve rank yöntemi literatürde en çok kullanılan yöntemlerdir [162]. Rulet çarkı yönteminde bireyler uygunluk fonksiyonu değerlerine göre bir rulet çarkına yerleştirilir. Uygunluk fonksiyonu yüksek olan bireyler rulet çarkında fazla hacim kaplayacağından dolayı seçilme ihtimalleri yüksek olur. Turnuva seçiminde tüm nesil içinden her defasında, rastgele bir dizi seçilir. Bu dizideki uygunluk değeri en yüksek olan kromozom seçimin galibi olur. Rank metodunda uygunluk oranına göre sıralanan kromozomlara, gerçek uygunluk oranı yerine onun için belirlenen rank değeri verilir. Uygunluk oranının küçükten büyüğe doğru sıralandığı maksimize edilecek bir fonksiyonda her kromozoma 0.1, 0.2, ... şeklinde rank değerleri verilir. Belirlenen rank değerleri rulet çarkına yerleştirilir. Bu yöntemle uygunluk değerleri arasındaki büyük farklar engellenmiş olur. Popülasyondaki en yüksek uygunluk değerine sahip bireylerin bir kısmı seçim işlemine tabi tutulmadan doğrudan sonraki nesile aktarılır. Bu işlem elitizm olarak adlandırılır. Bu işlemin amacı, seçim işleminde her durum için rastgele değerler üretileceği için yüksek uygunluk değerine sahip kromozomların seçilme olasılığının olmamasıdır.

Adım 5. Çaprazlama işlemi yapılır. Çaprazlama, mevcut iyi kromozomların özelliklerini birleştirerek daha uygun kromozomlar elde etmek için yapılır.

Doğal yaşamda üremeye karşılık gelen, genetik algoritmadaki çaprazlama işlemi seçim işleminin ardından yapılır. Genetik algoritmalarda seçim işleminden sonra popülasyonun bir kısmı çaprazlama işlemine tabi tutulur. Çaprazlama için seçilen bireylerden yavru bireyler elde edilir. Literatürde kullanılan çaprazlama çeşitlerinden en çok kullanılanları aşağıdaki gibidir [162].

Tek Noktalı Çaprazlama, Çok Noktalı Çaprazlama, Diğer Çaprazlama Yöntemleri (Partially Mapped Crossover [163], Cycle Crossover [164], Order Crossover [165], Order Based Crossover [166], Position Based Crossover [166], Heuristic Crossover [167], Arithmetic Crossover [168])'dur.

Adım 6. Mutasyon işlemi yapılır. Mutasyon popülasyondaki genetik çeşitliliği korumak için yapılır.

Mutasyon, bireyde canlı hücre çekirdeğinde bulunan ve kalıtsal özelliklerinin ortaya çıkmasını sağlayan DNA molekülünün çeşitli sebeplerle bozulmaya uğramasıdır. Mutasyon sıklıkla görülen bir durum değildir ve kromozomların çok küçük bir parçasında gerçekleşir. Mutasyon, genetik algoritmalarda da doğal yaşamda olduğu gibi kromozomlarda meydana gelen küçük, yapısal değişikliklerdir. Seçim ve çaprazlama işlemlerinde olduğu gibi, problemin çözümünde nihai amaç yerel çözüme yakalanmadan optimal çözüme ulaşmaktır. Genetik algoritma çözümünde işlemler çok iyi yapılmış olsa dahi yerel çözüme yakalanma olasılığı bulunur. Bunu ortadan kaldırmak için bazı kromozomları mutasyona uğratmak bir çözüm yöntemi olarak düşünülür. Bununla birlikte optimum çözüme ulaşma olasılığı artırılmış olur.

Genetik algoritmalarda problemin yapısına göre aşağıdaki mutasyon operatörlerinden birisi kullanılabilir [162].

- Ters çevirme, Yer değişikliği, Ekleme, Karşılıklı değişim

Adım 7. En iyi çözüm bulunana kadar algoritma devam eder. (*Adım 2'*ye gider)

Yapılan işlemlerin sonucunda yeni bir popülasyon elde edilmiş olur ve bu popülasyonun bir önceki jenerasyona göre teorik olarak daha iyi bir çözüm kümesi olduğu söylenebilir. Üreme işleminde her tekrar bir "iterasyon" olarak adlandırılır. Optimizasyonda iterasyon sayısının artması çözümün kalitesini artırır ama en uygun çözüme ulaşabilmek için kaç iterasyon gerektiği konusunda genel bir kural yoktur. Burada problemin türüne göre kullanıcı iterasyon sayısını belirler ve sıklıkla zaman ön plandadır.

Bugüne kadar yapılan çalışmalar genetik algoritmaların en uygun çözümleri bulmakta oldukça başarılı olduğunu göstermiştir. Analitik yöntemlerle çözümü mümkün olmayan problemlerin genetik algoritmalarla kısa bir sürede çözümü gerçekleştirilmektedir.

5.2.3. Parçacık Sürüsü Optimizasyon Algoritması (PSO)

Doğadaki olaylardan esinlenerek birçok optimizasyon algoritması geliştirilmiştir. Bunlardan biriside parçacık sürüsü optimizasyon algoritmasıdır. 1995 yılında, Kennedy ve Eberhart kuş ve balık sürülerinin doğadaki hareketlerinden esinlenerek parçacık sürüsü optimizasyon algoritmasını geliştirmişlerdir [169]. Kuşların ya da

balıkların yiyecek aramaları bir probleme çözüm aramaya benzetilebilir. Her birey parçacık olarak adlandırılır ve parçacıklar sürüyü oluşturur. Sürü halinde rastgele hareket eden hayvanların amaçlarına daha kolay ulaştıkları görülmüştür. Yiyeceği nerede bulduğunu bilmeyen kuşlar arama bölgesine dağılırlar. Daha sonra tekrar bir araya gelip, bilgi paylaşımında bulunurlar. Bu paylaşımında yiyeceğe en yakın kuş bilinir ve sürü o kuşu takip eder. Böylece kuş sürüsü yiyeceğe ulaşmış olur. Burada, her parçacık pozisyonunu sürüdeki en iyi pozisyona doğru ayarlar. Parçacığın en iyi pozisyonu $pbest$, sürünün en iyi pozisyonu $gbest$ olarak adlandırılır. Bu işlemler hedefe ulaşmaya kadar devam eder.

Sürüde parçacık sayısının fazla olması daha fazla arama noktasına ulaşılmasını sağlar. Bununla beraber parçacık sayısı arttıkça hesaplama zorluğu da artar. Parçacık sayısı probleme göre değişiklik gösterse de optimal bir çözüm için 10-30 parçacık sayısının yeterli olacağı yapılan çalışmalarda vurgulanmıştır.

Algoritma aşağıdaki adımlardan oluşur [170].

Adım 1. Başlangıç sürüsü oluşturulur. Her parçacığın başlangıç değeri ve hızı rastgele şekilde üretilir.

Parçacıklara ait hız ve pozisyon değerleri sırasıyla $v_i^t = [v_{i1}^t, v_{i2}^t, v_{i3}^t, \dots, v_{id}^t]$ ve $x_i^t = [x_{i1}^t, x_{i2}^t, x_{i3}^t, \dots, x_{id}^t]$ şeklinde ifade edilir. Başlangıç için hız ve pozisyon matrisi sırasıyla aşağıdaki denklemlerdeki gibi yazılır.

$$v^0 = \begin{bmatrix} v_{11}^0 & v_{12}^0 & v_{13}^0 & \dots & v_{1d}^0 \\ v_{21}^0 & v_{22}^0 & v_{23}^0 & \dots & v_{2d}^0 \\ v_{31}^0 & v_{32}^0 & v_{33}^0 & \dots & v_{3d}^0 \\ \dots & \dots & \dots & \dots & \dots \\ v_{n1}^0 & v_{n2}^0 & v_{n3}^0 & \dots & v_{nd}^0 \end{bmatrix}_{n \times d} \quad (5.3)$$

$$x^0 = \begin{bmatrix} x_{11}^0 & x_{12}^0 & x_{13}^0 & \dots & x_{1d}^0 \\ x_{21}^0 & x_{22}^0 & x_{23}^0 & \dots & x_{2d}^0 \\ x_{31}^0 & x_{32}^0 & x_{33}^0 & \dots & x_{3d}^0 \\ \dots & \dots & \dots & \dots & \dots \\ x_{n1}^0 & x_{n2}^0 & x_{n3}^0 & \dots & x_{nd}^0 \end{bmatrix}_{n \times d} \quad (5.4)$$

Örneğin, hız matrisinde v_{23}^{10} , 10.iterasyonda 2.parçacığın 3.değerini göstermektedir.

Adım 2. Parçacıkların uygunluk değerleri, amaç fonksiyonuna göre hesaplanır.

Optimizasyonda, problemle ilgili kısıtları göz önünde tutarak, uygunluk değerlerini üreten fonksiyonlar amaç fonksiyonu olarak tanımlanır.

Adım 3. Parçacıklar için en iyi yerel (*pbest*) değerleri bulunur. *Adım 2*'de hesaplanan uygunluk değeri parçacığın hafızasındaki *pbest* ile karşılaştırılır. Bir önceki adımda bulunan *pbest* değeri, mevcut *pbest* değerinden daha iyi ise yeni sonuç *pbest* ile değiştirilir.

Adım 4. Yerel en iyiler arasından global en iyi (*gbest*) seçilir. *Adım 2*'de hesaplanan uygunluk değeri ile parçacığın hafızasındaki *gbest* karşılaştırılır. Sonuç öncekinden daha iyi ise *gbest* yeni sonuç ile değiştirilir.

Adım 5. Parçacıkların hızı ve pozisyonları aşağıdaki gibi yenilenir.

$$v_i^{t+1} = w_i v_i^t + c_1 r_1^t (x_{pbest}^t - x_i^t) + c_2 r_2^t (x_{gbest}^t - x_i^t) \quad (5.5)$$

$$x_i^{t+1} = x_i^t + v_i^{t+1} \quad (5.6)$$

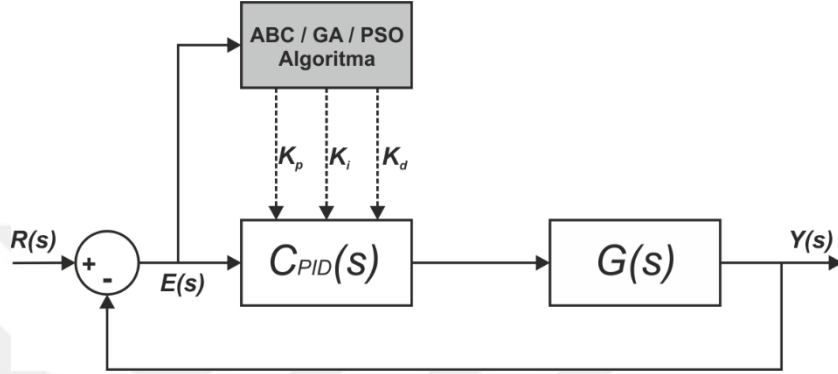
Adım 6. Durma sağlanıncaya kadar döngü devam eder. (*Adım 2*'ye gider)

Denklemlerde t iterasyon sayısını, v_i parçacığın hızını, x_i i .parçacığın konumunu, x_{pbest} i .parçacığın en iyi konumunu, x_{gbest} global en iyi sonucu gösterir. c_1 ve c_2 öğrenme faktörleri olup, r_1 ve r_2 0 ile 1 arasında homojen dağılımlı rastgele sayılardır.

5.3. Kontrolör Tasarım Yöntemi

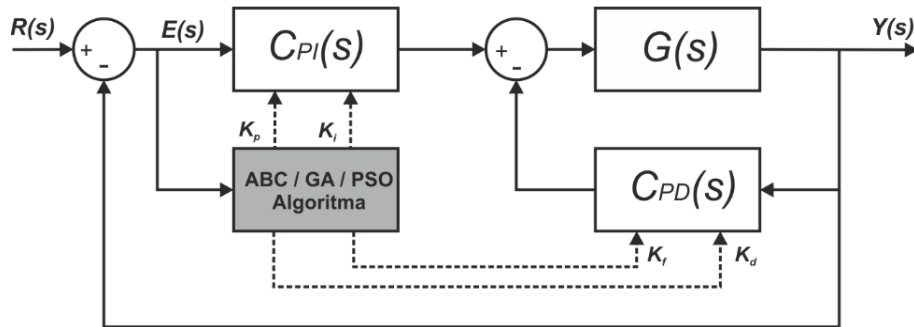
PI ve *PID* kontrolör parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı Şekil 5.1 ile verilmiştir. Burada, *PI* kontrolör tasarımı yapılırken ilk olarak MATLAB /Simulink ortamında kontrol sistemi için, her bir integral performans kriterine göre ayrı ayrı olmak üzere toplamda dört adet model oluşturulur. $G(s)$ ile gösterilen kısma kontrol edilecek olan kesir dereceli sistemin transfer fonksiyonu yazılır. $C(s)$ ile gösterilen kısım için kontrolör parametreleri K_p ve K_i şeklinde yazılır. Burada belirlenecek parametre sayısı ikidir. Algoritmalar için MATLAB ortamında kod hazırlanarak, m dosyası şeklinde kaydedilir. Problemin cinsine göre değişiklik gösterebilen kısıtlar dikkate alınarak, hazırlanan m dosyası çalıştırılır. Algoritmaların

ilk adımında kontrolör parametreleri için rastgele değerler oluşturulur. Programda kontrolör parametreleri yerine konularak uygunluk değeri elde edilir. Algoritmalar belirlenen sonlanma kriteri sağlanıncaya kadar çalışmaya devam eder. Sonlanma kriteri sağlanınca algoritma durur ve optimal kontrolör parametreleri elde edilmiş olur. *PID* kontrolör için de aynı işlemler tekrarlanır, sadece belirlenmesi gereken parametre sayısı üç olarak alınır.



Şekil 5.1. *PI/PID* kontrolörün parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı

PI-PD kontrolör parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı Şekil 5.2 ile verilmiştir. Yukarıda anlatılan işlemler *PI-PD* kontrolörün parametrelerinin belirlenmesi için de geçerlidir. Burada belirlenmesi gereken parametre sayısı dördür.



Şekil 5.2. *PI-PD* kontrolörün parametrelerinin belirlenmesinde kullanılan kontrol sisteminin blok diyagramı

5.4. Simulasyon Çalışması

Bu bölümde anlatılan yöntemlerin uygulandığı üç adet örnek sunulmuş, örneklerde kullanılan algoritmalar için kontrol parametreleri aşağıdaki çizelgede verilmiştir. Simulasyon çalışmalarında Intel Core i5 3.50 GHz işlemcili bir bilgisayar ve MATLAB R2017b programı kullanılmıştır.

Çizelge 5.1. Algoritmalarda kullanılan parametre değerleri

| | ABC Algoritması | Genetik Algoritma | PSO Algoritması |
|----------------------------------|-----------------|-------------------|-----------------|
| Popülasyon büyüklüğü | 30 | 30 | 30 |
| İterasyon sayısı | 50 | 50 | 50 |
| Öğrenme faktörleri(c_1, c_2) | - | - | 2 / 2 |
| Limit | 45 | - | - |
| Mutasyon oranı | - | Kısıt bağımlı | - |

5.4.1. Örnek 1

Farklı algoritmalar kullanarak *PI* kontrolör tasarımları gerçekleştirmek üzere aşağıdaki gibi kesir dereceli bir sistemi örnek olarak ele alalım.

$$G(s) = \frac{2}{s^{3.2} + 6s^{2.2} + 11s^{1.2} + 6s^{0.2}} \quad (5.7)$$

Denklem 5.7 ile verilen kesir dereceli transfer fonksiyonunun tamsayı dereceli yaklaşımı Oustaloup'un 5. dereceden yaklaşım yöntemi kullanılarak aşağıdaki gibi yazılır. $N(s)$ ve $D(s)$ sırasıyla pay ve paydayı gösterir. Oustaloup metodunda $w_b=0.001$, $w_h=1000$ ve $N=2$ olarak seçilmiştir.

$$N(s) = 2s^5 + 706.9s^4 + 1.483e04s^3 + 1.955e04s^2 + 1619s + 7.962$$

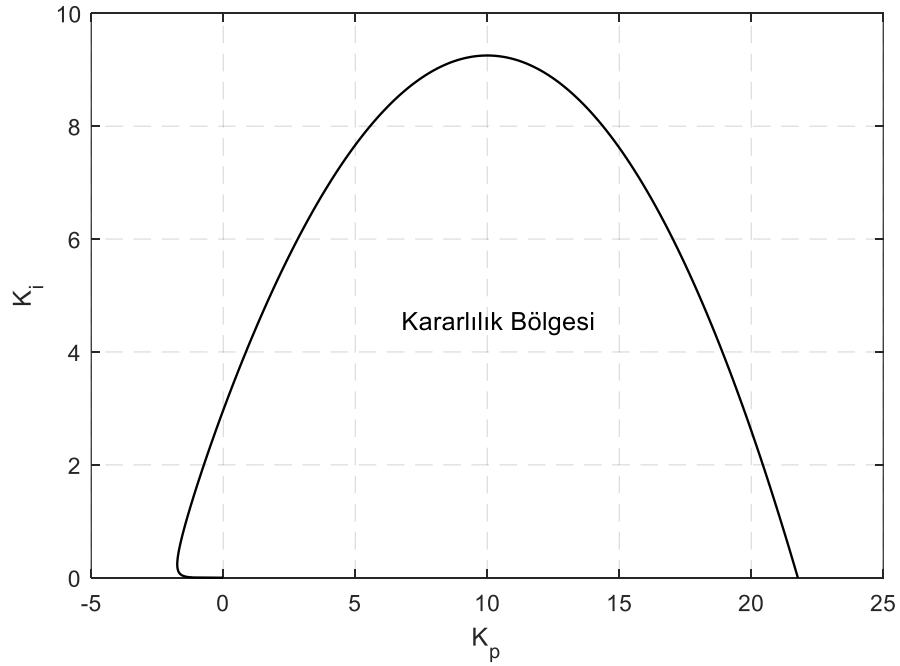
ve

$$D(s) = 3.981s^8 + 833.5s^7 + 1.467e04s^6 + 7.498e04s^5 + 1.572e05s^4 + 1.423e05s^3 + 4.838e04s^2 + 2132s + 6$$

İlk olarak *PI* kontrolör parametrelerinin alt ve üst limitlerini belirlemek için sistemin kararlılık sınır eğrisi elde edilir. Bu sisteme SBL yönteminin uygulanmasıyla K_p ve K_i kontrolör parametrelerine ait denklemler aşağıdaki gibi elde edilmiştir. Denklemlere göre oluşturulan kararlılık sınır eğrisi Şekil 5.3'te gösterilmiştir.

$$K_p = (-0.1545w^{3.2} + 2.853w^{2.2} + 1.6995w^{1.2} - 2.853w^{0.2}) \quad (5.8)$$

$$K_i = (-0.4755w^{4.2} - 0.927w^{3.2} + 5.2305w^{2.2} + 0.927w^{1.2}) \quad (5.9)$$



Şekil 5.3. Kararlılık sınır eğrisi

Optimizasyon algoritmalarında, kontrolör parametrelerinin minimum ve maksimum değerleri kararlılık sınır eğrisi dikkate alınarak belirlenmiştir. K_p parametresi için minimum ve maksimum değer aralığı $[0 \ 21]$, K_i için ise $[0 \ 9.25]$ şeklindedir. ABC, GA ve PSO algoritmaları için 50 iterasyon sonunda uygunluk değerlerine ulaşılmış ve *PI* kontrolör parametreleri elde edilmiştir. Bu işlem her

integral performans kriteri için tekrarlanmıştır. Optimizasyon işlemlerinin sonunda 12 farklı kontrolör parametresi belirlenmiştir. ABC, GA ve PSO algoritmaları ile belirlenen kontrolör parametreleri Çizelge 5.2 ile verilmiştir. Her optimizasyonun sonunda çıkan uygunluk değerleri de çizelgede verilmiştir. Çizelge 5.2 incelendiğinde, kontrolör parametreleri açısından optimizasyon algoritmaları arasında çok büyük farklar olmadığı, integral performans kriterleri arasında ise ciddi farklar olduğu dikkat çekmektedir. ITSE performans kriteri, diğerlerine göre fark edilir derecede küçük uygunluk değerine sahiptir.

Çizelge 5.3, belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen zaman cevaplarının özelliklerini göstermektedir. Örneğin, ITAE kriteri ile maksimum aşma yaklaşık %32 civarındayken, ITSE kriteri ile %17'lere düşmektedir. En iyi yerleşme zamanı da ITSE kriteri ile sağlanmaktadır. En hızlı yükselme zamanı ISE kriteri ile sağlanmaktadır. Ayrıca, Çizelge 5.3 ile optimizasyon algoritmaları, durma zamanları açısından karşılaştırılmıştır. GA ve PSO algoritmalarında durma zamanlarının birbirine yakın olduğu, ABC algoritmasının ise diğerlerinden yaklaşık 2 kat daha uzun sürdüğü görülmektedir. Bu durum ise ABC algoritmasının dezavantajı olarak söylenebilir.

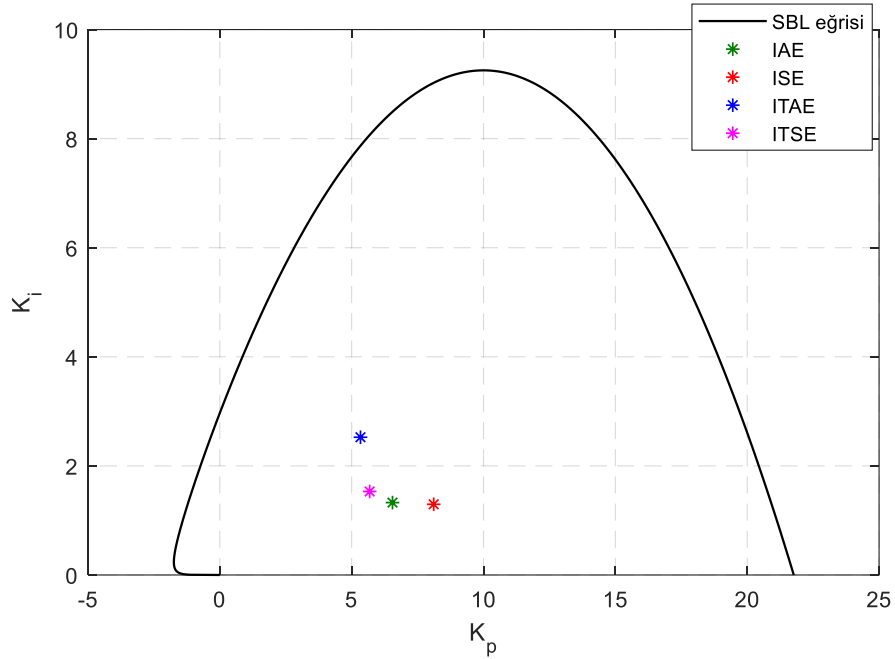
Çizelge 5.2. *PI* kontrolör parametreleri

| Uygunluk (amaç) Fonksiyonu | Optimizasyon algoritması | K_p | K_i | Uygunluk değeri (J) |
|----------------------------|--------------------------|--------|--------|-------------------------|
| IAE | ABC | 6.5481 | 1.3271 | 1.7739 |
| | GA | 6.5595 | 1.3321 | 1.7739 |
| | PSO | 6.5260 | 1.3184 | 1.7741 |
| ISE | ABC | 8.1110 | 1.2960 | 0.8630 |
| | GA | 8.1104 | 1.2959 | 0.8630 |
| | PSO | 7.3886 | 1.0855 | 0.8720 |
| ITAE | ABC | 5.3348 | 2.5254 | 6.5248 |
| | GA | 5.3350 | 2.5253 | 6.5248 |
| | PSO | 5.3738 | 2.5730 | 6.5280 |
| ITSE | ABC | 5.6829 | 1.5311 | 0.6639 |
| | GA | 5.6843 | 1.5315 | 0.6639 |
| | PSO | 5.7824 | 1.5061 | 0.6643 |

Çizelge 5.3. Zaman cevabı özellikleri

| Amaç fonksiyonu | Optimizasyon algoritması | M_p (%) | tr (s) | ts (s) (%2) | tp (s) | Durma zamanı (s) |
|-----------------|--------------------------|-----------|----------|---------------|----------|------------------|
| IAE | ABC | 18.8047 | 1.0011 | 9.0799 | 2.2958 | 937 |
| | GA | 18.6684 | 1.0017 | 9.1484 | 2.2951 | 427 |
| | PSO | 18.5833 | 1.0043 | 9.0982 | 2.2989 | 433 |
| ISE | ABC | 25.8440 | 0.8658 | 11.3616 | 2.0815 | 886 |
| | GA | 25.5617 | 0.8676 | 11.5151 | 2.0815 | 441 |
| | PSO | 19.8660 | 0.9369 | 11.9865 | 2.1601 | 462 |
| ITAE | ABC | 32.1978 | 1.0234 | 8.3331 | 2.5972 | 904 |
| | GA | 32.0966 | 1.0241 | 8.3154 | 2.5987 | 410 |
| | PSO | 32.9525 | 1.0156 | 11.7447 | 2.5883 | 467 |
| ITSE | ABC | 17.9317 | 1.0822 | 5.9047 | 2.4771 | 871 |
| | GA | 17.7495 | 1.0839 | 5.9227 | 2.4771 | 434 |
| | PSO | 17.9526 | 1.0724 | 5.8819 | 2.4539 | 457 |

ABC algoritma ile elde edilen kontrolör parametrelerinin kararlılık sınır eğrisi içerisindeki dağılımını gösteren grafik Şekil 5.4 ile verilmiştir. Burada, tüm hata kriterleri için belirlenen kontrolör parametrelerinin birbirine çok yakın bölgelerde bulunduğu fark edilmektedir.



Şekil 5.4. ABC algoritması ile belirlenen PI kontrolörlerin kararlılık sınır eğrisi içerisindeki dağılımı

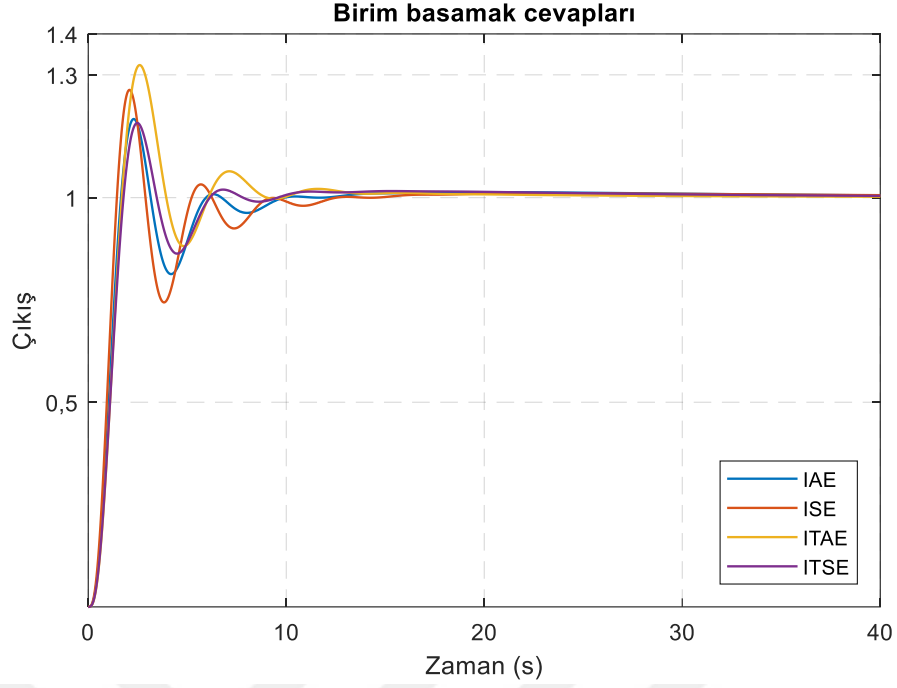
ABC algoritması kullanılarak tasarlanan kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevapları Şekil 5.5 ile gösterilmiştir. Uygunluk değerlerinin iterasyon sayısına göre değişimini gösteren grafik Şekil 5.6 ile verilmiştir. Şekil incelendiğinde uygunluk değerlerinin 50 iterasyondan önce optimal değerlerine görülmektedir.

GA kullanılarak belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemlerin kapalı çevrim birim basamak cevapları Şekil 5.7 ile gösterilmiştir. Şekilde ITSE kriterine göre belirlenen kontrolör parametresinin sistemi daha küçük yüzde aşma ve hızlı yerleşme zamanı ile kontrol ettiği görülmektedir. Ayrıca uygunluk değerleri Şekil 5.8 ile sunulmuştur. Şekil incelendiğinde uygunluk değerlerinin 50 iterasyondan çok önce değerlerine ulaştığı görülmektedir. Burada integral performans kriterleri açısından bir karşılaştırma yapmak gerekirse, en yüksek uygunluk değerine sahip IAE kriteri için iterasyon sayısı daha fazla olarak görülmektedir.

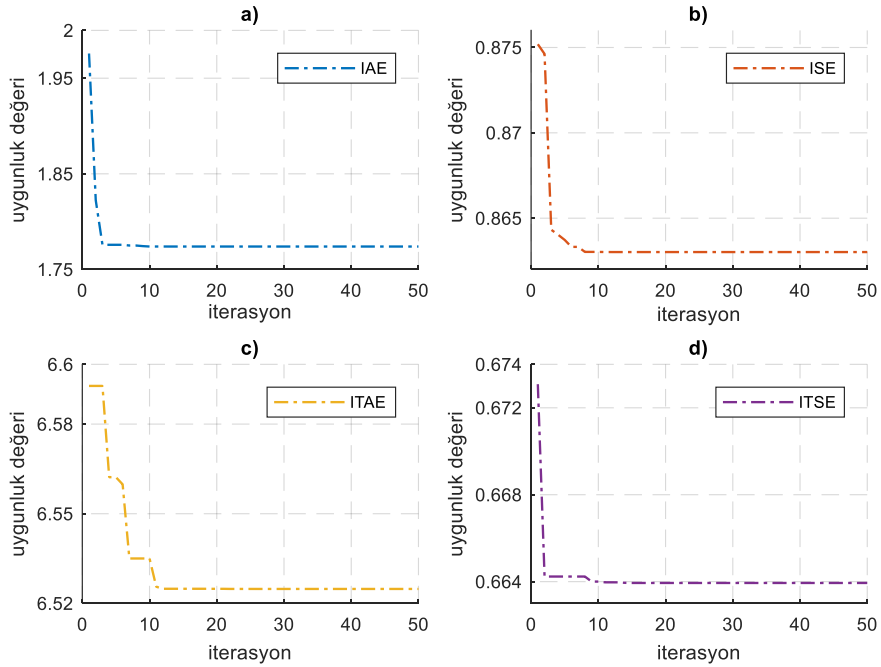
Ayrıca, bu sistem için Ziegler-Nichols yöntemi kullanılarak *PI* kontrolör tasarımı yapılmış ve kontrolör parametreleri $K_p=10.1$, $K_i=5.12$ olarak hesaplanmıştır. Belirlenen kontrolörün sisteme uygulanmasıyla birim basamak cevabı Şekil 5.9 şeklinde elde edilmiştir. Şekilde karşılaştırma yapılabilmesi açısından, optimizasyon algoritmaları ile belirlenen kontrolörlerin kullanılması ile elde edilen birim basamak cevapları da sunulmuştur. Optimizasyon yöntemleri ile belirlenen kontrolörlerin çok daha başarılı bir şekilde sistemi kontrol edebileceği şekilden açıkça görülmektedir.

PSO algoritması kullanılarak tasarlanan kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevapları Şekil 5.10 ile gösterilmiştir. Yaklaşık olarak %17 civarında maksimumu aşma değeri, 6 sn yerleşme süresini sağlayan ITSE performans kriteri ile elde edilen kontrolörlerin sistemi diğerlerine göre daha başarılı bir şekilde kontrol ettiği söylenebilir. Uygunluk değerlerini gösteren grafik Şekil 5.11 ile verilmiştir. Bu grafikte de uygunluk değerlerinin maksimum iterasyon sayısından oldukça önce sağlandığı görülmektedir.

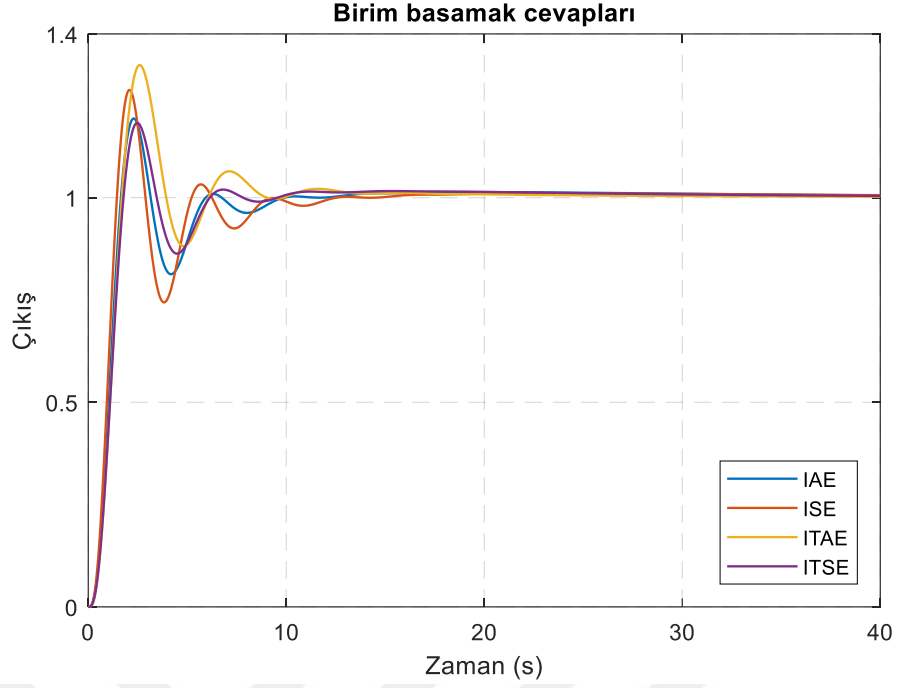
ABC algoritması ile belirlenen *PI* kontrolörlerin sisteme uygulanmasıyla elde edilen kontrol sinyalleri Şekil 5.12 ile gösterilmiştir. ITSE ile elde edilen *PI* parametrelerinin diğerlerine göre daha küçük bir kontrol sinyali ürettiği şekilden görülmektedir. Benzer şekilde, GA ve PSO algoritması ile belirlenen *PI* kontrolörlerin sisteme uygulanmasıyla elde edilen kontrol sinyalleri sırasıyla Şekil 5.13 ve Şekil 5.14 ile gösterilmiştir.



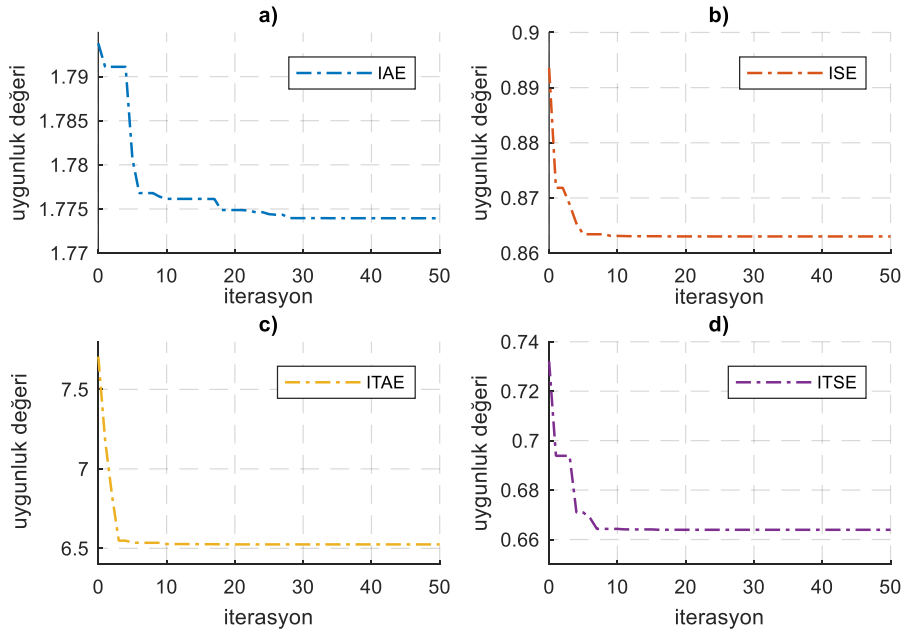
Şekil 5.5. ABC algoritması ile belirlenen PI kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



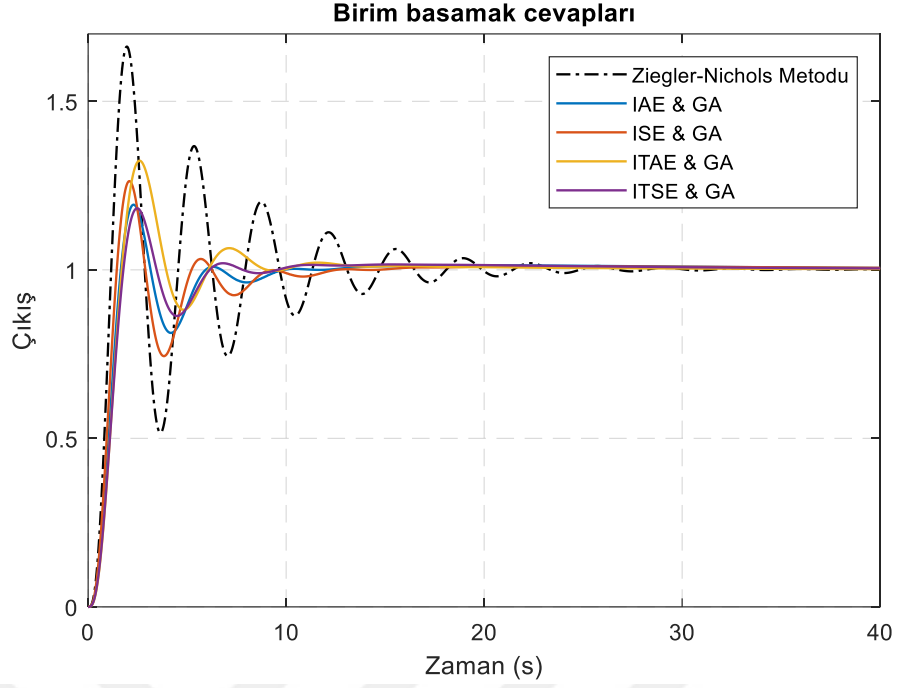
Şekil 5.6. ABC algoritması ile elde edilen uygunluk değerleri



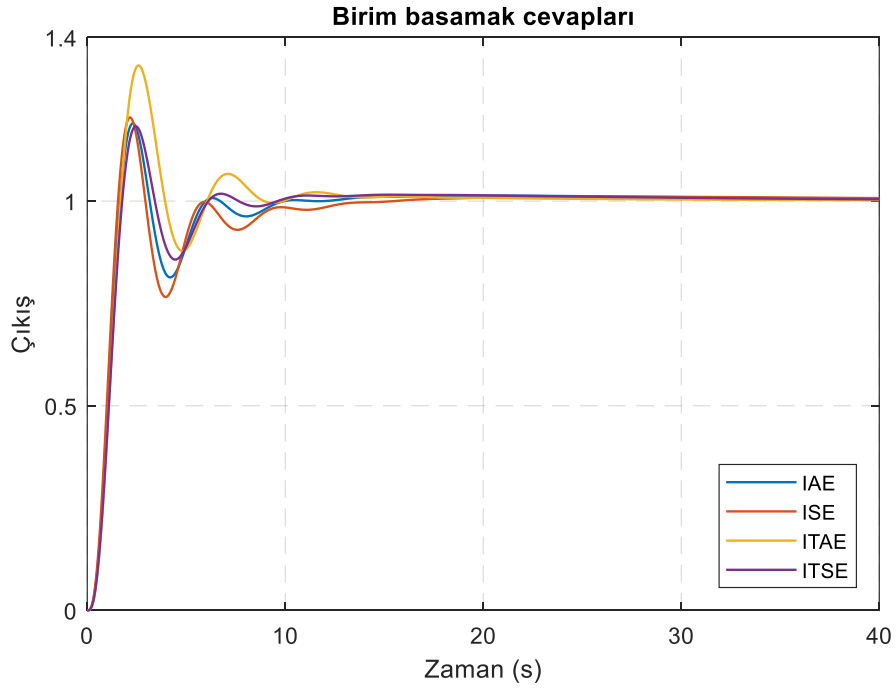
Şekil 5.7. Genetik algoritma ile belirlenen *PI* kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



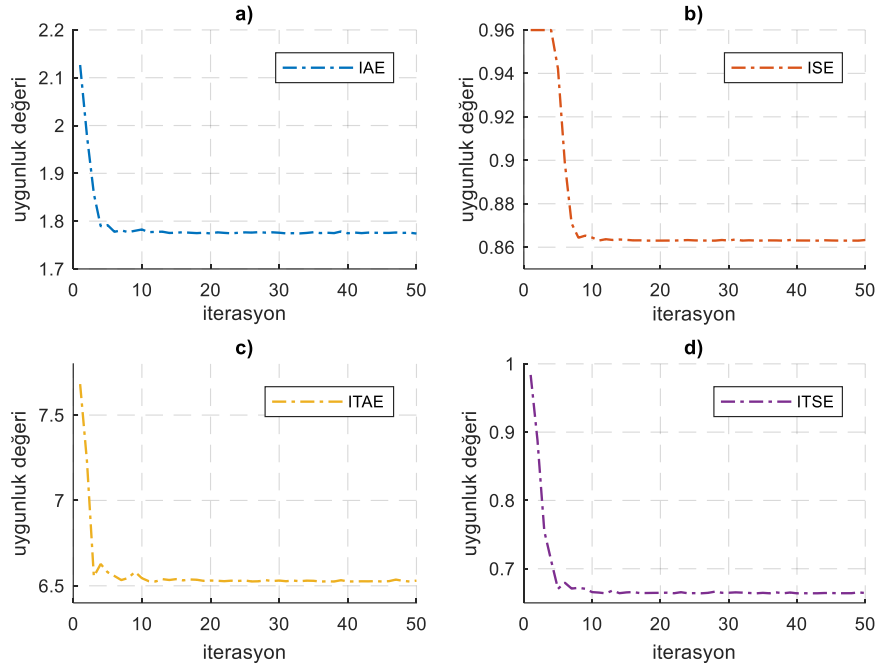
Şekil 5.8. Genetik algoritma ile elde edilen uygunluk değerleri



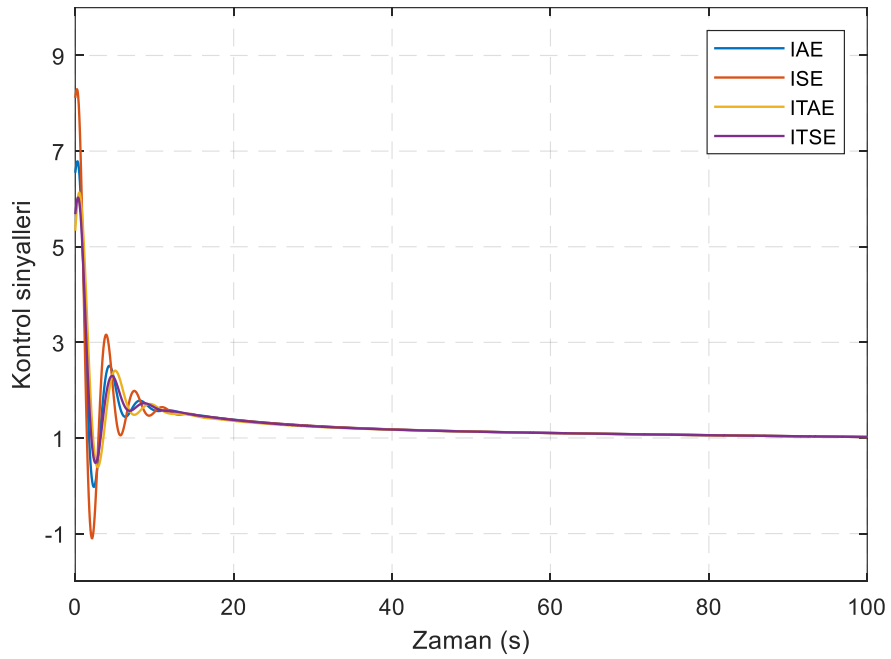
Şekil 5.9. Genetik algoritma ve Ziegler-Nichols metodu ile belirlenen PI kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



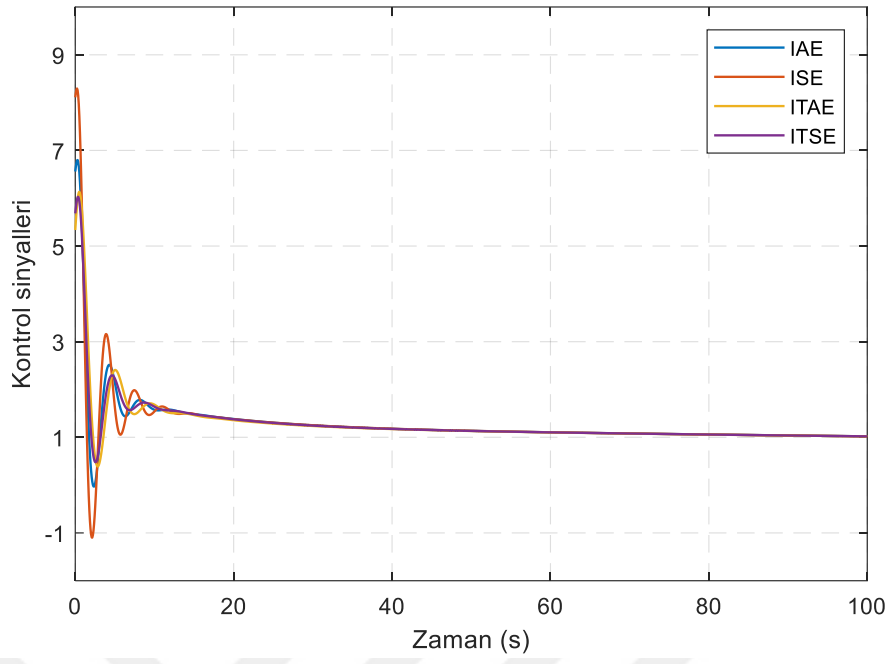
Şekil 5.10. PSO algoritması ile belirlenen PI kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



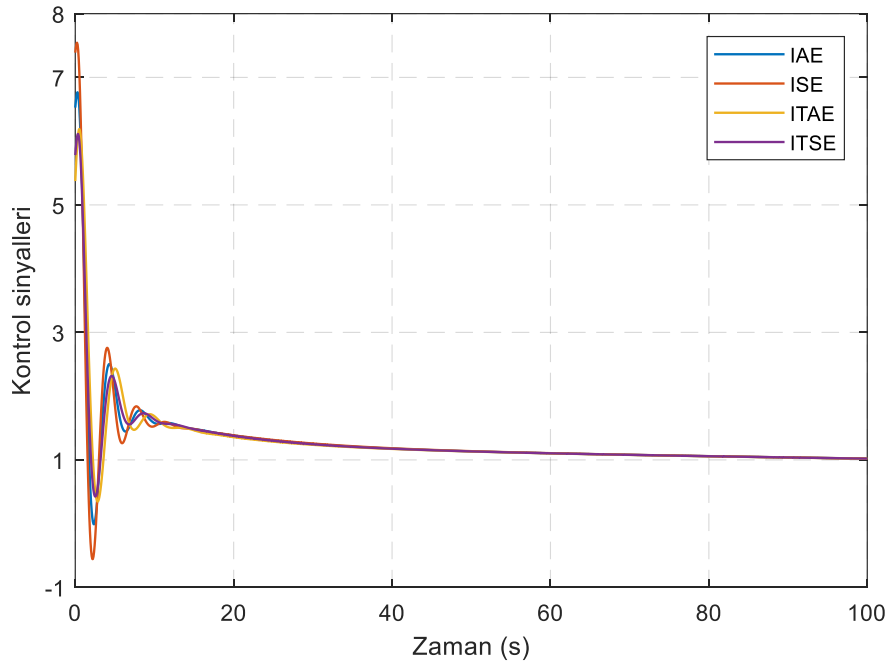
Şekil 5.11. PSO algoritması ile elde edilen uygunluk değerleri



Şekil 5.12. ABC algoritması ile belirlenen PI kontrolörler için kontrol sinyalleri



Şekil 5.13. Genetik algoritma ile belirlenen PI kontrolörler için kontrol sinyalleri



Şekil 5.14. PSO algoritması ile belirlenen PI kontrolörler için kontrol sinyalleri

5.4.2. Örnek 2

Kesir dereceli bir sistem Denklem 5.10'da ki gibi verilsin. Bu sistem için *PID* kontrolör tasarımı gerçekleştirmek üzere yapılan çalışma aşağıdaki gibidir.

$$G(s) = \frac{N(s)}{D(s)} = \frac{1}{0.8s^{2.2} + 0.5s^{0.9} + 1} \quad (5.10)$$

Denklem 5.10 ile verilen kesir dereceli transfer fonksiyonunun tamsayı dereceli yaklaşımı Oustaloup'un 5. dereceden yaklaşım yöntemi kullanılarak aşağıdaki gibi yazılır.

$$N(s) = s^{10} + 1283s^9 + 3.873e05s^8 + 2.521e07s^7 + 4.522e08s^6 + 1.834e09s^5 + 2.067e09s^4 + 5.266e08s^3 + 3.698e07s^2 + 5.601e05s + 1995$$

ve

$$D(s) = 3.185s^{12} + 3608s^{11} + 7.736e05s^{10} + 4.117e07s^9 + 5.31e08s^8 + 1.923e09s^7 + 2.683e09s^6 + 3.193e09s^5 + 2.407e09s^4 + 5.525e08s^3 + 3.747e07s^2 + 5.623e05s + 1997$$

K_p , K_i , K_d parametreleri için minimum ve maksimum değer aralıkları [0 15] olacak şekilde alınmıştır. İlk örnekte olduğu gibi, bu örnekte de ABC, GA ve PSO algoritmaları kontrolör parametrelerini belirlemek için 50 iterasyon çalıştırılmıştır. 50 iterasyon sonunda en iyi uygunluk değerine ulaşılmış, bu değere karşılık gelen *PID* kontrolör parametreleri belirlenmiştir. Belirlenen kontrolör parametreleri ve uygunluk değerleri Çizelge 5.4 ile verilmiştir. Çizelgeden, en iyi uygunluk değerinin ITSE kriteri ile sağlandığı görülmektedir.

Çizelge 5.5'te kontrolörlü sistemin zaman cevabı ile ilgili bazı özellikleri verilmiştir. Burada ITAE kriteri ile belirlenen kontrolörün sisteme uygulanmasıyla elde edilen kapalı çevrim birim basamak cevaplarında en küçük maksimum aşmayı sağladığı görülmektedir. Ayrıca ITAE kriterinde algoritmalar arasında bir karşılaştırma yapmak gerekirse, en düşük maksimum aşmanın PSO algoritması ile sağlandığı söylenebilir. Yine ITAE kriterinde en küçük yükselme, yerleşme ve tepe zamanlarının GA ile sağlandığı görülmektedir.

Çizelge 5.4. *PID* kontrolör parametre ve uygunluk değerleri

| Amaç fonksiyonu | Optimizasyon algoritması | K_p | K_i | K_d | Uygunluk değeri (J) |
|-----------------|--------------------------|---------|--------|--------|-------------------------|
| IAE | ABC | 14.9607 | 2.7281 | 4.9348 | 0.4317 |
| | GA | 14.9922 | 2.6162 | 5.5030 | 0.4270 |
| | PSO | 15.00 | 2.5773 | 5.4806 | 0.4271 |
| ISE | ABC | 15.00 | 3.0746 | 4.6015 | 0.2772 |
| | GA | 14.9999 | 3.0321 | 4.6043 | 0.2772 |
| | PSO | 15.00 | 3.0336 | 4.5974 | 0.2773 |
| ITAE | ABC | 9.0797 | 2.3351 | 3.4333 | 0.2362 |
| | GA | 14.9816 | 2.7099 | 5.0285 | 0.2224 |
| | PSO | 12.2020 | 2.2016 | 5.0294 | 0.2570 |
| ITSE | ABC | 15.00 | 2.8656 | 4.7405 | 0.0500 |
| | GA | 14.9999 | 2.8440 | 5.1219 | 0.0500 |
| | PSO | 15.00 | 2.8494 | 5.1073 | 0.0501 |

Çizelge 5.5. Zaman cevabı özellikleri

| Amaç fonksiyonu | Optimizasyon algoritması | M_p (%) | tr (s) | ts (s) (%2) | tp (s) | Durma zamanı (s) |
|-----------------|--------------------------|-----------|----------|---------------|----------|------------------|
| IAE | ABC | 9.2639 | 0.4424 | 1.9983 | 0.9122 | 786 |
| | GA | 4.2527 | 0.4845 | 1.8858 | 0.9558 | 392 |
| | PSO | 4.3482 | 0.4829 | 1.9081 | 0.9530 | 401 |
| ISE | ABC | 13.3613 | 0.4184 | 1.9999 | 0.8931 | 724 |
| | GA | 13.2061 | 0.4190 | 2.0068 | 0.8931 | 374 |
| | PSO | 13.3140 | 0.4185 | 2.0053 | 0.8926 | 417 |
| ITAE | ABC | 12.9690 | 0.5230 | 2.5212 | 1.1092 | 771 |
| | GA | 8.3780 | 0.4484 | 1.9862 | 0.9177 | 398 |
| | PSO | 2.5420 | 0.5492 | 2.1177 | 1.0625 | 406 |
| ITSE | ABC | 11.4846 | 0.4282 | 2.0075 | 0.8995 | 847 |
| | GA | 7.7957 | 0.4535 | 1.9440 | 0.9242 | 392 |
| | PSO | 8.0099 | 0.4520 | 1.9374 | 0.9231 | 444 |

Şekil 5.15, ABC algoritması kullanılarak tasarımı yapılan kontrolörlerin sisteme uygulanmasıyla elde edilen sistemlerin kapalı çevrim birim basamak cevaplarını gösterir. Şekilden ITAE kriterinin en küçük yüzde aşmaya sahip olduğu açıkça görülmektedir. Ayrıca uygunluk değerlerini gösteren grafik Şekil 5.16 ile sunulmuştur. Uygunluk değerlerinin yaklaşık 25 iterasyon civarında oturduğu şekilden görülmektedir.

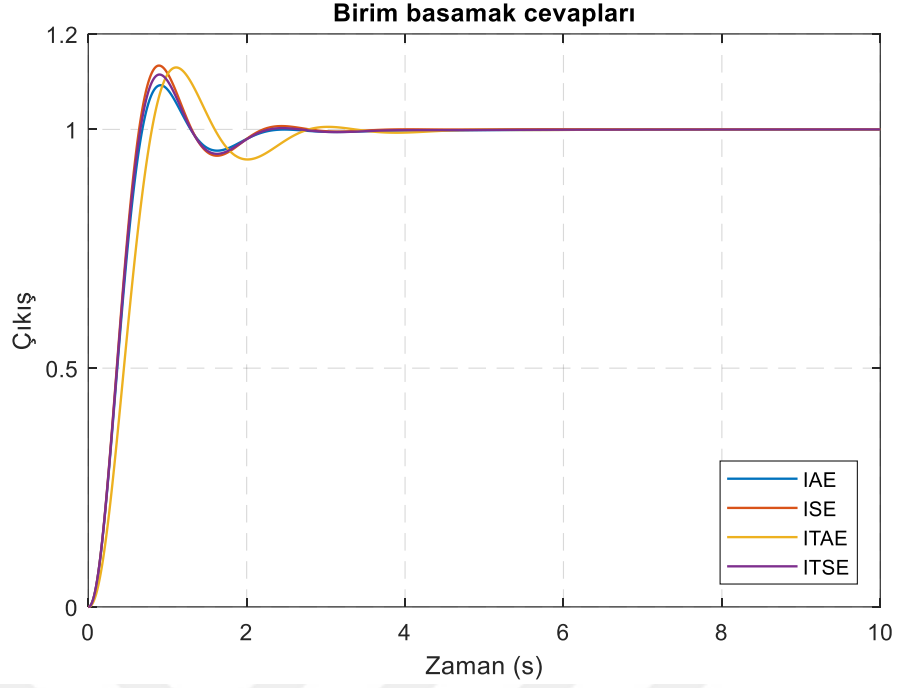
Şekil 5.17 ile GA kullanılarak belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemlerin kapalı çevrim birim basamak cevapları verilmiştir. Şekilden IAE kriteri tabanlı kontrolörle denetlenen sistemin maksimum aşmasının diğerlerine göre daha küçük olduğu görülmektedir. Yerleşme süresi olarak, IAE kriteri ile belirlenen kontrolörün daha başarılı olduğu söylenebilir. En kısa sürede gerçekleşen yükselme ve tepe zamanı ISE kriteri ile sağlanmaktadır.

Şekil 5.18, PSO algoritmasıyla belirlenen kontrolörlerin sisteme uygulanmasıyla elde edilen, sistemin kapalı çevrim birim basamak cevap eğrilerini göstermektedir. Burada, eğer istenen sistem özelliklerinde önemli olan maksimum aşmanın düşük olması ise ITAE kriteri en küçük maksimum aşmayı sağlamaktadır. Yerleşme zamanı olarak ise IAE kriteri daha başarılı sonuç vermektedir.

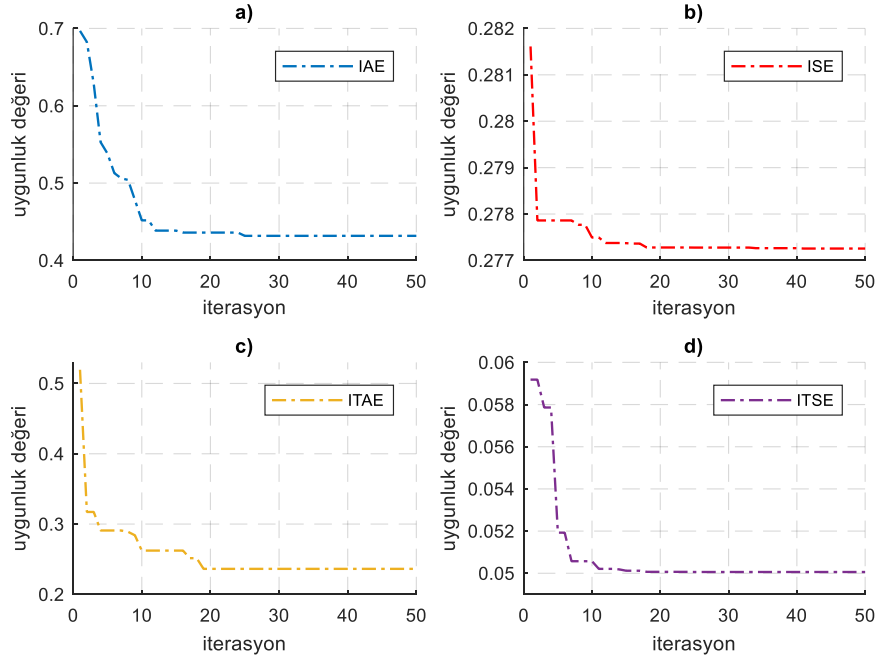
Şekil 5.19, her bir integral performans kriteri için PSO algoritması ile elde edilen uygunluk değerlerini göstermektedir. ISE ve ITSE kriteri için uygunluk değerlerinin yaklaşık 30 iterasyon civarında sağlandığı görülmektedir. IAE ve ITAE kriterleri için uygunluk değerlerinin 50 iterasyon civarında oturmaya başladığı şekilden görülmektedir. Bu örnek için algoritmalar arasında bir kıyas yapılırsa, ABC algoritması ile uygunluk değerlerinin daha az iterasyonla sağlandığı söylenebilir.

Verilen kesir dereceli sistem için Ziegler-Nichols yöntemi kullanılarak *PID* kontrolör tasarımı yapılmış ve kontrolör parametreleri $K_p=0.7944$, $K_i=0.429$, $K_d=0.3674$ olarak belirlenmiştir. Belirlenen kontrolörün sisteme uygulanmasıyla elde edilen birim basamak cevap eğrisi Şekil 5.20'de verilmiştir. Ayrıca, şekilde IAE kriteri ile farklı optimizasyon algoritmaları ile belirlenen kontrolörlerle denetlenen sistemlerin birim basamak cevapları da sunulmuştur. Optimizasyon algoritmaları ile belirlenen kontrolörlerin sistemi çok daha kısa sürede kararlı hale getirdiği görülür. Şekil 5.21'de ITAE performans kriterine göre farklı algoritmalar ile elde edilen kontrolörler ile denetlenen sistemlerin birim basamak cevapları verilmiştir.

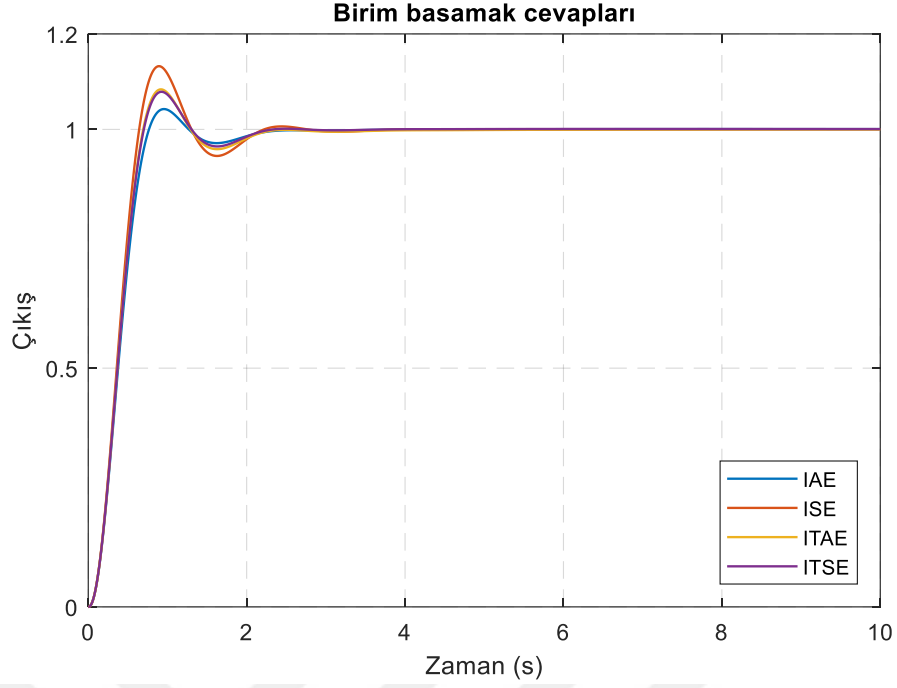
Şekil 5.22 ile verilen kontrol sinyalinde, ITAE kriteri ile daha küçük bir kontrolör seviyesi sağlandığı görülmektedir. Burada ABC algoritması kullanılmıştır. Şekil 5.23 ve Şekil 5.24, sırasıyla GA ve PSO algoritması ile elde edilen kontrol sinyallerini göstermektedir.



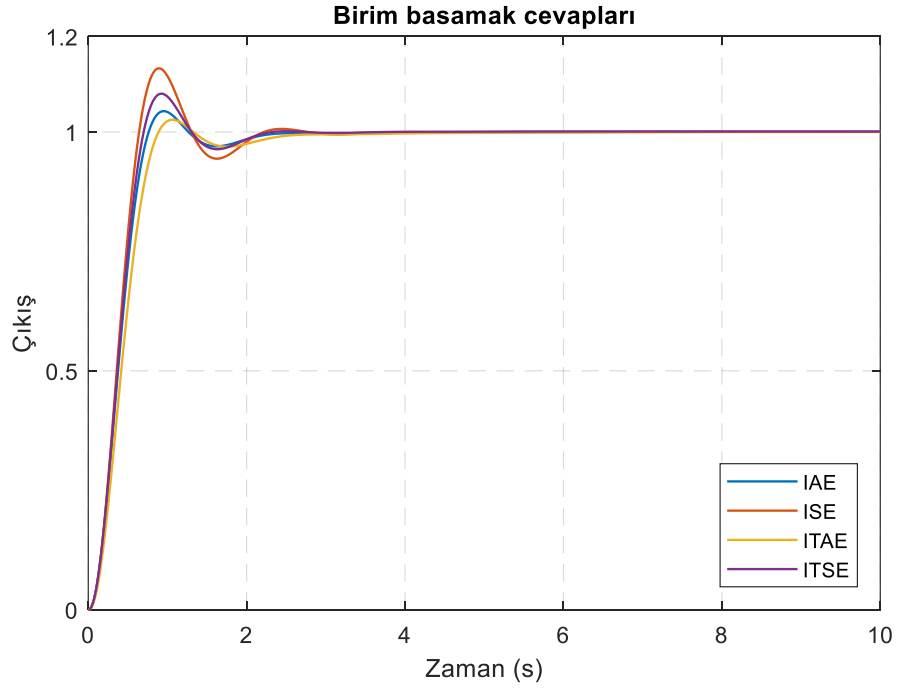
Şekil 5.15. ABC algoritması ile belirlenen *PID* kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



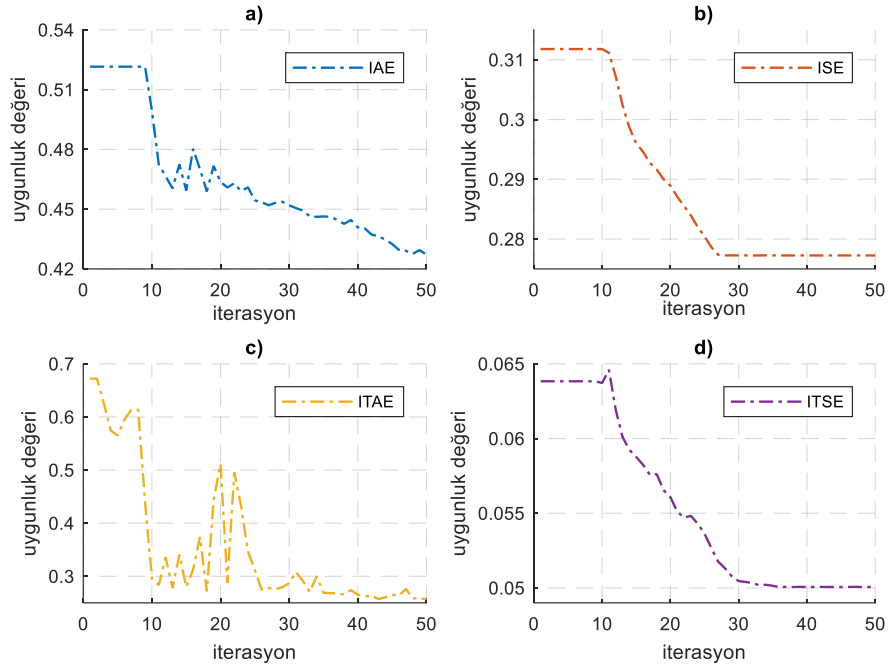
Şekil 5.16. ABC algoritması ile elde edilen uygunluk değerleri



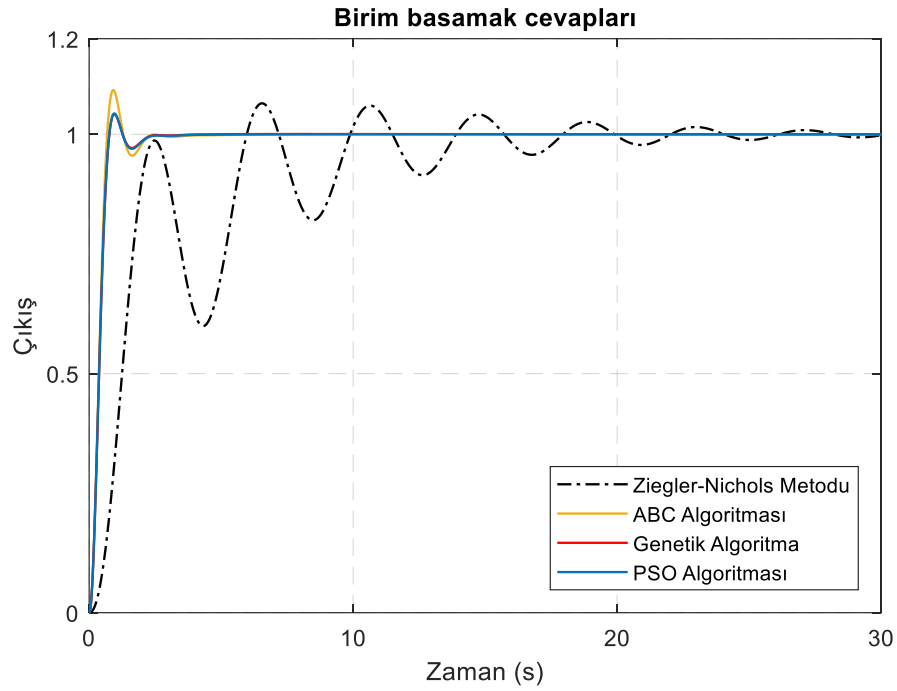
Şekil 5.17. Genetik algoritma ile belirlenen PID kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



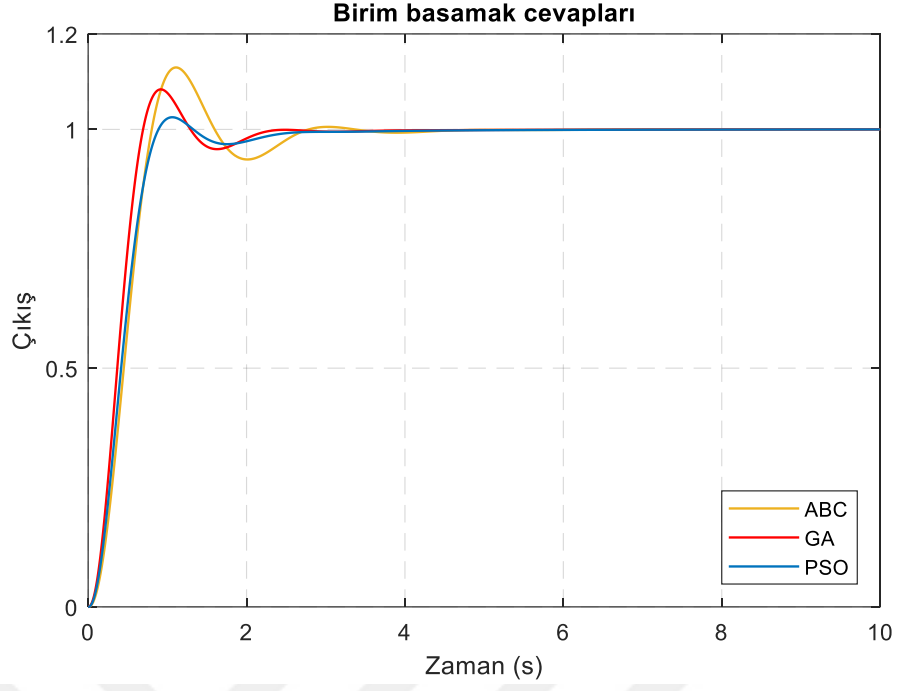
Şekil 5.18. PSO algoritması ile belirlenen PID kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



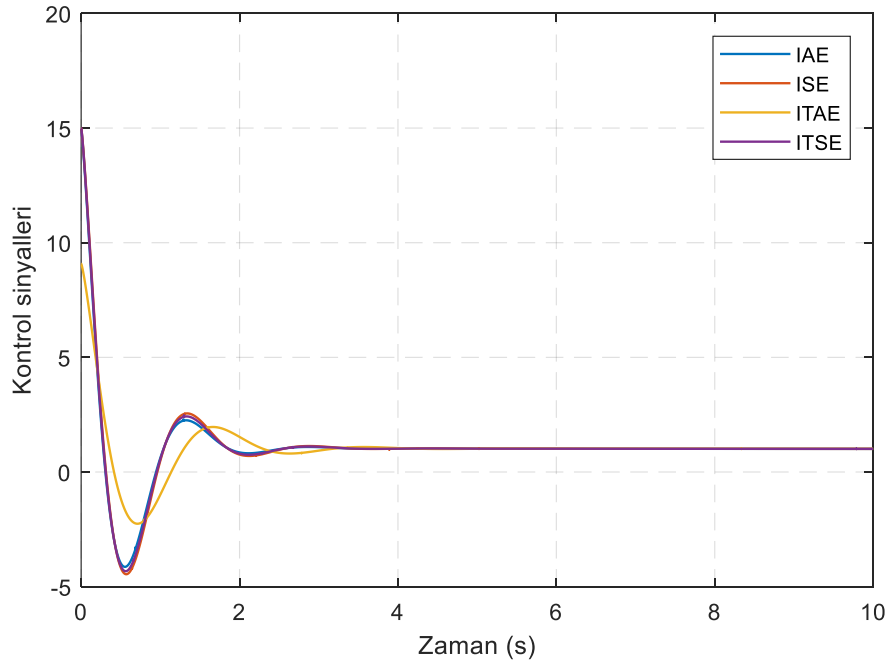
Şekil 5.19. PSO algoritması ile elde edilen uygunluk değerleri



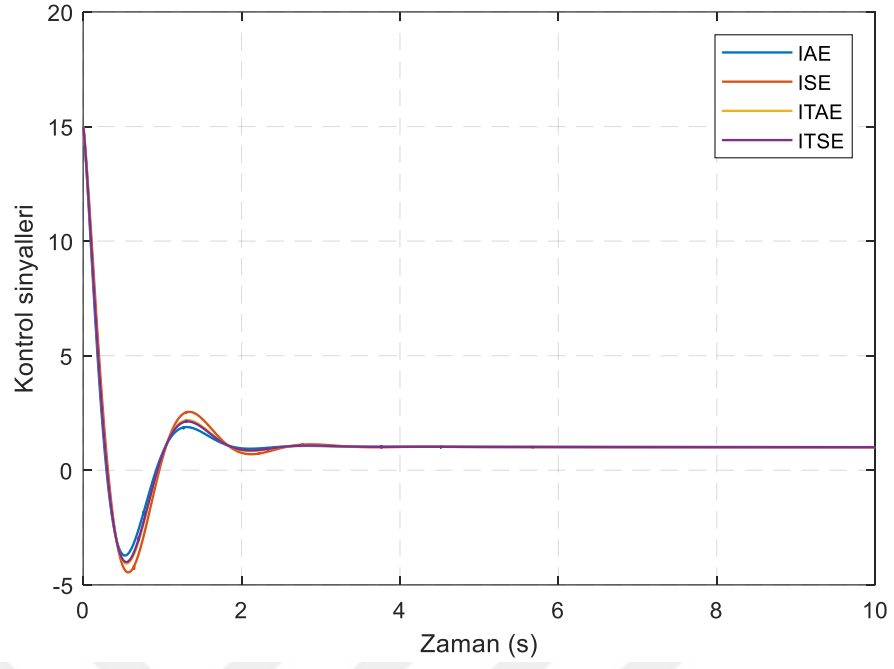
Şekil 5.20. IAE performans kriteri ve Ziegler-Nichols metoduna göre elde edilmiş *PID* kontrolörlerin sisteme uygulanmasıyla elde edilmiş birim basamak cevapları



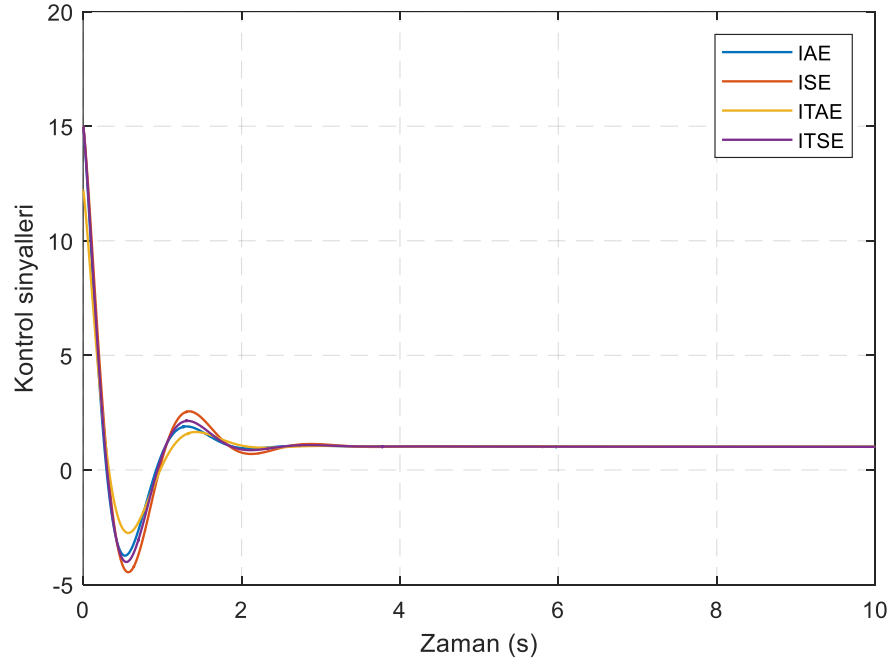
Şekil 5.21. ITAE performans kriterine göre farklı algoritmalar ile elde edilen kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



Şekil 5.22. ABC algoritması ile belirlenen *PID* kontrolörler için kontrol sinyalleri



Şekil 5.23. Genetik algoritma ile belirlenen PID kontrolörler için kontrol sinyalleri



Şekil 5.24. PSO algoritması ile belirlenen PID kontrolörler için kontrol sinyalleri

5.4.3. Örnek 3

Aşağıdaki gibi kesir dereceli bir sistem örnek olarak alınmış olsun. Bu sistemin kontrolünü *PI-PD* kontrolör yapısı ile sağlayalım.

$$G(s) = \frac{N(s)}{D(s)} = \frac{0.4s + 1}{0.02s^{3.9} + 0.3s^{3.2} + s^{2.3} + 0.04s^{0.8}} \quad (5.11)$$

Denklem 5.11 ile verilen kesir dereceli transfer fonksiyonunun tamsayı dereceli yaklaşımı Oustaloup'un 5. dereceden yaklaşım yöntemi kullanılarak aşağıdaki gibi yazılır.

$$\begin{aligned} N(s) = & 0.4s^{21} + 1000s^{20} + 9.321e05s^{19} + 4.038e08s^{18} + 8.428e10s^{17} + 8.151e12s^{16} \\ & + 3.983e14s^{15} + 1.024e16s^{14} + 1.384e17s^{13} + 9.645e17s^{12} + 3.701e18s^{11} + 8.117e18s^{10} \\ & + 1.014e19s^9 + 6.903e18s^8 + 2.384e18s^7 + 4.289e17s^6 + 4.038e16s^5 + 1.916e15s^4 \\ & + 4.202e13s^3 + 4.437e11s^2 + 2.178e09s + 3.981e06 \end{aligned}$$

ve

$$\begin{aligned} D(s) = & 11.22s^{23} + 1.931e04s^{22} + 1.178e07s^{21} + 3.224e09s^{20} + 4.15e11s^{19} + 2.743e13s^{18} \\ & + 9.837e14s^{17} + 1.944e16s^{16} + 2.111e17s^{15} + 1.281e18s^{14} + 4.433e18s^{13} + 8.721e18s^{12} \\ & + 9.477e18s^{11} + 5.562e18s^{10} + 1.795e18s^9 + 3.439e17s^8 + 4.216e16s^7 + 3.358e15s^6 \\ & + 1.603e14s^5 + 4.008e12s^4 + 5.033e10s^3 + 3.046e08s^2 + 8.035e05s + 634 \end{aligned}$$

ABC, GA ve PSO algoritmalarının 50 iterasyon çalıştırılması sonucunda elde edilen kontrolör parametreleri Çizelge 5.6 ile verilmiştir. K_p , K_i , K_f ve K_d parametreleri için minimum ve maksimum değer aralıkları [0 15] olacak şekilde seçilmiştir. Bu sistemlere ait zaman cevabı özellikleri Çizelge 5.7 ile verilmiştir.

Çizelge 5.6. *PI-PD* kontrolör parametre ve uygunluk değerleri

| Amaç fonksiyonu | Optimizasyon algoritması | K_p | K_i | K_f | K_d | Uygunluk değeri (J) |
|-----------------|--------------------------|---------|---------|--------|--------|---------------------|
| IAE | ABC | 15.00 | 12.1097 | 4.8044 | 7.0743 | 0.4402 |
| | GA | 14.9960 | 4.9220 | 2.0380 | 6.6420 | 0.4524 |
| | PSO | 14.9896 | 13.0523 | 5.2798 | 7.2162 | 0.4403 |
| ISE | ABC | 15.00 | 15.00 | 5.8742 | 6.1430 | 0.2961 |
| | GA | 14.9980 | 14.9820 | 5.8080 | 6.0400 | 0.2961 |
| | PSO | 15.00 | 13.1901 | 5.0369 | 6.0007 | 0.2972 |
| ITAE | ABC | 14.1699 | 15.00 | 6.2821 | 6.9250 | 0.1718 |
| | GA | 14.9810 | 10.4990 | 4.4090 | 7.1140 | 0.1773 |
| | PSO | 12.9476 | 13.8493 | 6.3098 | 7.2909 | 0.1853 |
| ITSE | ABC | 15.00 | 15.00 | 6.4156 | 6.7496 | 0.0555 |
| | GA | 14.9780 | 14.9870 | 5.6650 | 6.6540 | 0.0556 |
| | PSO | 15.00 | 15.00 | 5.7050 | 6.6620 | 0.0556 |

Çizelge 5.7. Zaman cevabı özellikleri

| Amaç fonksiyonu | Optimizasyon algoritması | M_p (%) | tr (s) | ts (s) (%2) | tp (s) | Durma zamanı (s) |
|-----------------|--------------------------|-----------|----------|---------------|----------|------------------|
| IAE | ABC | 3.8574 | 0.5012 | 1.2488 | 1.0257 | 1136 |
| | GA | 2.8718 | 0.5239 | 1.2245 | 1.0665 | 507 |
| | PSO | 3.0619 | 0.5087 | 1.2010 | 1.0342 | 537 |
| ISE | ABC | 10.2058 | 0.4297 | 2.1377 | 0.9077 | 1020 |
| | GA | 11.3096 | 0.4234 | 2.1369 | 0.9028 | 520 |
| | PSO | 11.4209 | 0.4274 | 2.1561 | 0.9150 | 554 |
| ITAE | ABC | 3.7187 | 0.5012 | 2.0005 | 1.0098 | 1081 |
| | GA | 0.0148 | 0.5319 | 2.2747 | 7.5896 | 510 |
| | PSO | 0.5220 | 0.5880 | 0.9470 | 1.1891 | 545 |
| ITSE | ABC | 4.2833 | 0.4715 | 2.1587 | 0.9422 | 969 |
| | GA | 9.4323 | 0.4425 | 2.0723 | 0.9366 | 505 |
| | PSO | 7.5245 | 0.4563 | 2.0154 | 0.9521 | 543 |

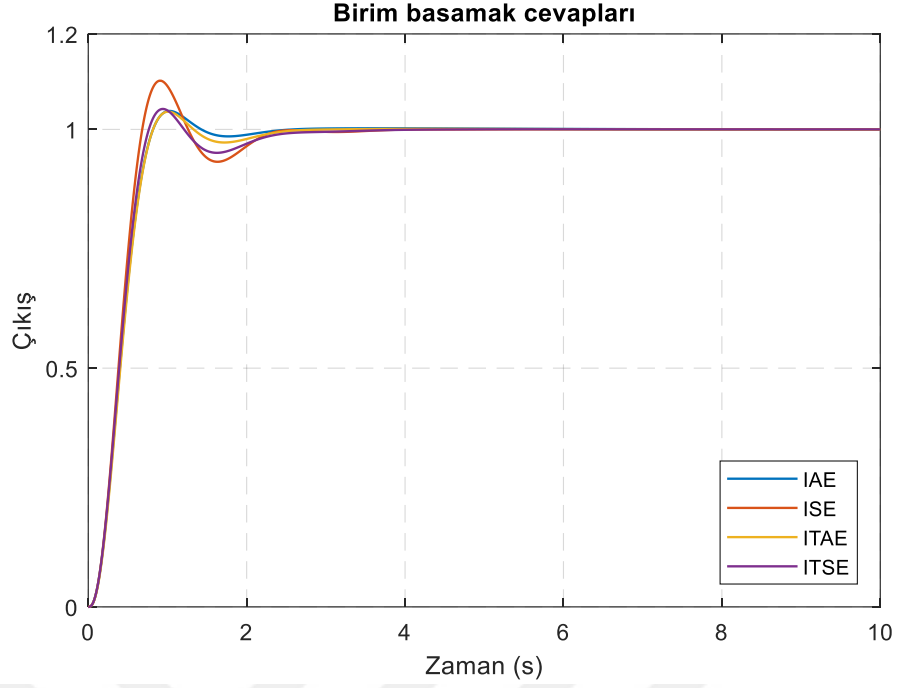
ABC algoritması kullanılarak tasarlanan kontrolörlerin sisteme uygulanmasıyla elde edilen sistemin kapalı çevrim birim basamak cevapları Şekil 5.25 ile gösterilmiştir. Şekil 5.25 dikkatle incelendiğinde, ISE tabanlı tasarlanan *PI-PD* kontrolörlü sistemin maksimum aşmasının en büyük olduğu, yükselme ve tepe zamanının diğerlerinden daha kısa olduğu görülmektedir. Yerleşme zamanları karşılaştırıldığında, IAE tabanlı yapılan kontrolör tasarımlarının daha başarılı olduğu açıktır. Fakat, ITAE tabanlı kontrolör tasarımlarında optimizasyon algoritmaları arasında önemli farklar olduğu Çizelge 5.7'den görülebilir. PSO algoritması ve ITAE kriteri ile yapılan tasarımın yerleşme zamanının diğerlerinden yaklaşık 2 kat daha hızlı olduğu dikkat çekmektedir. Şekil 5.26, ABC algoritmasıyla elde edilen en iyi uygunluk değerlerini gösterir. Uygunluk değerleri kabaca 30 iterasyondan önce son değerlerine ulaşmıştır. İntegral performans kriterlerinin tamamı ile oldukça küçük uygunluk değerleri elde edilmiştir.

Şekil 5.27, Genetik algoritma ile belirlenen *PI-PD* kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevap eğrilerini göstermektedir. Şekilden, ISE ve ITSE kriteri ile yüksek maksimum aşma ve geç yerleşme zamanı elde edilirken, hızlı yükselme ve tepe zamanı sağlandığı görülmektedir. IAE ve ITAE kriteri ile ise düşük maksimum aşma, kısa yerleşme zamanı sağlanırken, tepe ve yükselme süresi diğer kriterlere göre yüksek kalmaktadır.

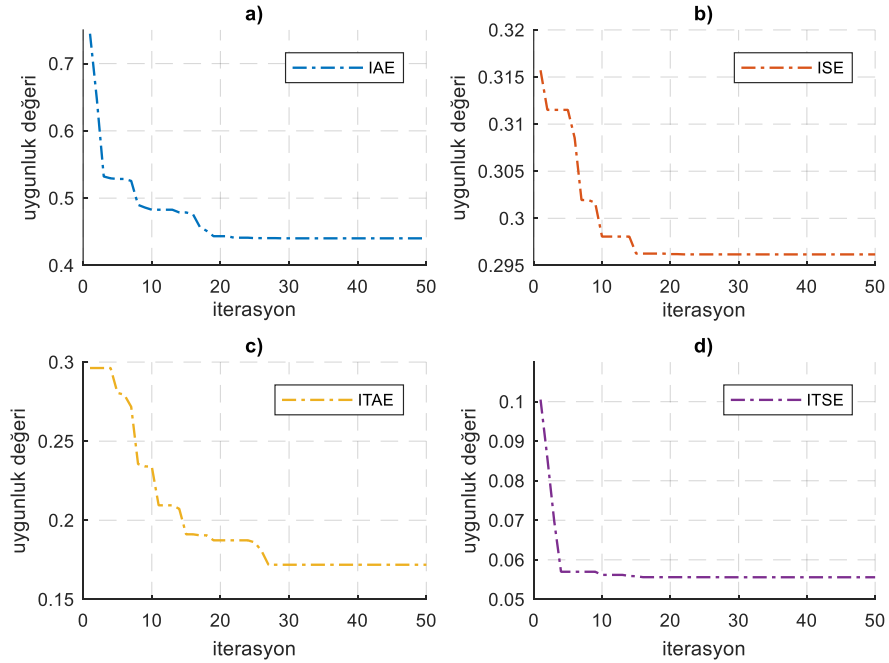
Şekil 5.28, PSO algoritması ile belirlenen *PI-PD* kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevap eğrilerini göstermektedir. Şekilde, ITAE performans kriteri ile diğer kriterlere kıyasla oldukça düşük maksimum aşma ve kısa yerleşme zamanı elde edilmiştir. Bu şekilde, yükselme ve tepe zamanı parametrelerinde ise en iyi sonucu ISE kriteri sağlamaktadır. Şekil 5.29 PSO algoritması ile elde edilen uygunluk değerlerini her bir integral performans kriteri için göstermektedir.

ITSE performans kriterine göre, optimizasyon algoritmalarının karşılaştırıldığı bir grafik Şekil 5.30 ile sunulmuştur. Şekil incelendiğinde, ABC algoritmasının diğerlerine göre daha iyi bir performans sergilediği açıkça görülmektedir.

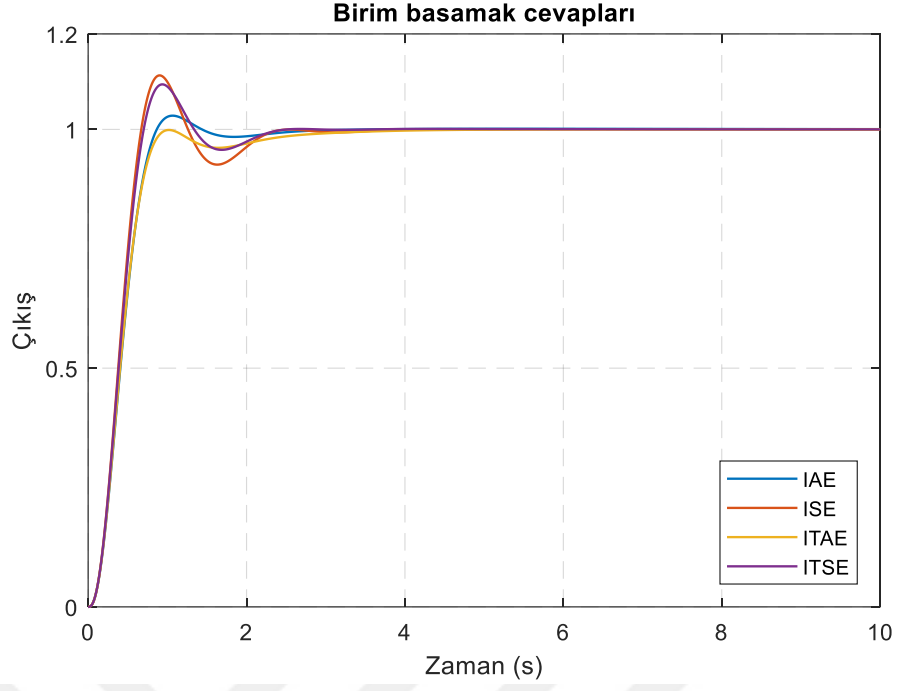
Şekil 5.31, ABC algoritması ile belirlenen *PI-PD* kontrolörlerin kontrol sinyallerini göstermektedir. Şekildeki dört sinyalinde birbirine yakın olduğu ve yaklaşık 2.saniyede yerleştikleri görülmektedir. Şekil 5.32 ve Şekil 5.33 sırasıyla GA ve PSO algoritması ile belirlenen *PI-PD* kontrolörlerin kontrol sinyallerini göstermektedir.



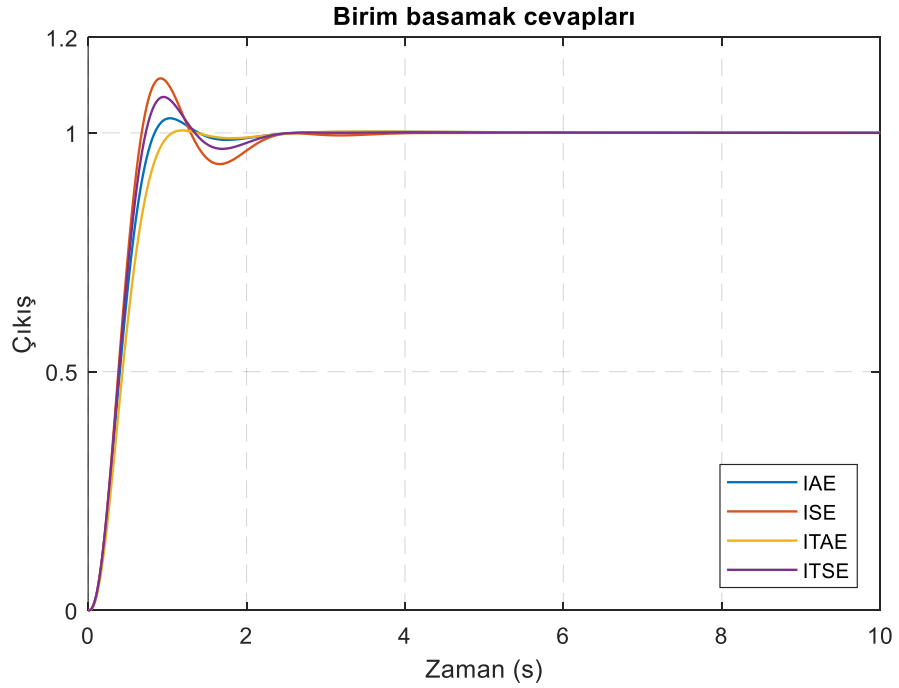
Şekil 5.25. ABC algoritması ile belirlenen $PI-PD$ kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



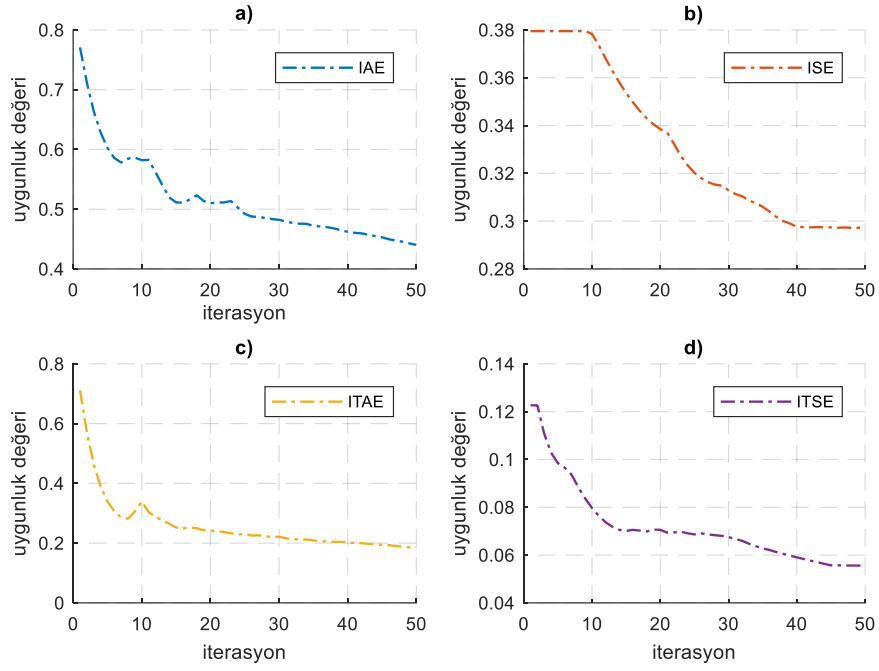
Şekil 5.26. ABC algoritması ile elde edilen uygunluk değerleri



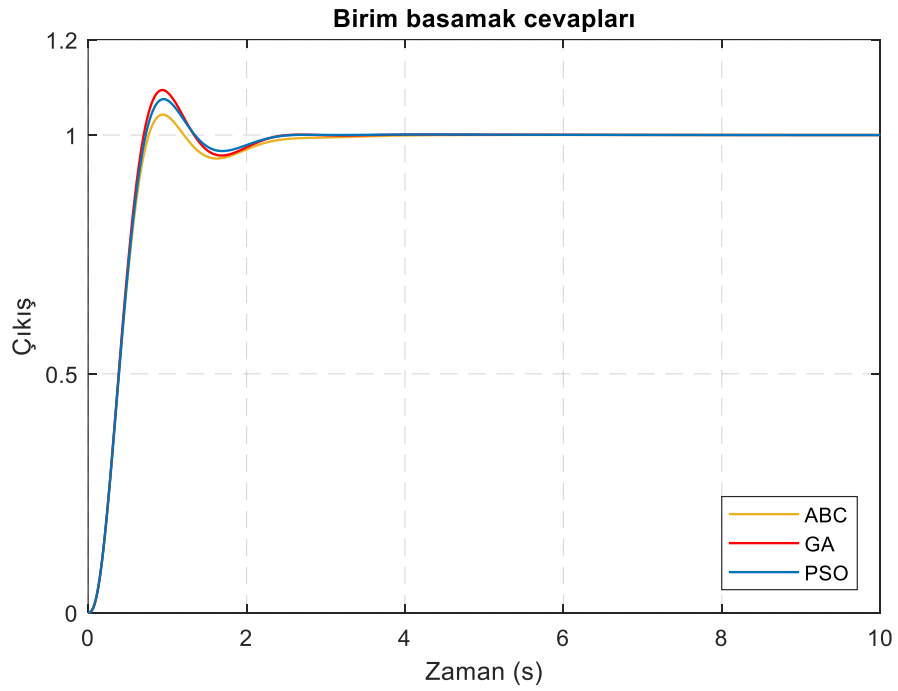
Şekil 5.27. Genetik algoritma ile belirlenen $PI-PD$ kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



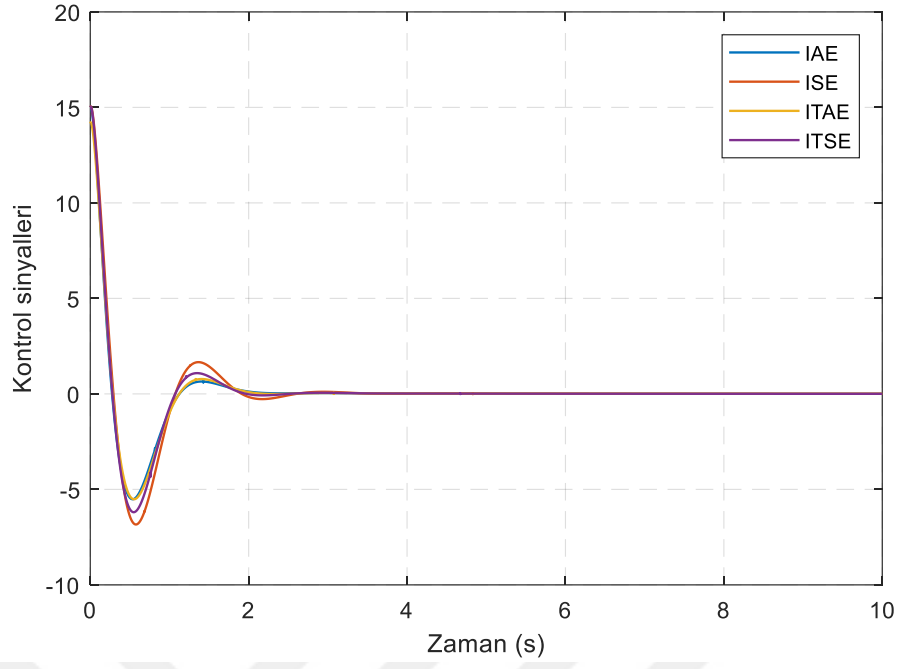
Şekil 5.28. PSO algoritması ile belirlenen $PI-PD$ kontrolörlerin kapalı çevrim sisteme uygulanmasıyla elde edilen sistemin birim basamak cevapları



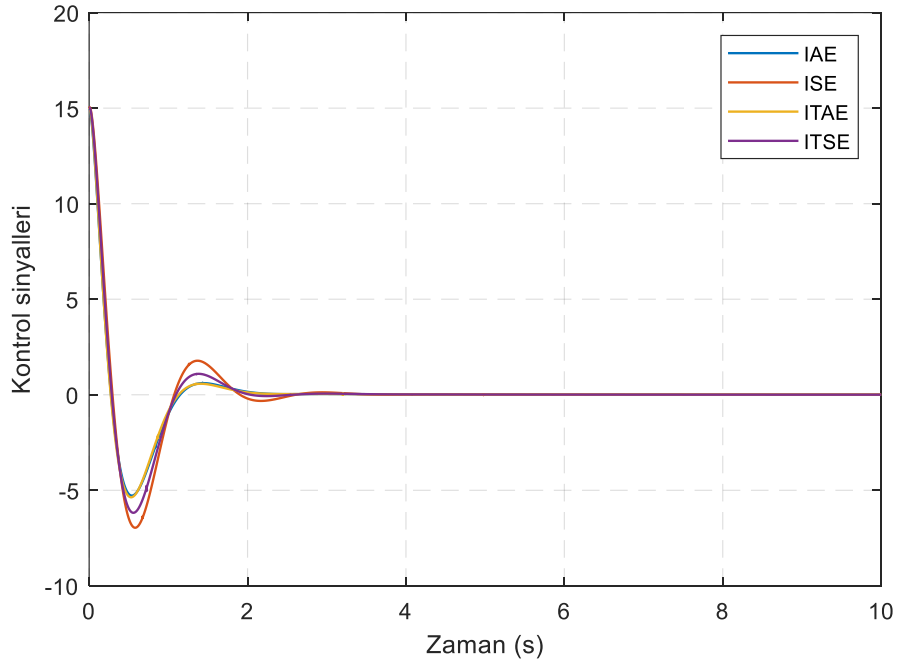
Şekil 5.29. PSO algoritması ile elde edilen uygunluk değerleri



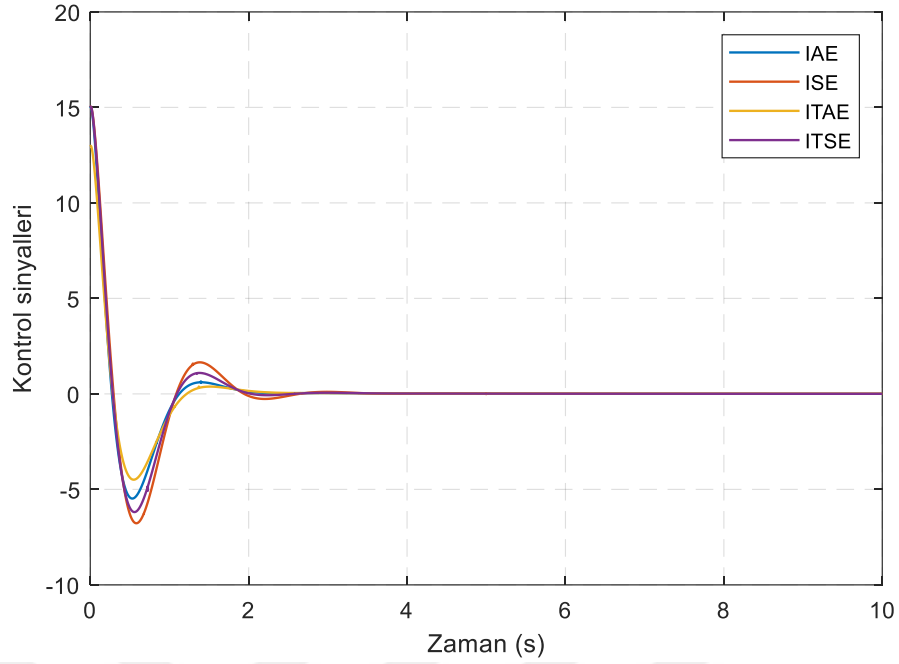
Şekil 5.30. ITSE performans kriterine göre elde edilmiş $PI-PD$ kontrolörlerin sisteme uygulanmasıyla elde edilmiş birim basamak cevapları



Şekil 5.31. ABC algoritması ile belirlenen $PI-PD$ kontrolörler için kontrol sinyalleri



Şekil 5.32. Genetik algoritma ile belirlenen $PI-PD$ kontrolörler için kontrol sinyalleri



Şekil 5.33. PSO algoritması ile belirlenen PI - PD kontrolörler için kontrol sinyalleri

5.5. Bölüm 5'in Sonuçları

Bu bölümde, kesir dereceli transfer fonksiyonu içeren kontrol sistemlerinde PI , PID ve PI - PD kontrolör parametrelerinin belirlenmesi amacıyla çalışmalar yapılmıştır. Farklı yapıdaki üç kesir dereceli sistem için kontrolör tasarımları sezgisel algoritma tabanlı optimizasyon yöntemleri kullanılarak başarılı bir şekilde gerçekleştirilmiştir.

PI kontrolör tasarımında, SBL yöntemi ile sistemin kararlılık bölgesi belirlenmiş ve bu bölgenin alt ve üst sınır değerleri optimizasyon algoritmalarında alt ve üst sınırlar olarak girilmiştir. Böylece kararlılık sınır eğrisi içerisindeki optimal kontrolör parametreleri belirlenmiştir. ABC, GA ve PSO algoritmaları arasında bir karşılaştırma yapılmış ve birbirine yakın sonuçlar elde edildiği çizelgelerden görülmüştür. ABC algoritmasının hesaplama zamanının diğerlerinin iki katı kadar uzun sürdüğü algoritmalar arasındaki en dikkat çeken noktadır.

Sezgisel algoritmaların kontrol parametrelerini kolayca belirleyerek, kesir dereceli kontrol sistemlerinde başarılı bir kontrol sağladığı simulasyon sonuçlarından görülmüştür.

6. ÇİFT MOTORLU HELİKOPTER MODELİ ÜZERİNDE GERÇEK ZAMANLI KESİR DERECELİ KONTROL UYGULAMALARI

6.1. Giriş

Çift motorlu çok girişli çok çıkışlı sistem (twin rotor multi input multi output system- TRMS), bir helikopterin dinamiklerini temsil eden ve helikopterin uçuşunu simüle etmek amacıyla, Feedback Instruments firması tarafından üretilmiş bir laboratuvar cihazıdır. TRMS sisteminde bir ana motor ve bir de yardımcı motor olmak üzere iki adet dc motor bulunur. Sistem, motorlara monte edilmiş pervanelerin ürettiği itme hareketi ile dikey ve yatay seviyede denge hareketini sağlamaktadır [171]. Bir helikopterin dikey seviye hareketi, helikopterin burnunun kuyruğa göre yukarı ya da aşağı hareketidir. Benzer şekilde, yatay seviye hareket, helikopterin burnunun kuyruğa göre sağa ya da sola hareketidir. TRMS'nin bu iki doğrultudaki hareketi basitçe iki açıyla ölçülür. Dikey hareket dikey seviye açısı (pitch angle) ve yatay hareket yatay seviye açısı (yaw angle) ile kontrol edilir [172]. TRMS'nin deney düzeneği Şekil 6.1'de verilmiştir [173].



Şekil 6.1. Çift motorlu çok giriş çok çıkışlı sistem deney düzeneği (Feedback Instruments)

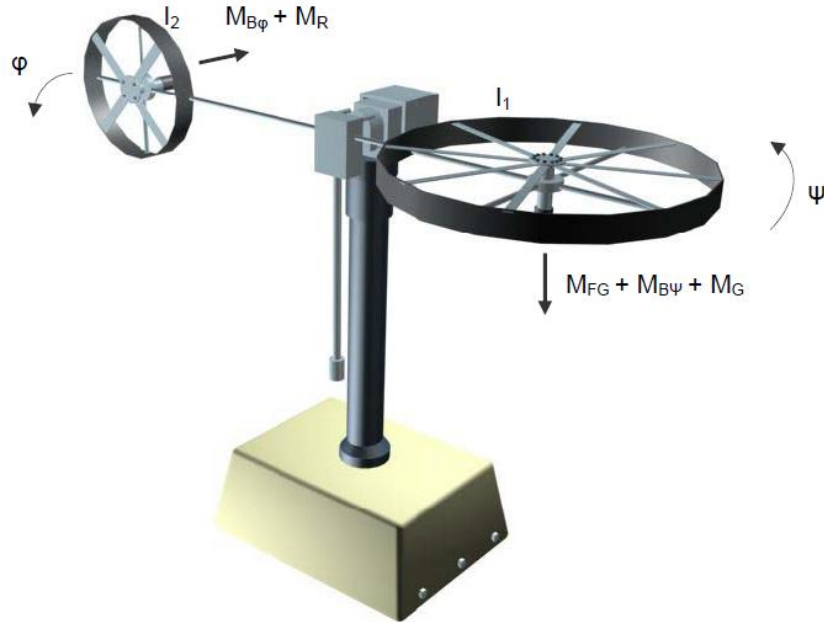
TRMS'nin doğrusal olmayan, kararsız yapısı ve iki pervane arasındaki birleştirme etkisine (coupling) sahip olması, onun önemli bir kontrol uygulaması olarak düşünülmesini sağlar. TRMS'nin birçok açıdan helikopterinkine benzer dinamikleri olması bu konuya olan ilgiyi artırmıştır. Son yirmi yılda, TRMS'nin modellenmesi ve kontrolü birçok makalede araştırılmış ve deneysel çalışma olarak ele alınmıştır. Ahmad vd. [174-176], TRMS'nin dinamik ve doğrusal olmayan modellenmesi üzerine çalışmalar yapmışlardır. Ayrıca, dinamik modellemenin yanında, TRMS'nin açık çevrim kontrolü ve optimal kontrolünü gerçekleştirmişlerdir. Darus vd. [177], genetik algoritmadan faydalanarak TRMS'nin parametrik doğrusal bir yaklaşımla modellenmesi ile ilgili bir çalışma sunmuşlardır. Juang vd. [178] çalışmalarında genetik algoritma kullanarak TRMS'nin *PID* ile kontrolünü simülasyon çalışması olarak yapmışlardır. Diğer bir çalışmalarında [179], TRMS için Ziegler-Nichols, kutup yerleştirme, kazanç-faz payı metodu gibi klasik kontrol teknikleri ve bulanık mantık, genetik algoritma gibi akıllı kontrol teknikleri kullanarak kontrolör tasarımları gerçekleştirmişlerdir. Çalışmaları için, akıllı kontrolörlerin klasik kontrolörlere göre daha iyi performans sergilediğini ifade etmişlerdir. Bir başka çalışmada, Shih vd. [180], TRMS'nin dinamik karakteristiklerini deneysel olarak analiz etmiş, dinamik modele bağlı olarak doğrusal olmayan *PD* ve bulanık *PID* ile TRMS'nin kontrolünü gerçekleştirmişlerdir. Wen ve Lu [181] çalışmalarında, TRMS'nin dekuplaj (decoupling) kontrolünü incelemişlerdir. TRMS'nin çıkarılan modelini iki adet tek giriş tek çıkışlı sisteme ayırarak, her birisi için *PID* kontrolör tasarımı yapmışlardır. Önerdikleri yöntemle, yerleşme zamanı ve maksimum aşma gibi zaman cevabı parametrelerinde iyileşme olduğunu ifade etmişlerdir. Juang vd. [182] başka bir çalışmalarında, TRMS'yi iki serbestlik derecesinde kontrol etmek için bir yöntem önermişlerdir. Önerdikleri yöntemle, TRMS'nin etkili bir şekilde belirli bir konuma ulaştığını göstermişlerdir. Rahideh vd. [183], yapay sinir ağlarını kullanarak TRMS'yi kontrol etmek için bir deneysel çalışma gerçekleştirmişlerdir. Rotondo vd. [184], TRMS'nin yarı doğrusal modellenmesi, sistemin matematiksel modelinin belirlenmesi ve kontrolü ile ilgili bir çalışma gerçekleştirmişlerdir. Önerdikleri kontrol yönteminin performansını hem simülasyon çalışması hem de deneysel çalışma ile sunmuşlardır. Chalupa vd. [185], TRMS'nin modellenmesi ile ilgili yaptıkları çalışmayı deneysel olarak gerçekleştirmişlerdir.

TRMS için kontrolör tasarlanmasının amacı, bu sistemi istenen dikey ve yatay pozisyona getirmektir. TRMS sistemindeki hareketli parçaların parametrelerindeki

değişim ve doğrusal olmayan bozucu etkiler kontrolör tasarımını zorlaştıran unsurlardır. Bu hususlar dikkate alınarak uygun kontrol metodu seçilmelidir. Bu bölümde, TRMS modelinin dikey seviye, yatay seviye ve decoupling kontrolünün gerçek zamanlı olarak gerçekleştirilmesi amaçlanmıştır. Çalışmada genetik algoritma tabanlı $PI^{\lambda}D^{\mu}$ kontrolör tasarımları oluşturulmuştur. Feedback Instruments firmasının ürettiği prototip TRMS modeli, mekanik bir kısım, elektriksel kontrol ünitesi ve model ile bilgisayar arasındaki iletişimi sağlayan arabirim kartından oluşmaktadır. MATLAB yazılımı ile gerçek zamanlı çalışma esnasında TRMS'nin karakteristikleri kolayca takip edilebilmektedir. Sistemin gerçek zamanlı çalışması ile matematiksel modeli elde edilebilir. Kontrol algoritmaları belirlenen matematiksel modellere göre oluşturulur.

6.2. TRMS'nin Matematiksel Modeli

Gerçek sistemlerde, kontrolör tasarımı yapabilmek için sistemin modellenmesi ilk sırayı alır. Bu çalışmada kullanılan TRMS sisteminin elektromekanik modeli Şekil 6.2'de gösterilmiştir [173].



Şekil 6.2. TRMS'nin elektromekanik modeli

TRMS'nin dikey seviye hareket için moment eşitliği Denklem 6.1 şeklinde yazılır. Denklem 6.1'i oluşturan bileşenler sırasıyla Denklem 6.2, 6.3, 6.4 ve 6.5 şeklinde verilmiştir [173].

$$I_1 \cdot \ddot{\psi} = M_1 - M_{FG} - M_{B\psi} - M_G \quad (6.1)$$

$$M_1 = a_1 \cdot \tau_1^2 + b_1 \cdot \tau_1, \quad \text{doğrusal olmayan statik karakteristik} \quad (6.2)$$

$$M_{FG} = M_g \cdot \sin \psi, \quad \text{yerçekimi momenti} \quad (6.3)$$

$$M_{B\psi} = B_{1\psi} \cdot \dot{\psi} + B_{2\psi} \cdot \text{sign}(\dot{\psi}), \quad \text{sürtünme kuvvetleri momenti} \quad (6.4)$$

$$M_G = K_{gv} \cdot M_1 \cdot \dot{\varphi} \cdot \cos \psi, \quad \text{dönel moment} \quad (6.5)$$

Dikey seviyede hareket için motor momenti Laplace formunda birinci dereceden transfer fonksiyonu olarak Denklem 6.6 gibi yazılabilir.

$$\tau_1 = \frac{k_1 \cdot u_1}{T_{11}s + T_{10}} \quad (6.6)$$

Yatay seviye hareket için moment eşitliği Denklem 6.7'de verilmiştir. Denklem 6.7'yi oluşturan bileşenler sırasıyla Denklem 6.8, 6.9 ve 6.10 şeklinde verilmiştir.

$$I_2 \cdot \ddot{\varphi} = M_2 - M_{B\varphi} - M_R \quad (6.7)$$

$$M_2 = a_2 \cdot \tau_2^2 + b_2 \cdot \tau_2, \quad \text{doğrusal olmayan statik karakteristik} \quad (6.8)$$

$$M_{B\varphi} = B_{1\varphi} \cdot \dot{\varphi} + B_{2\varphi} \cdot \text{sign}(\dot{\varphi}), \quad \text{sürtünme kuvvetleri momenti} \quad (6.9)$$

$$M_R = \frac{k_c (T_0 s + 1) \cdot \tau_1}{(T_p s + 1)} \quad (6.10)$$

Yatay seviyede hareket için motor momenti Laplace formunda birinci dereceden transfer fonksiyonu olarak Denklem 6.11 gibi yazılabilir.

$$\tau_2 = \frac{k_2 \cdot u_2}{T_{21}s + T_{20}} \quad (6.11)$$

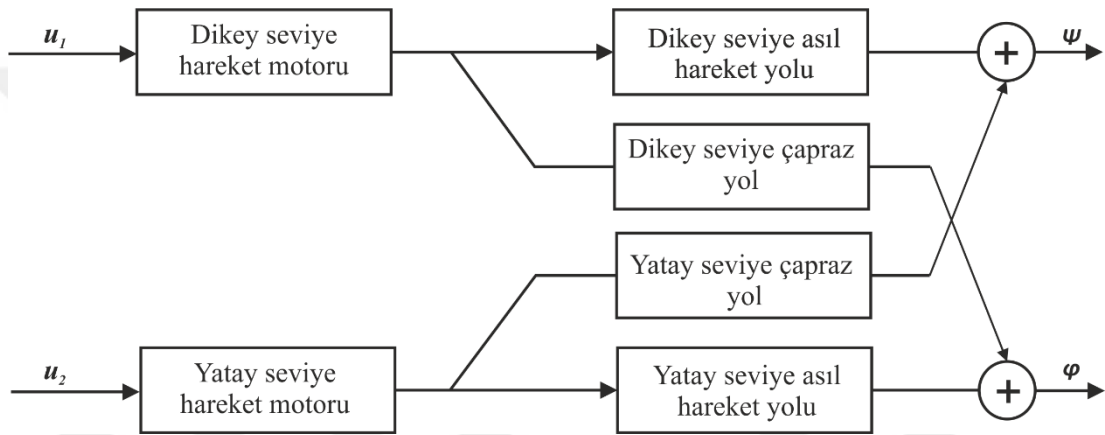
TRMS modelinin parametreleri yaklaşık olarak Çizelge 6.1’de verildiği gibi seçilebilir [173].

Çizelge 6.1. TRMS model parametreleri

| Parametre | | Değeri |
|-------------|---------------------------------|--|
| I_1 | Dikey motorun atalet momenti | $6.8 \cdot 10^{-2} \text{ kg.m}^2$ |
| I_2 | Yatay motorun atalet momenti | $2 \cdot 10^{-2} \text{ kg.m}^2$ |
| a_1 | Statik karakteristik parametre | 0.0135 |
| b_1 | Statik karakteristik parametre | 0.0924 |
| a_2 | Statik karakteristik parametre | 0.02 |
| b_2 | Statik karakteristik parametre | 0.09 |
| M_g | Yerçekimi momenti | 0.32 N.m |
| $B_{1\psi}$ | Sürtünme momenti parametresi | $6 \cdot 10^{-3} \text{ N.m.s/rad}$ |
| $B_{2\psi}$ | Sürtünme momenti parametresi | $1 \cdot 10^{-3} \text{ N.m.s}^2/\text{rad}$ |
| $B_{1\phi}$ | Sürtünme momenti parametresi | $1 \cdot 10^{-1} \text{ N.m.s/rad}$ |
| $B_{2\phi}$ | Sürtünme momenti parametresi | $1 \cdot 10^{-2} \text{ N.m.s}^2/\text{rad}$ |
| K_{gy} | Dönel moment parametresi | 0.05 s/rad |
| k_1 | 1’nci motorun kazancı | 1.1 |
| k_2 | 2’nci motorun kazancı | 0.8 |
| T_{11} | 1’nci motorun payda parametresi | 1.1 |
| T_{10} | 1’nci motorun payda parametresi | 1 |
| T_{21} | 2’nci motorun payda parametresi | 1 |
| T_{20} | 2’nci motorun payda parametresi | 1 |
| T_p | Çapraz tepki moment parametresi | 2 |
| T_0 | Çapraz tepki moment parametresi | 3.5 |
| k_c | Çapraz tepki moment kazancı | -0.2 |

6.3. TRMS'nin Matematiksel Modelinin Gerçek Zamanlı Olarak Belirlenmesi

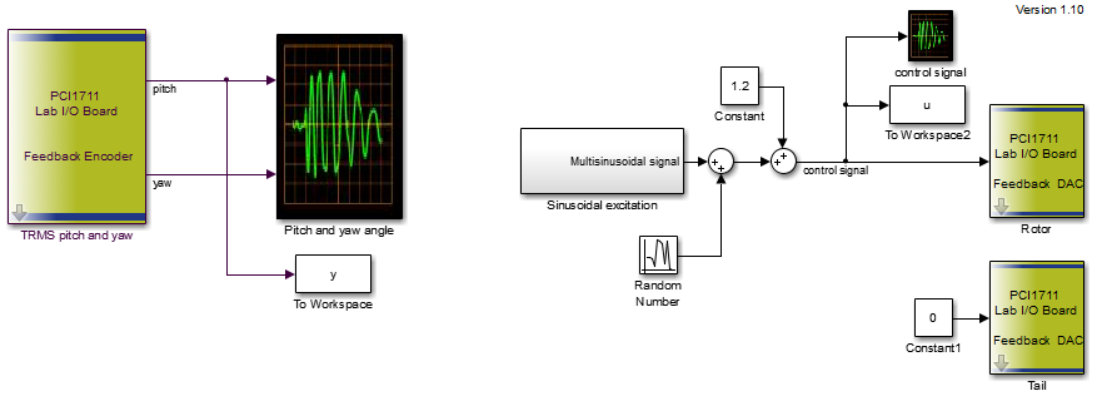
TRMS'nin blok diyagramı Şekil 6.3'te verilmiştir. Şekilden de görüleceği gibi TRMS, u_1 ve u_2 olmak üzere iki giriş, ψ ve φ olmak üzere iki çıkışa sahiptir. Motorlar arasındaki dinamik çapraz bağlantılar, TRMS'nin temel özelliklerinden birisidir. TRMS'nin blok diyagramından da görüldüğü üzere, matematiksel modeller oluşturulurken dört doğrusal model belirlenmesi gerekir. Bunlardan ikisi dikey ve yatay seviye hareket yolu için belirlenecek modellerken, diğer ikisi ise çapraz bağlantı yolları için belirlenecek modellerdir.



Şekil 6.3. TRMS'nin blok diyagramı

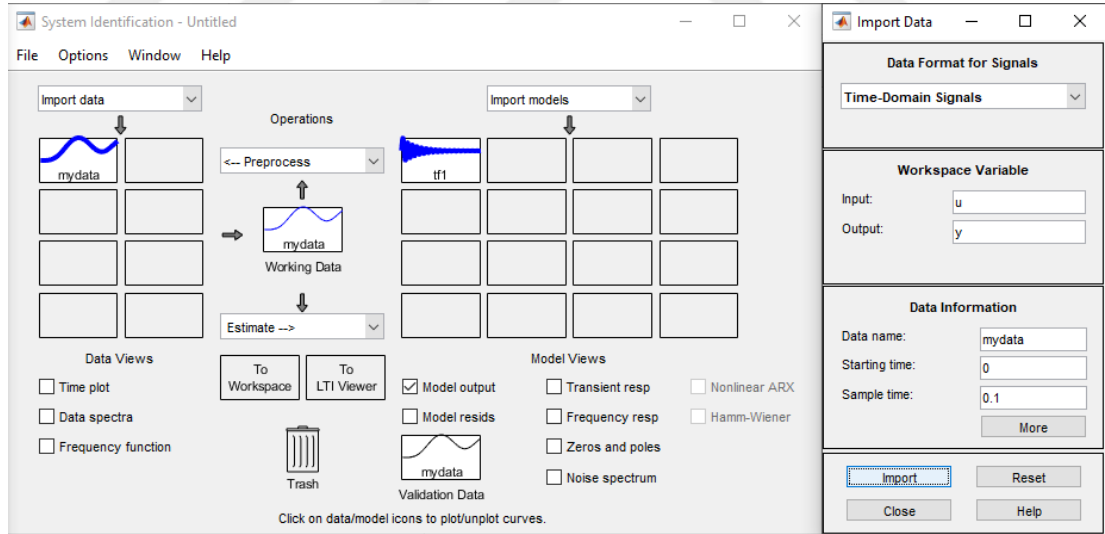
MATLAB programının 'System Identification Toolbox' aracı ile TRMS'nin gerçek zamanlı olarak matematiksel modelleri bulunabilir. Belirlenen matematiksel modeller kullanılarak kontrolör tasarımları yapılabilir.

Şekil 6.4'teki Simulink modeli kullanılarak dikey seviye hareket yolunun gerçek zamanlı çalıştırılması ile giriş ve çıkış verileri elde edilir. Bu Simulink modelinde girişe farklı frekanslarda dört sinüs sinyalinin toplanmasıyla elde edilen bir sinyal uygulanmıştır. Belirlenen örnekleme süresi boyunca sistem gerçek zamanlı çalıştırılır. Burada örnekleme süresi 100 s olarak seçilmiştir. TRMS'nin giriş sinyallerine karşı verdiği çıkış sinyallerine ait veriler elde edilir. Giriş ve çıkış verilerinin MATLAB programında işlenmesiyle, TRMS'nin dikey seviye hareket yolu için matematiksel modeli belirlenmiş olur.



Şekil 6.4. TRMS dikey seviye hareket yolu Simulink modeli

Model belirlemede kullanılan ‘System Identification Toolbox’ aracına ait görüntü Şekil 6.5’te verildiği gibidir. Şekildeki ara yüze giriş, çıkış verileri ve örnekleme zamanı girilir. ‘Import’ komutu ile devam edilerek, transfer fonksiyonu modeli seçilir. Pay ve paydanın derecesinin seçilmesinin ardından ‘Estimate’ komutu ile matematiksel model belirlenmiş olur.



Şekil 6.5. Simulink model belirleme aracı

Dikey seviye (pitch) hareket yolunun matematiksel modeli Denklem 6.12’deki gibi belirlenir.

$$G_p(s) = \frac{2.57}{s^3 + 1.869s^2 + 4.916s + 7.515} \quad (6.12)$$

Benzer şekilde, yatay seviye (yaw) hareket yolunun matematiksel modeli Denklem 6.13'teki gibi elde edilir.

$$G_y(s) = \frac{0.1511}{s^2 + 0.7281s + 0.3111} \quad (6.13)$$

TRMS için, dikey seviye çapraz yolu (cross pitch) matematiksel modeli Denklem 6.14, yatay seviye çapraz yolu (cross yaw) matematiksel modeli Denklem 6.15'teki gibi elde edilir.

$$G_{cp}(s) = \frac{0.008407}{s^2 + 0.7783s + 0.02515} \quad (6.14)$$

$$G_{cy}(s) = \frac{0.055045s + 0.08529}{s^2 + 0.2527s + 4.837} \quad (6.15)$$

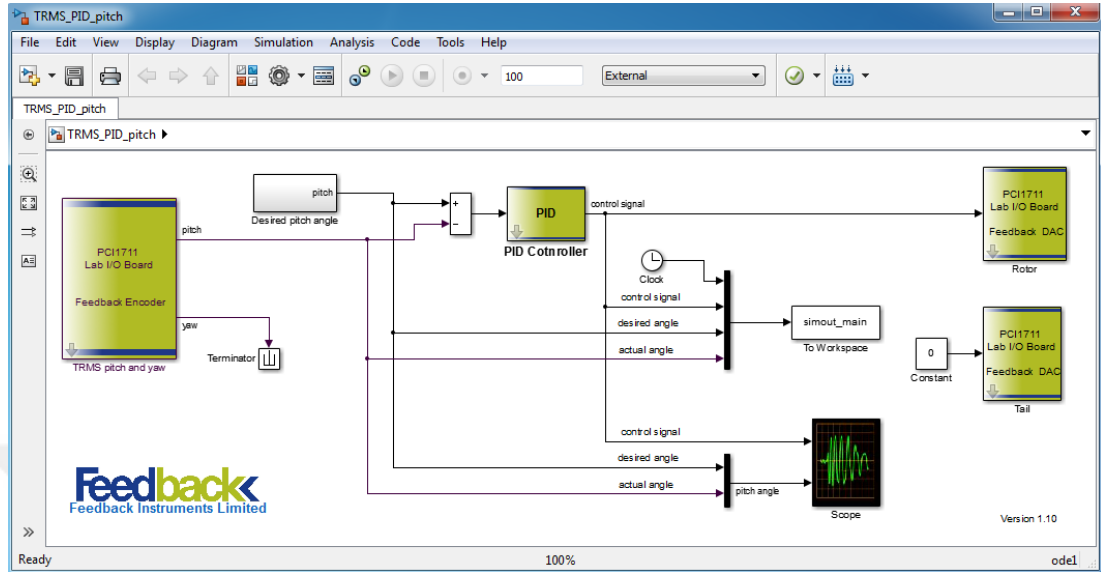
6.4. TRMS'nin Dikey Seviye Hareket Kontrolü

TRMS'nin dikey seviye hareket kontrolünün gerçek zamanlı Simulink modeli, Şekil 6.6 ile verildiği gibidir. Bu model, Feedback Instruments firması tarafından prototip TRMS ile beraber sunulmaktadır. Modelde TRMS dikey seviye hareketi *PID* kontrolörle kontrol edilmiştir. Üretici firma tarafından sunulan modelde *PID* kontrolör, Denklem 6.16 ile verildiği gibidir.

$$C_p(s) = 5 + \frac{8}{s} + 10s \quad (6.16)$$

Bu bölümde, TRMS dikey seviye hareket kontrolü için $PI^\lambda D^\mu$ kontrolör tasarımı yapılmıştır. $PI^\lambda D^\mu$ kontrolör tasarımı yapılırken Denklem 6.12'deki matematiksel model alınarak optimizasyon modeli oluşturulmuştur. Genetik algoritma kullanılarak kontrolör parametreleri elde edilmiştir. Elde edilen $PI^\lambda D^\mu$ kontrolörün eşitliği

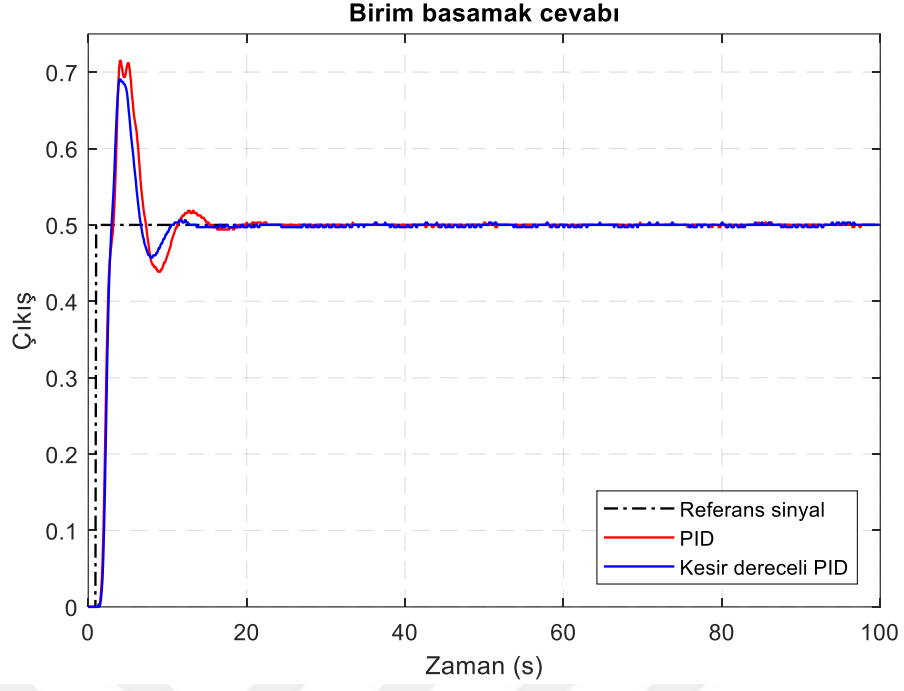
Denklem 6.17’de verildiği gibidir. Şekil 6.6’da verilen modelde PID bloğu çıkarılarak, yerine $PI^\lambda D^\mu$ kontrolör bloğu oluşturulmuştur.



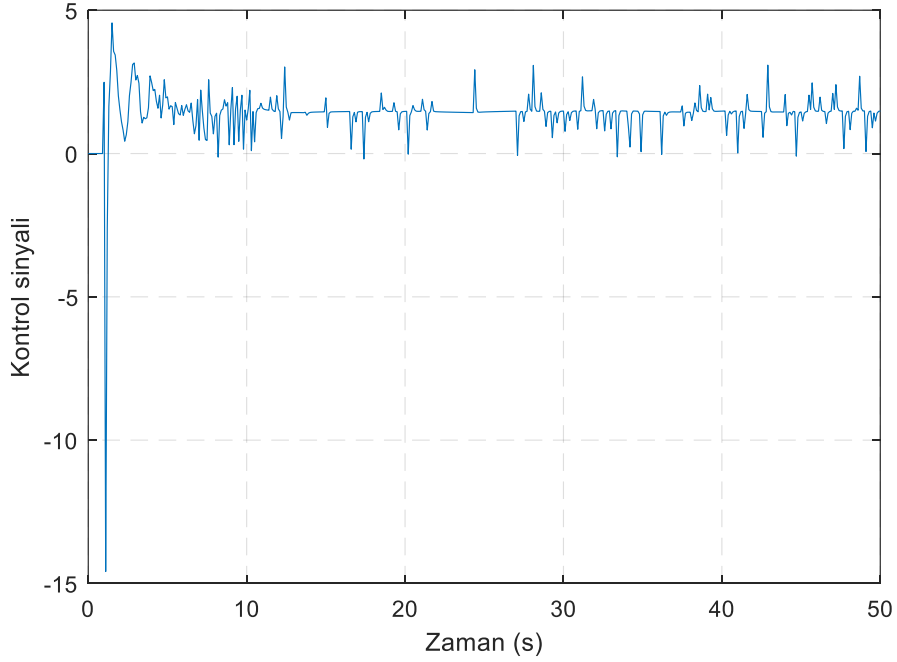
Şekil 6.6. Dikey seviye hareket yolu gerçek zamanlı Simulink modeli

$$C_p(s) = 4.971 + \frac{7.977}{s^{0.838}} + 9.117s^{1.094} \quad (6.17)$$

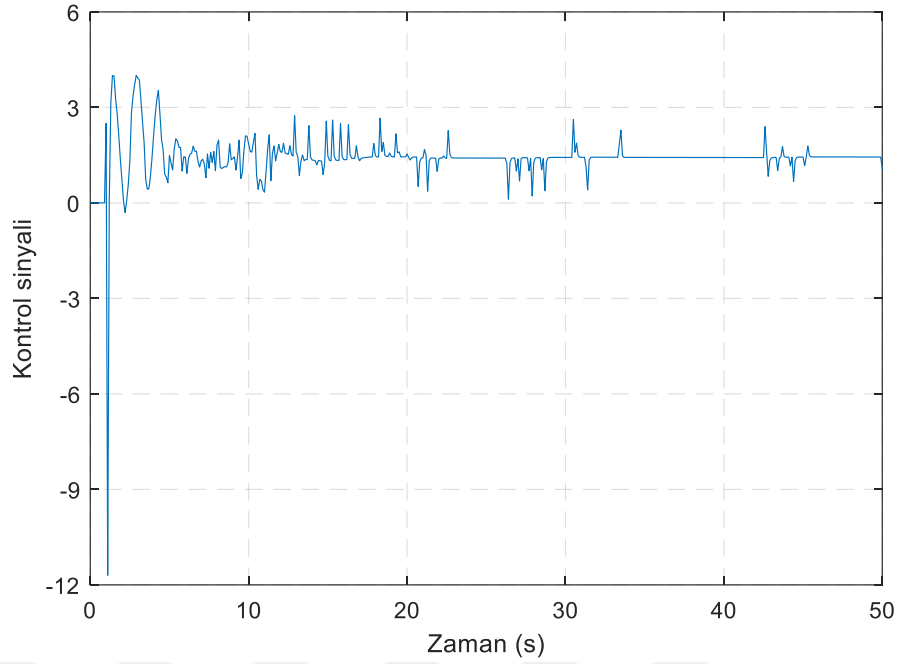
Denklem 6.16 ve Denklem 6.17’de verilen kontrolörlerin, Şekil 6.6’da verilen gerçek zamanlı Simulink modeline uygulanması ile elde edilen sistemlerin kapalı çevrim birim basamak cevapları Şekil 6.7’de verilmiştir. Şekilde, birim basamak referans giriş değeri, TRMS’in çalışma dinamiklerinden dolayı 0.5 olarak alınmıştır. Ayrıca, $PI^\lambda D^\mu$ kontrolörün, klasik PID kontrolöre göre daha iyi bir performans sergilediği şekilden görülmektedir. Sistemin maksimum yüzde aşması klasik PID ile kontrol edildiğinde %42.94 iken, $PI^\lambda D^\mu$ ile kontrol edildiğinde %38.03’e düşmektedir. Yerleşme zamanı PID ile kontrolde 14.27 s iken $PI^\lambda D^\mu$ ile kontrol edildiğinde 9.97 s’ye düşmektedir. Ayrıca $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali Şekil 6.8’de, klasik PID ile kontrol edilen sistemin ürettiği kontrol sinyali Şekil 6.9’da verilmiştir.



Şekil 6.7. PID ve $PI^\lambda D^\mu$ ile kontrol edilen dikey seviye hareket modelinin gerçek zamanlı birim basamak cevapları



Şekil 6.8. Dikey hareket kontrolü için $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali



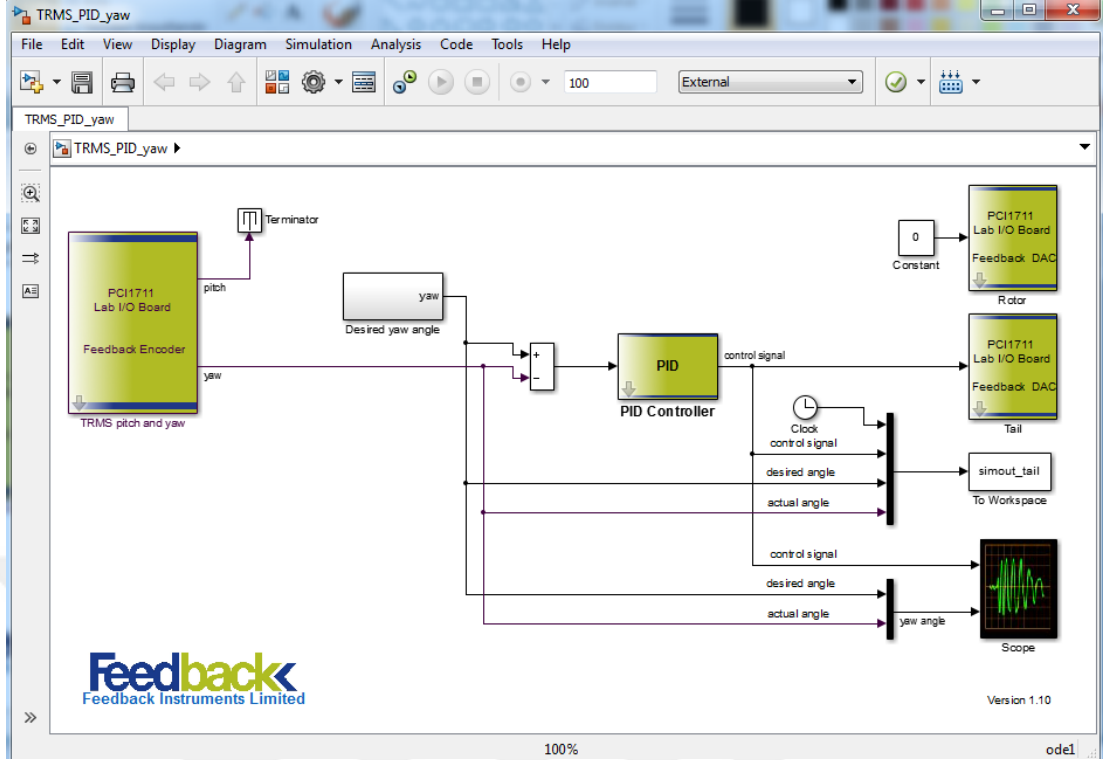
Şekil 6.9. Dikey hareket kontrolü için *PID* ile kontrol edilen sistemin ürettiği kontrol sinyali

6.5. TRMS'nin Yatay Seviye Hareket Kontrolü

TRMS'nin yatay seviye hareket kontrolünün gerçek zamanlı Simulink modeli, Şekil 6.10'da verildiği gibidir. Modelde TRMS yatay seviye hareketi *PID* kontrolörle kontrol edilmiştir. Yatay seviye hareket kontrolü için üretici firma tarafından sunulan modelde *PID* kontrolör, Denklem 6.18'de verildiği gibidir.

$$C_y(s) = 2 + \frac{0.5}{s} + 5s \quad (6.18)$$

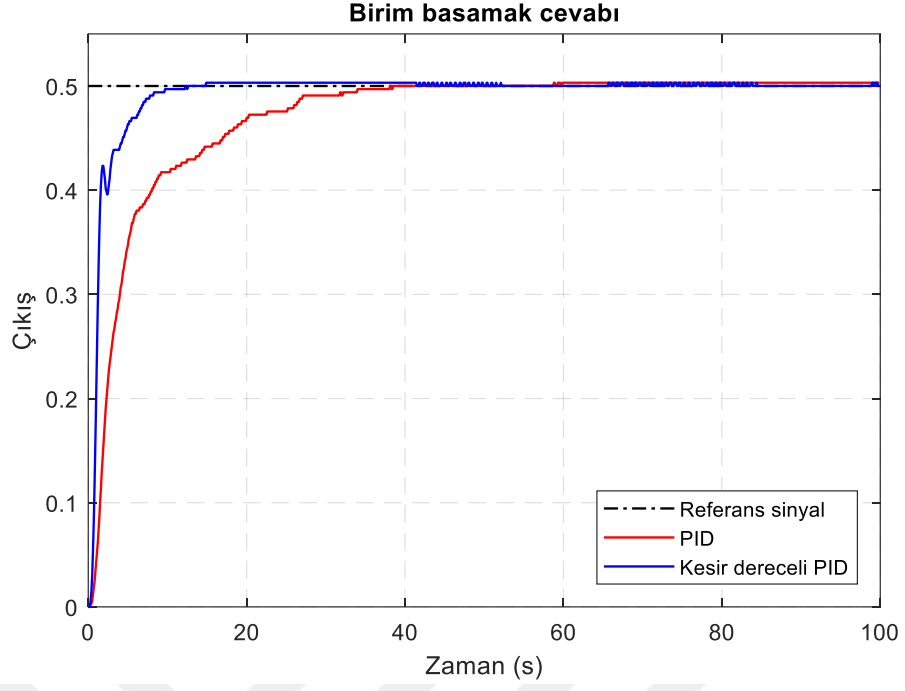
Burada, TRMS yatay seviye hareket kontrolü için $PI^\lambda D^\mu$ kontrolör tasarımı yapılmıştır. Denklem 6.13'teki matematiksel modele göre kesir dereceli kontrolör tasarımı yapmak amacıyla bir optimizasyon modeli oluşturulmuştur. Bölüm 5'te verilen, optimizasyon yöntemlerinden olan genetik algoritma kullanılarak kontrolör parametreleri elde edilmiştir. Elde edilen $PI^\lambda D^\mu$ kontrolörün eşitliği Denklem 6.19'da verildiği gibidir.



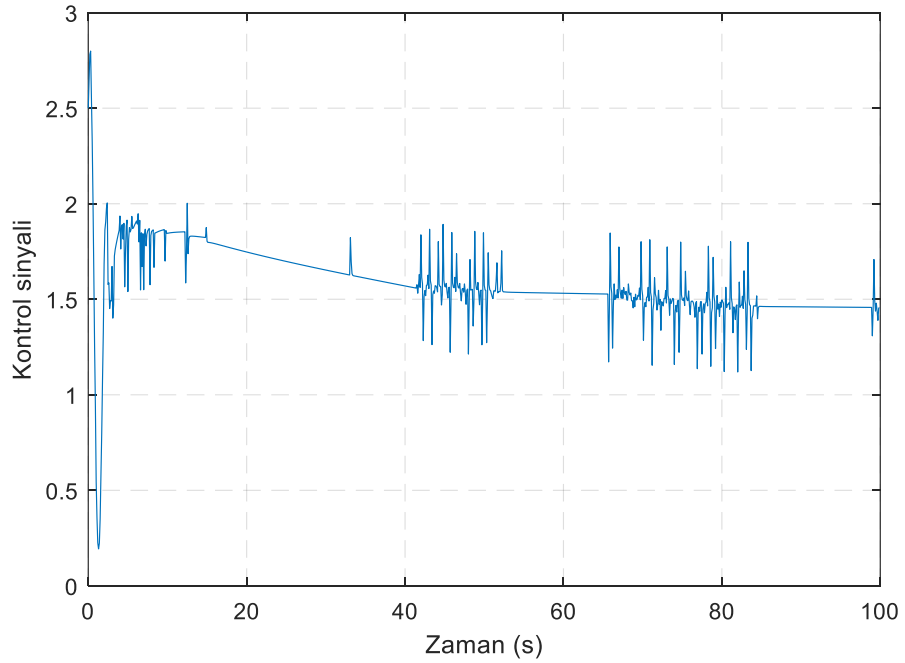
Şekil 6.10. Yatay seviye hareket yolu gerçek zamanlı Simulink modeli

$$C_y(s) = 4.999 + \frac{2.544}{s^{0.948}} + 4.999s^{0.86} \quad (6.19)$$

Denklem 6.18 ve Denklem 6.19’da verilen kontrolörlerin, Şekil 6.10’da verilen gerçek zamanlı Simulink modeline uygulanması ile elde edilen sistemlerin kapalı çevrim birim basamak cevapları Şekil 6.11’de verilmiştir. Şekil 6.11 incelendiğinde, $PI^\lambda D^\mu$ kontrolörün, klasik PID kontrolöre göre daha iyi bir performans gösterdiği görülmektedir. Sistem, PID ile kontrol edildiğinde yerleşme zamanı 32.17 s iken, $PI^\lambda D^\mu$ ile kontrol edildiğinde 7.77 s’ye düşmektedir. Ayrıca, $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali Şekil 6.12’de verilmiştir.



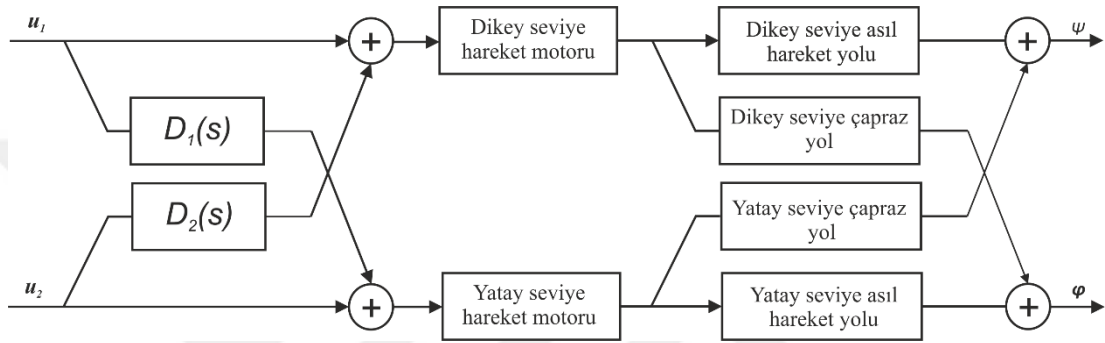
Şekil 6.11. PID ve $PI^\lambda D^\mu$ ile kontrol edilen yatay seviye hareket modelinin gerçek zamanlı birim basamak cevapları



Şekil 6.12. Yatay hareket kontrolü için $PI^\lambda D^\mu$ ile kontrol edilen sistemin ürettiği kontrol sinyali

6.6. TRMS'nin Decoupling Kontrolü

TRMS'nin en önemli özelliklerinden birisi iki motor arasında çapraz bağlantılar olmasıdır. Dikey hareket yapan ana motor çalıştırıldığında yatay eksen üzerinde etkisi vardır. Benzer şekilde, yatay hareket yapan yardımcı motorun da dikey eksen üzerinde etkisi vardır. Her iki motorun birbirinin çalışmasını etkilemesi, TRMS'nin kontrolünü güçleştirmektedir. TRMS için decoupling sistemin blok diyagramı Şekil 6.13'te verilmiştir.



Şekil 6.13. TRMS'nin dinamik decoupling blok diyagramı

TRMS sistemindeki dinamik yolları ayırmak için decoupling fonksiyonları tanımlanmalıdır. TRMS'de olduğu gibi iki ana yol ve iki çapraz bağlantı yolu varsa, bu durumda iki fonksiyon gereklidir. Dekuplörleri temsil eden transfer fonksiyonları, matematiksel model belirlemede elde edilen doğrusal modellere dayanarak hesaplanır. İki giriş iki çıkışlı bir sistem Denklem 6.20 gibi tanımlanmış olsun [186].

$$G(s) = \begin{bmatrix} G_{11}(s) & G_{12}(s) \\ G_{21}(s) & G_{22}(s) \end{bmatrix} \quad (6.20)$$

Dekuplör transfer fonksiyonu matrisi $D(s)$ ve diagonal transfer matrisi $T(s)$ sırasıyla Denklem 6.21 ve 6.22'de verilmiştir [186].

$$D(s) = \begin{bmatrix} D_{11}(s) & D_{12}(s) \\ D_{21}(s) & D_{22}(s) \end{bmatrix} \quad (6.21)$$

$$T(s) = \begin{bmatrix} T_1(s) & 0 \\ 0 & T_2(s) \end{bmatrix} = G(s)D(s) \quad (6.22)$$

Denklem 6.20, 6.21 ve 6.22 kullanılarak, aşağıdaki denklem elde edilir. Denklemde sadece $T_1(s)$ ve $T_2(s)$ bilinmemektedir [186, 187].

$$\begin{aligned} D(s) &= G(s)^{-1}T(s) \\ &= \frac{1}{G_{11}(s)G_{22}(s) - G_{12}(s)G_{21}(s)} \begin{bmatrix} G_{22}(s)T_1(s) & -G_{12}(s)T_2(s) \\ -G_{21}(s)T_1(s) & G_{11}(s)T_2(s) \end{bmatrix} \end{aligned} \quad (6.23)$$

$D(s)$ matrisi, Denklem 6.24 şeklinde ifade edilir.

$$D(s) = \begin{bmatrix} 1 & -\frac{G_{12}(s)}{G_{11}(s)} \\ -\frac{G_{21}(s)}{G_{22}(s)} & 1 \end{bmatrix} \quad (6.24)$$

Denklem 6.20, 6.22 ve 6.24 kullanılarak, Denklem 6.25 elde edilir [186, 187].

$$T(s) = \begin{bmatrix} G_{11}(s) - \frac{G_{12}(s) \cdot G_{21}(s)}{G_{22}(s)} & 0 \\ 0 & G_{22}(s) - \frac{G_{12}(s) \cdot G_{21}(s)}{G_{11}(s)} \end{bmatrix} \quad (6.25)$$

$T(s)$ matrisinden, $T_1(s)$ ve $T_2(s)$ aşağıdaki şekilde yazılır.

$$T_1(s) = G_{11}(s) - \frac{G_{12}(s) \cdot G_{21}(s)}{G_{22}(s)} \quad (6.26)$$

$$T_2(s) = G_{22}(s) - \frac{G_{12}(s) \cdot G_{21}(s)}{G_{11}(s)} \quad (6.27)$$

Denklem 6.26 ve 6.27'de, TRMS için model belirlemede elde edilen transfer fonksiyonları yerine yazılarak, $T_1(s)$ için Denklem 6.28, $T_2(s)$ için Denklem 6.29 elde edilir.

$$T_1(s) = \frac{-0.0004627s^6 - 0.001919s^5 + 0.3834s^4 + 0.3902s^3 + 1.953s^2 + 1.4585s + 0.04556}{0.1511s^7 + 0.4382s^6 + 1.798s^5 + 3.9s^4 + 6.012s^3 + 8.58s^2 + 4.372s + 0.1381} \quad (6.28)$$

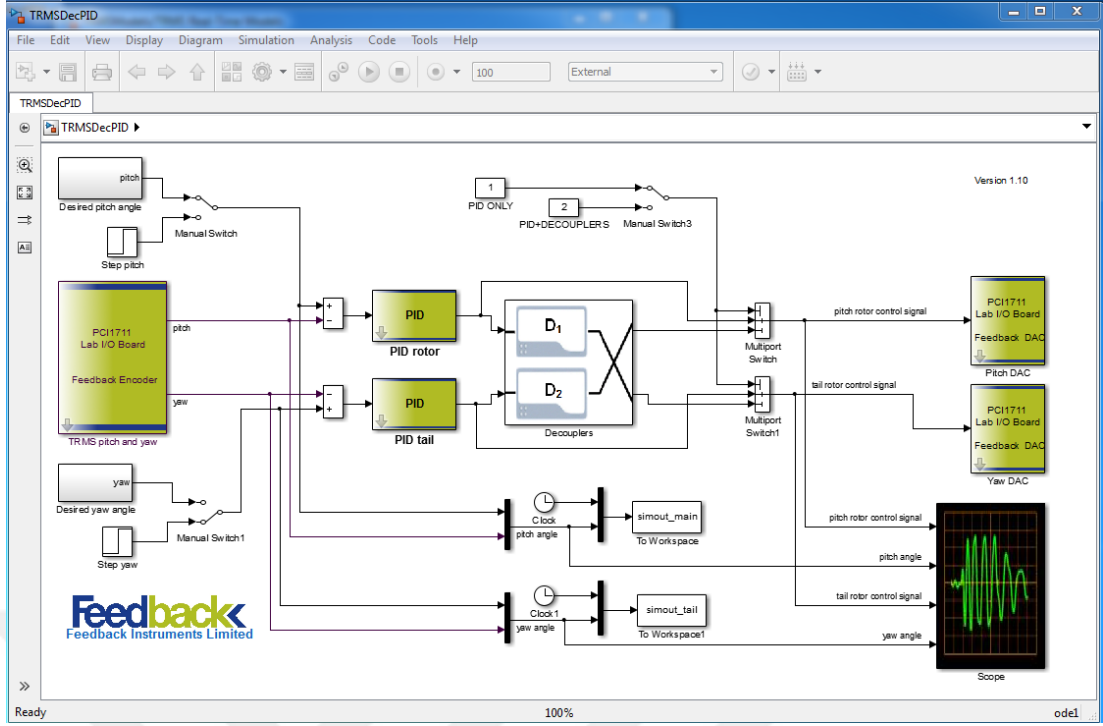
$$T_2(s) = \frac{-0.0004627s^6 - 0.001919s^5 + 0.3834s^4 + 0.3902s^3 + 1.953s^2 + 1.4585s + 0.04556}{2.57s^6 + 4.521s^5 + 15.73s^4 + 19.98s^3 + 11.41s^2 + 3.243s + 0.09726} \quad (6.29)$$

Böylece, TRMS sistemi için $T_1(s)$ ve $T_2(s)$ transfer fonksiyonları elde edilmiş olur. Elde edilen transfer fonksiyonları için ayrı ayrı $PI^\lambda D^\mu$ kontrolör tasarımı yapılır. Kontrolör tasarımında genetik algoritma kullanılarak en uygun kontrolör parametreleri belirlenmiş olur. Optimizasyon algoritmasında ITSE performans kriteri ile hata minimize edilmiştir. $T_1(s)$ için elde edilen kontrolör Denklem 6.30, $T_2(s)$ için elde edilen kontrolör Denklem 6.31’de verilmiştir.

$$C_1(s) = 7.002 + \frac{9.983}{s^{0.882}} + 8.726s^{1.186} \quad (6.30)$$

$$C_2(s) = 4.988 + \frac{2.409}{s^{0.989}} + 4.996s^{0.827} \quad (6.31)$$

Şekil 6.14’te verilen Simulink modelinde PID kontrolör bloklarının yerine $PI^\lambda D^\mu$ kontrolör blokları yerleştirilip ve elde edilen $PI^\lambda D^\mu$ kontrolör parametrelerinin girilmesiyle, TRMS sistemi gerçek zamanlı olarak 100 s süreyle çalıştırılmıştır. Elde edilen kesir dereceli kontrolörle kontrol edilen sistemlerin 0.5 genlikte birim basamak cevapları Şekil 6.15 ve Şekil 6.16’da verilmiştir. İlave olarak, Şekil 6.15 ve Şekil 6.16’da, TRMS’nin PID ile kontrol edildiğinde elde edilen 0.5 genlikte birim basamak cevapları da verilmiştir. Denklem 6.32 ve Denklem 6.33 ile verilen PID kontrolörler, üretici firma tarafından sağlanan katalogtan alınmıştır.

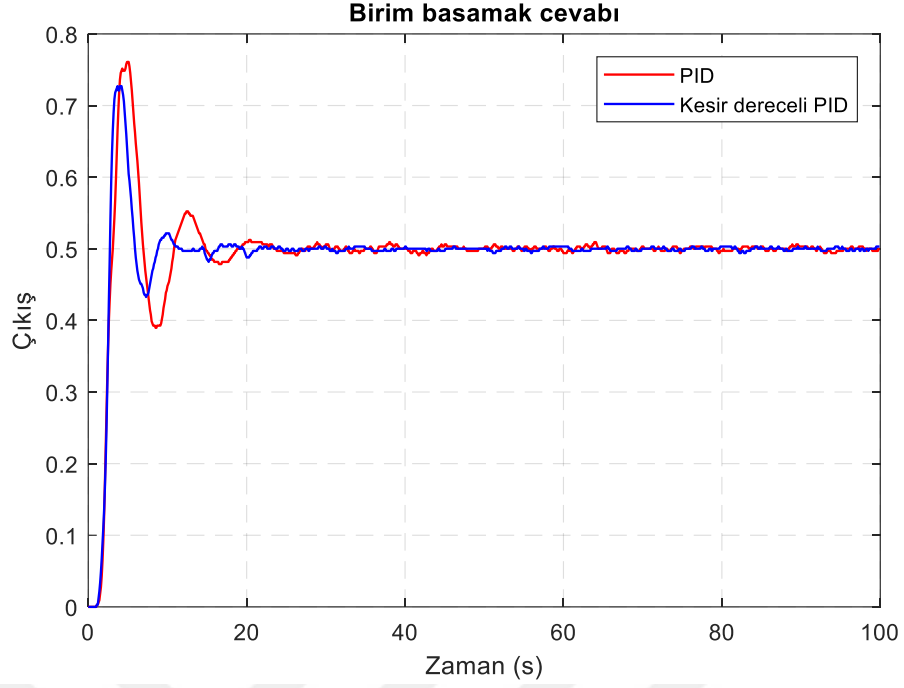


Şekil 6.14. TRMS'nin decoupling sisteminin Simulink modeli

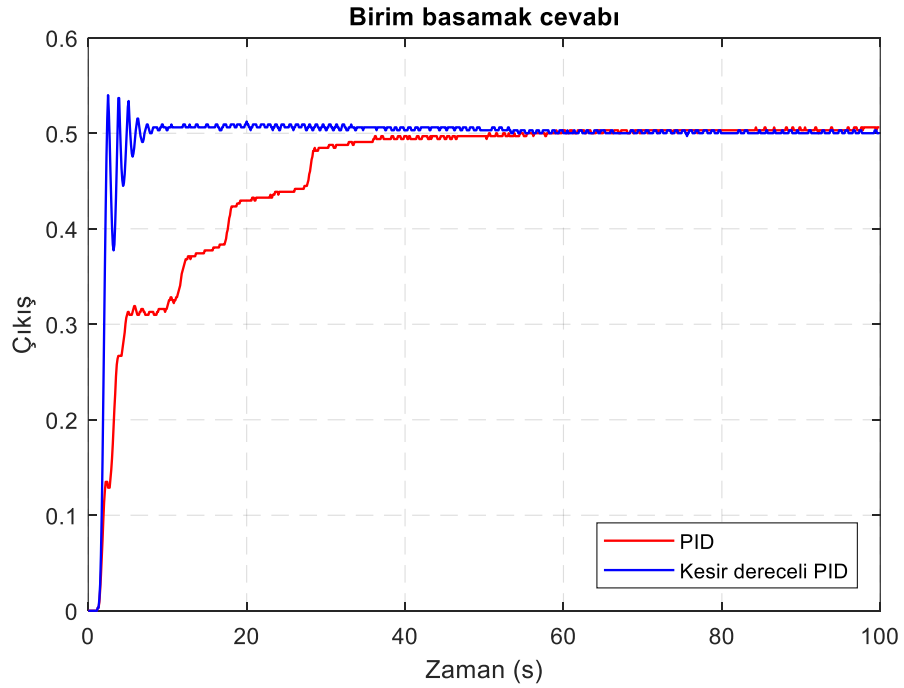
$$C_1(s) = 3 + \frac{8}{s} + 10s \quad (6.32)$$

$$C_2(s) = 2 + \frac{0.5}{s} + 5s \quad (6.33)$$

Gerçek zamanlı çalışan bu sistemde, $PI^\lambda D^\mu$ kontrolörün klasik PID kontrolöre göre daha iyi bir performans sergilediği Şekil 6.15'ten görülmektedir. Her iki kontrolörle de yerleşme zamanları yaklaşık 20 s olmasına rağmen, maksimum yüzde aşmaları arasında yaklaşık olarak %8'lik bir fark vardır. Benzer şekilde, yatay seviye harekette de $PI^\lambda D^\mu$ kontrolörün klasik PID kontrolöre göre daha iyi bir performans sergilediği Şekil 6.16'dan görülmektedir. $PI^\lambda D^\mu$ kontrolör ile kontrol edilen sistemde yaklaşık %1.8 değerinde aşma olsa da, yerleşme zamanı oldukça hızlı bir cevap sağlamaktadır. Klasik PID ile yerleşme zamanı 50.37 s iken, $PI^\lambda D^\mu$ kontrolör ile kontrol edilen sistemde 7.87 s'ye düşmektedir.



Şekil 6.15. PID ve $PI^\lambda D^\mu$ ile kontrol edilen dikey seviye hareket modelinin gerçek zamanlı birim basamak cevapları



Şekil 6.16. PID ve $PI^\lambda D^\mu$ ile kontrol edilen yatay seviye hareket modelinin gerçek zamanlı birim basamak cevapları

6.7. Bölüm 6'nın Sonuçları

Bu bölümde TRMS sistemi üzerinde gerçek zamanlı kontrol uygulamaları gerçekleştirilmiştir. Öncelikle TRMS gerçek zamanlı çalıştırılarak, matematiksel modelleri belirlenmiştir. Elde edilen doğrusal matematiksel modeller ile TRMS'nin dikey seviye hareket, yatay seviye hareket, decoupling kontrolleri $PI^\lambda D^\mu$ ile yapılmıştır. $PI^\lambda D^\mu$ kontrolör parametreleri belirlenirken sezgisel algoritma tabanlı optimizasyon yöntemi uygulanarak en uygun kontrolör parametrelerinin bulunması amaçlanmıştır. Üretici firma tarafından verilen Simulink modelindeki PID kontrolör kullanılarak elde edilen sonuçlar ve $PI^\lambda D^\mu$ ile elde edilen sonuçlar karşılaştırılmıştır. Gerçek zamanlı çalıştırılan bu sistemde, $PI^\lambda D^\mu$ kontrolörün klasik PID kontrolöre göre daha iyi bir performans sergilediği açıkça gösterilmiştir.

İleride yapılacak çalışmalarda TRMS'nin matematiksel modelleri belirlenirken farklı yöntemler kullanılarak değişik çalışmalar yapılabilir. Farklı yöntem ve farklı kontrolörlerle yapılacak kontrolör tasarımları sistem üzerinde daha iyi bir performans gösterebilir.

7. SONUÇ VE ÖNERİLER

7.1. Tez Çalışmasında Elde Edilen Sonuçlar

Bu tez çalışmasında kesir dereceli sistemler için parametre optimizasyonuna dayalı çeşitli kontrolör tasarım teknikleri geliştirilerek bazı kontrol uygulamaları gerçekleştirilmiştir. Tezde yapılan çalışmalar ve geliştirilen teknikler özetle aşağıdaki gibi sunulmuştur.

- 1) Kontrol sistemleri ile ilgili genel bilgiler verilerek kesir dereceli hesapların kontrol sistemlerindeki uygulamaları ile ilgili literatür özetleri verilmiştir. Ayrıca bu tez çalışmasında kesir dereceli kontrol sistemlerinde kararlılık analizinin önemi ve nasıl yapılabildiği ile ilgili bilgilere yer verilmiştir.
- 2) Kontrol sistemlerinde belirsizlik son derece önemli konu başlıklarından birisidir. Dolayısıyla bu başlık altında yapılan çalışmalar da önem arz etmektedir. Bu tez çalışmasında parametre belirsizliği içeren kesir dereceli sistemler için faz ilerlemeli ve faz gerilemeli kontrolör tasarımı gerçekleştirmek amacıyla Atherton'un klasik kontrol tekniğinde kullandığı yöntem, kesir dereceli sistemlere uygulanarak çalışmalar yapılmıştır.
- 3) Kontrolör parametrelerinin belirlenmesi için geliştirilen bir yöntem her sistem için başarılı bir performans gösteremeyebilir. Bu yüzden farklı kontrolör tasarım tekniklerinin geliştirilmesi üzerine yapılan çalışmalar değerlidir. Günümüzde optimizasyon teknikleri kontrolör parametrelerinin belirlenmesinde sıklıkla kullanılmaktadır. Bu tez çalışmasında kesir dereceli sistemlerin kontrolü için PI , PID , $PI-PD$, kesir dereceli PID , faz ilerlemeli (lead) ve faz gerilemeli (lag) kontrolör tasarımları gerçekleştirilmiştir. Geliştirilen optimizasyon teknikleri ile kontrolör parametreleri başarılı bir şekilde belirlenmiştir.
 - a) Kesir dereceli sistemlerde PI kontrolör tasarımı için bir optimizasyon yöntemi önerilmiştir. SBL yönteminin optimizasyon sürecine dahil edilmesiyle kontrolör parametrelerinin alt ve üst limitleri net şekilde belirlenerek, optimizasyon algoritmasının kararlı bölgede tarama yapması amaçlanmıştır.

- b) Fmincon ve fminsearch gibi MATLAB fonksiyonları ile geliştirilen optimizasyon algoritmaları yardımıyla *PID*, *PI-PD*, kesir dereceli *PID*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları gerçekleştirilmiştir. Faz ilerlemeli ve faz gerilemeli kontrolör ile denetlenen sistemlerin kararlılık analizleri yapılmıştır.
- c) Bode'nin ideal transfer fonksiyonu optimizasyon sürecine referans sistem şeklinde dahil edilerek bir optimizasyon modeli geliştirilmiş ve *PID*, *PI-PD*, faz ilerlemeli ve faz gerilemeli kontrolör tasarımları gerçekleştirilmiştir.
- d) İkinci mertebeden bir sistem optimizasyon sürecine referans sistem şeklinde dahil edilerek bir optimizasyon modeli geliştirilmiş ve *PID* kontrolör tasarımı gerçekleştirilmiştir.
- 4) Son yıllarda sezgisel algoritmaların kontrolör parametrelerinin belirlenmesinde sıklıkla kullanıldığı bilinmektedir. Bu çalışmada ABC, GA ve PSO algoritmaları ile optimizasyon teknikleri geliştirilerek kesir dereceli kontrol sistemleri için *PI*, *PID* ve *PI-PD* kontrolör tasarımları yapılmıştır. Optimizasyon algoritmalarında kontrolör parametrelerinin alt ve üst limitlerinin belirlenmesi önem arz etmektedir. Burada *PI* kontrolör tasarımında kontrolör parametrelerinin alt ve üst limitleri SBL yöntemi kullanılarak sistemin kararlı olduğu bölgenin belirlenmesiyle optimizasyon algoritmalarının tarama bölgesinin net şekilde ayarlanabildiği gösterilmiştir.
- 5) Feedback firmasının kontrol deneylerini laboratuvar ortamında gerçekleştirmek için ürettiği TRMS sistemi üzerinde gerçek zamanlı kontrol uygulamaları çalışılmıştır. TRMS sistemi kısaca tanıtılmış, gerçek zamanlı çalıştırılarak matematiksel modelleri belirlenmiştir. TRMS'nin dikey seviye hareket, yatay seviye hareket, decoupling kontrolleri kesir dereceli *PID* ile yapılmıştır. Üretici firma tarafından verilen Simulink modelindeki *PID* kontrolör kullanılarak elde edilen sonuçlar ve kesir dereceli *PID* ile elde edilen sonuçlar karşılaştırılmıştır. Gerçek zamanlı çalıştırılan bu sistemde, tasarlanan kesir dereceli *PID* kontrolörün klasik *PID* kontrolöre göre daha iyi bir performans sergilediği açıkça gösterilmiştir.

7.2. Gelecekte Yapılabilecek Çalışmalarla ilgili Öneriler

Kesir dereceli sistemlerin fiziksel sistemleri daha iyi modelleyebilmesi, bu alanda yapılan çalışmaları oldukça önemli hale getirmektedir. Bu alanda ileride yapılabilecek çalışmalar ile ilgili öneriler aşağıda verildiği gibidir.

- 1) Bu tez çalışmasında parametre belirsizliği içeren kesir dereceli sistemler için faz ilerlemeli ve faz gerilemeli kontrolör tasarımları gerçekleştirildi. Parametre belirsizliği içeren sistemler için aşağıdaki çalışmalar yapılabilir.
 - a) Parametre belirsizliği içeren kesir dereceli sistemler için PI , PID , $PI-PD$, kesir dereceli PID gibi kontrolör yapıları ile kontrol uygulamaları gerçekleştirilebilir ve aralarında performans karşılaştırması yapılabilir.
 - b) Kesir dereceli faz ilerlemeli ve faz gerilemeli kontrolör yapısının parametre belirsizliği içeren kesir dereceli sistemlerin kontrolünde katkısının ne olacağı araştırılabilir.
 - c) Kontrol edilen belirsiz parametrelili kesir dereceli sistemlerin kararlılık analizi yapılabilir.
- 2) Bu tez çalışmasında çeşitli optimizasyon yöntemleri ile kontrolör tasarımları gerçekleştirildi. Aşağıdaki çalışmaların ileride yapılması bu alanda çalışan araştırmacılar için faydalı olabilir.
 - a) Tez çalışmasında, optimizasyon algoritmalarında integral performans kriterleri amaç fonksiyonu olarak kullanıldı. Çoklu amaç fonksiyonlarının (multi-objective function) tercih edilmesi farklı performanslar ortaya çıkarabilir.
 - b) PI kontrolör tasarımında kararlılık bölgesinin belirlenmesinde kullanılan SBL yöntemi PID kontrolör için uygulanarak, optimizasyon algoritmasında kontrolör parametrelerinin alt ve üst sınırları net şekilde belirlenebilir.
- 3) Beşinci bölümde sezgisel algoritmalar ile yapılan kontrolör tasarımları genişletilebilir. ABC, GA ve PSO algoritmalarının yanında ateşböceği ya da karınca kolonisi gibi algoritmalar kullanılarak kesir dereceli kontrolör tasarımları gerçekleştirilebilir.

- 4) Kesir dereceli sistemlerin tamsayı dereceli sistemlere kıyasla fiziksel sistemleri daha iyi modelleyebildiği bilinen bir gerçektir. Bu noktada kesir dereceli sistemlerin realizasyonu büyük önem taşımaktadır. Bu yüzden kesir dereceli sistemlerin realizasyonu konusunda çalışmalar yapılabilir.
- 5) Kesir dereceli kontrolör mü yoksa tamsayı dereceli kontrolör mü kesir dereceli ya da tamsayı dereceli bir sistemde daha iyi bir performans sergiler? sorusunun cevabı yapılacak çalışmalarla araştırılabilir.
- 6) Bu tez çalışmasında, TRMS sistemi üzerinde kesir dereceli *PID* kontrolör ile bazı gerçek zamanlı kontrol uygulamaları gerçekleştirildi. TRMS sistemi üzerinde ileride şu çalışmalar yapılabilir.
 - a) TRMS sisteminin matematiksel modelleri belirlenirken farklı yöntemler kullanılarak, aralarında performans karşılaştırması yapılabilir.
 - b) *PID* ya da kesir dereceli *PID* kontrolör yerine farklı tipte kontrolör yapıları (*PI-PD*, faz ilerlemeli-faz gerilemeli gibi) kullanılarak gerçek zamanlı yatay seviye, dikey seviye ve decoupling kontrolleri gerçekleştirilebilir.
 - c) Kontrolör parametrelerinin elde edilmesinde sezgisel algoritma tabanlı PSO ya da ABC algoritması tercih edilerek çalışmalar tekrarlanabilir.
 - d) TRMS sisteminin matematiksel modelleri parametre belirsizliği şeklinde düşünülerek kontrolör tasarımları gerçekleştirilebilir ve gerçek zamanlı olarak performansları test edilebilir.

KAYNAKLAR

- [1] R. C. Dorf ve R. H. Bishop, *Modern control systems*, Pearson, 2011.
- [2] M. Gökbulut, *Kontrol Sistemlerinin Analiz ve Tasarımı*, Seçkin, 2014.
- [3] J. G. Ziegler ve N. B. Nichols, *Optimum settings for automatic controllers*, **trans. ASME**, 64:11 (1942).
- [4] G. Cohen ve G. Coon, *Theoretical consideration of retarded control*, **Trans. Asme**, 75 (1953) 827-834.
- [5] K. J. Åström ve T. Hägglund, *PID controllers: theory, design, and tuning*, Instrument society of America Research Triangle Park, NC, 1995.
- [6] K. L. Chien, Hrones JA, and Reswick JB., *On the automatic control of generalized passive systems.* , **Trans ASME.**, 74 (1952) 175-185.
- [7] F. S. Wang, W. S. Juang ve C. T. Chan, *Optimal tuning of pid controllers for single and cascade control loops*, **Chemical Engineering Communications**, 132:1 1995/02/01 (1995) 15-34.
- [8] Q.-G. Wang, H.-W. Fung ve Y. Zhang, *PID tuning with exact gain and phase margins*, **ISA Transactions**, 38:3 1999/07/01/ (1999) 243-249.
- [9] W. K. Ho, O. Gan, E. B. Tay ve E. Ang, *Performance and gain and phase margins of well-known PID tuning formulas*, **IEEE Transactions on Control Systems Technology**, 4:4 (1996) 473-477.
- [10] W. K. Ho, C. C. Hang ve L. S. Cao, *Tuning of PID controllers based on gain and phase margin specifications*, **Automatica**, 31:3 (1995) 497-502.
- [11] E. Cokmez, S. Atiç, F. Peker ve I. Kaya, *Fractional-order PI controller design for integrating processes based on gain and phase margin specifications*, **IFAC-PapersOnLine**, 51:4 (2018) 751-756.
- [12] N. Tan, *Computation of stabilizing PI and PID controllers for processes with time delay*, **ISA transactions**, 44:2 (2005) 213-223.
- [13] N. Tan, I. Kaya, C. Yeroglu ve D. P. Atherton, *Computation of stabilizing PI and PID controllers using the stability boundary locus*, **Energy Conversion and management**, 47:18-19 (2006) 3045-3058.
- [14] M. Zhuang ve D. Atherton, *Optimal PID controller settings using integral performance criteria*, American Control Conference, (1991), pp. 3042-3043.
- [15] P. Cominos ve N. Munro, *PID controllers: recent tuning methods and design to specification*, **IEE Proceedings - Control Theory and Applications**, 149:1 (2002) 46-53.
- [16] D. Xue, Y. Chen ve D. P. Atherton, *Linear feedback control: analysis and design with MATLAB*, Siam, 2007.
- [17] C. A. Monje, Y. Chen, B. M. Vinagre, D. Xue ve V. Feliu-Battle, *Fractional-order systems and controls: fundamentals and applications*, Springer Science & Business Media, 2010.
- [18] Y. Ferdi, *Fractional order calculus-based filters for biomedical signal processing*, 1st Middle East Conference on Biomedical Engineering, (2011), pp. 73-76.
- [19] A. S. Elwakil, *Fractional-order circuits and systems: An emerging interdisciplinary research area*, **IEEE Circuits and Systems Magazine**, 10:4 (2010) 40-50.
- [20] N. F. Ferreira ve J. T. Machado, *Fractional-order hybrid control of robotic manipulators*, Proc. 11th Int. Conf. Advanced Robotics, ICAR, (2003), pp. 393-398.

- [21] H. Rudolf, *Applications of fractional calculus in physics*, world scientific, 2000.
- [22] W. Grzesikiewicz, A. Wakulicz ve A. Zbiciak, *Non-linear problems of fractional calculus in modeling of mechanical systems*, **International Journal of Mechanical Sciences**, 70 (2013) 90-98.
- [23] R. L. Magin, *Fractional calculus in bioengineering*, Begell House Redding, 2006.
- [24] R. Caponetto, *Fractional order systems: modeling and control applications*, World Scientific, 2010.
- [25] J. Tenreiro Machado, M. F. Silva, R. S. Barbosa, I. S. Jesus, C. M. Reis, M. G. Marcos ve A. F. Galhano, *Some applications of fractional calculus in engineering*, **Mathematical Problems in Engineering** (2010).
- [26] A. Tustin, J. Allanson, J. Layton ve R. Jakeways, *The design of systems for automatic control of the position of massive objects*, **Proceedings of the IEE-Part C: Monographs**, 105:1S (1958) 1-57.
- [27] S. Manabe, *The noninteger integral and its application to control systems*, **English Translation Journal Japan**, 6 (1961) 83-87.
- [28] S. Manabe, *The system design by the use of a model consisting of a saturation and noninteger integral*, **English Translation Journal Japan** (1963) 47-150.
- [29] C. Yeroglu ve N. Tan, *Classical controller design techniques for fractional order case*, **ISA transactions**, 50:3 (2011) 461-472.
- [30] H. Özbay, C. Bonnet ve A. R. Fioravanti, *PID controller design for fractional-order systems with time delays*, **Systems & Control Letters**, 61:1 (2012) 18-23.
- [31] M. Özyetkin, C. Yeroglu, N. Tan ve M. Tagluk, *Design of PI and PID controllers for fractional order time delay systems*, **IFAC Proceedings Volumes**, 43:2 (2010) 355-360.
- [32] H. Meneses, O. Arrieta, F. Padula, R. Vilanova ve A. Visioli, *PI/PID Control Design Based on a Fractional-Order Model for the Process*, **IFAC-PapersOnLine**, 52:1 (2019) 976-981.
- [33] A. Tepljakov, B. B. Alagoz, C. Yeroglu, E. Gonzalez, S. H. HosseinNia ve E. Petlenkov, *FOPID controllers and their industrial applications: A survey of recent results*, **IFAC-PapersOnLine**, 51:4 (2018) 25-30.
- [34] A. Oustaloup, *La commande CRONE: commande robuste d'ordre non entier*, Hermès, 1991.
- [35] I. Podlubny, *Fractional-order systems and $PI^{\lambda}D^{\mu}$ -controllers*, **IEEE Transactions on automatic control**, 44:1 (1999) 208-214.
- [36] C. A. Monje, B. M. Vinagre, Y. Chen, V. Feliu, P. Lanusse ve J. Sabatier, *Optimal Tunings for Fractional $PI^{\lambda}D^{\mu}$ Controllers*, **Fractional differentiation and its applications** (2005) 675-686.
- [37] M. S. Tavazoei ve M. Tavakoli-Kakhki, *Compensation by fractional-order phase-lead/lag compensators*, **IET Control Theory & Applications**, 8:5 (2014) 319-329.
- [38] C. A. Monje, A. J. Calderon, B. M. Vinagre ve V. Feliu, *The fractional order lead compensator*, Second IEEE International Conference on Computational Cybernetics, (2004), pp. 347-352.
- [39] S. E. Hamamci, *Stabilization using fractional-order PI and PID controllers*, **Nonlinear Dynamics**, 51:1-2 (2008) 329-343.
- [40] R. De Keyser, C. I. Muresan ve C. M. Ionescu, *A novel auto-tuning method for fractional order PI/PD controllers*, **ISA transactions**, 62 (2016) 268-275.

- [41] D. Valério ve J. S. Da Costa, *Tuning of fractional PID controllers with Ziegler–Nichols-type rules*, **Signal processing**, 86:10 (2006) 2771-2784.
- [42] M. M. Ozyetkin, *A simple tuning method of fractional order PI^λ - PD^μ controllers for time delay systems*, **ISA transactions**, 74 (2018) 77-87.
- [43] W. Zheng, Y. Luo, Y. Pi ve Y. Chen, *Improved frequency-domain design method for the fractional order proportional–integral–derivative controller optimal design: a case study of permanent magnet synchronous motor speed control*, **IET Control Theory & Applications**, 12:18 (2018) 2478-2487.
- [44] L. Liu, S. Zhang, D. Xue ve Y. Q. Chen, *General robustness analysis and robust fractional-order PD controller design for fractional-order plants*, **IET Control Theory & Applications**, 12:12 (2018) 1730-1736.
- [45] C. Zhao, D. Xue ve Y. Chen, *A fractional order PID tuning algorithm for a class of fractional order plants*, **IEEE International Conference Mechatronics and Automation**, (2005), pp. 216-221.
- [46] S. K. Swain, D. Sain, S. K. Mishra ve S. Ghosh, *Real time implementation of fractional order PID controllers for a magnetic levitation plant*, **AEU-International Journal of Electronics and Communications**, 78 (2017) 141-156.
- [47] H. Malek, Y. Luo ve Y. Chen, *Identification and tuning fractional order proportional integral controllers for time delayed systems with a fractional pole*, **Mechatronics**, 23:7 (2013) 746-754.
- [48] C. A. Monje, A. J. Calderon, B. M. Vinagre, Y. Chen ve V. Feliu, *On fractional PI^λ controllers: some tuning rules for robustness to plant uncertainties*, **Nonlinear Dynamics**, 38:1-4 (2004) 369-381.
- [49] D.-J. Wang ve X. Chen, *Turning of fractional-order phase-lead compensators: A graphical approach*, **Proceedings of the 29th Chinese Control Conference**, (2010), pp. 1885-1890.
- [50] A. Biswas, S. Das, A. Abraham ve S. Dasgupta, *Design of fractional-order $PI^\lambda D^\mu$ controllers with an improved differential evolution*, **Engineering applications of artificial intelligence**, 22:2 (2009) 343-350.
- [51] A. Narang, S. L. Shah ve T. Chen, *Tuning of fractional PI controllers for fractional order system models with and without time delays*, **Proceedings of the 2010 American Control Conference**, (2010), pp. 6674-6679.
- [52] Y. Luo, Y. Q. Chen, C. Y. Wang ve Y. G. Pi, *Tuning fractional order proportional integral controllers for fractional order systems*, **Journal of Process Control**, 20:7 2010/08/01/ (2010) 823-831.
- [53] R. S. Barbosa, J. T. Machado ve I. M. Ferreira, *Tuning of PID controllers based on Bode's ideal transfer function*, **Nonlinear dynamics**, 38:1-4 (2004) 305-321.
- [54] R. Azarmi, M. Tavakoli-Kakhki, A. K. Sedigh ve A. Fatehi, *Robust fractional order PI controller tuning based on Bode's ideal transfer function*, **IFAC-PapersOnLine**, 49:9 (2016) 158-163.
- [55] D. S. Patil, M. D. Patil ve V. A. Vyawahare, *Design of fractional-order controller for fractional-order systems using Bode's ideal loop transfer function method*, **International Conference on Industrial Instrumentation and Control (ICIC)**, (2015), pp. 490-495.
- [56] L. Liu ve S. Zhang, *Robust fractional-order PID controller tuning based on Bode's optimal loop shaping*, **Complexity**, 2018 (2018).

- [57] M. Zhuang ve D. P. Atherton, *Automatic tuning of optimum PID controllers*, **IEE Proceedings D - Control Theory and Applications**, 140:3 (1993) 216-224.
- [58] F. Padula ve A. Visioli, *Tuning rules for optimal PID and fractional-order PID controllers*, **Journal of process control**, 21:1 (2011) 69-81.
- [59] F. N. Deniz, A. Yüce, N. Tan ve D. P. Atherton, *Tuning of fractional order PID controllers based on integral performance criteria using Fourier series method*, **IFAC-PapersOnLine**, 50:1 (2017) 8561-8566.
- [60] G. L. Grandi ve J. O. Trierweiler, *Tuning of Fractional Order PID Controllers based on the Frequency Response Approximation Method*, **IFAC-PapersOnLine**, 52:1 (2019) 982-987.
- [61] V. Kharitonov, *Asymptotic stability of an equilibrium position of a family of systems of differential equations*, **Differential equations**, 14 (1978) 1483.
- [62] N. Tan ve D. Atherton, *Frequency response of uncertain systems: a 2q-convex parpolygonal approach*, **IEE Proceedings-Control Theory and Applications**, 147:5 (2000) 547-555.
- [63] P. Nataraj ve S. Tharewal, *An interval analysis algorithm for automated controller synthesis in QFT designs*, **Journal of dynamic systems, measurement, and control**, 129:3 (2007) 311-321.
- [64] Y. Chen, H.-S. Ahn ve I. Podlubny, *Robust stability check of fractional order linear time invariant systems with interval uncertainties*, **IEEE International Conference Mechatronics and Automation**, 2005, (2005), pp. 210-215.
- [65] P. Nataraj ve R. Kalla, *Computation of spectral sets for uncertain linear fractional-order systems*, **Communications in Nonlinear Science and Numerical Simulation**, 15:4 (2010) 946-955.
- [66] N. Tan, Ö. Faruk Özgüven ve M. Mine Özyetkin, *Robust stability analysis of fractional order interval polynomials*, **ISA Transactions**, 48:2 2009/04/01/ (2009) 166-172.
- [67] Y. Sarı ve A. F. Boz, *Gecikme zamanlı ikinci derece sistemlerin standart formlar kullanarak pid-pd ile otomatik ayarı* 5. Uluslar arası İleri Teknolojiler Sempozyumu (IATS'09), (2009).
- [68] Z. Shafiei ve A. Shenton, *Tuning of PID-type controllers for stable and unstable systems with time delay*, **Automatica**, 30:10 (1994) 1609-1615.
- [69] L. M. Eriksson ve M. Johansson, *PID controller tuning rules for varying time-delay systems*, **American Control Conference**, (2007), pp. 619-625.
- [70] A. O'Dwyer, *PI and PID controller tuning rules for time delay processes: a summary. Part 2: PID controller tuning rules*, (1999).
- [71] S. E. Hamamci, *An algorithm for stabilization of fractional-order time delay systems using fractional-order PID controllers*, **IEEE Transactions on Automatic Control**, 52:10 (2007) 1964-1969.
- [72] I. Kaya, *A new Smith predictor and controller for control of processes with long dead time*, **ISA transactions**, 42:1 (2003) 101-110.
- [73] S. Srivastava ve V. Pandit, *A PI/PID controller for time delay systems with desired closed loop time response and guaranteed gain and phase margins*, **Journal of Process Control**, 37 (2016) 70-77.
- [74] R. E. Gutierrez, J. M. Rosário ve J. Tenreiro Machado, *Fractional order calculus: basic concepts and engineering applications*, **Mathematical Problems in Engineering**, 2010 (2010).
- [75] B. C. Kuo ve A. Bir, *Otomatik kontrol sistemleri*, Literatür Yayınları, 2005.
- [76] K. Ogata ve Y. Yang, *Modern control engineering*, London, 2002.

- [77] J.-G. Lu ve Y.-Q. Chen, *Robust Stability and Stabilization of Fractional-Order Interval Systems with the Fractional Order α : The $0 < \alpha < 1$ Case*, **IEEE transactions on automatic control**, 55:1 (2009) 152-158.
- [78] A. G. Radwan, A. Soliman, A. S. Elwakil ve A. Sedeek, *On the stability of linear systems with fractional-order elements*, **Chaos, Solitons & Fractals**, 40:5 (2009) 2317-2328.
- [79] M. Rivero, S. V. Rogosin, J. A. Tenreiro Machado ve J. J. Trujillo, *Stability of fractional order systems*, **Mathematical Problems in Engineering**, 2013 (2013).
- [80] J. Sabatier, M. Moze ve C. Farges, *LMI stability conditions for fractional order systems*, **Computers & Mathematics with Applications**, 59:5 (2010) 1594-1609.
- [81] X.-J. Wen, Z.-M. Wu ve J.-G. Lu, *Stability analysis of a class of nonlinear fractional-order systems*, **IEEE Transactions on circuits and systems II: Express Briefs**, 55:11 (2008) 1178-1182.
- [82] C. Yin, S.-m. Zhong, X. Huang ve Y. Cheng, *Robust stability analysis of fractional-order uncertain singular nonlinear system with external disturbance*, **Applied Mathematics and Computation**, 269 (2015) 351-362.
- [83] S. K. Choudhary, *Stability and performance analysis of fractional order control systems*, **Wseas Transactions on Systems and Control**, 9:45 (2014) 438-444.
- [84] B. Senol, C. Yeroglu ve N. Tan, *Analysis of fractional order polynomials using Hermite-Biehler theorem*, ICFDA'14 International Conference on Fractional Differentiation and Its Applications 2014. pp. 1-5.
- [85] M. S. Tavazoei ve M. Haeri, *A note on the stability of fractional order systems*, **Mathematics and Computers in Simulation**, 79:5 (2009) 1566-1576.
- [86] Y. Li, Y. Chen ve I. Podlubny, *Mittag–Leffler stability of fractional order nonlinear dynamic systems*, **Automatica**, 45:8 (2009) 1965-1969.
- [87] Y. Li, Y. Chen ve I. Podlubny, *Stability of fractional-order nonlinear dynamic systems: Lyapunov direct method and generalized Mittag–Leffler stability*, **Computers & Mathematics with Applications**, 59:5 (2010) 1810-1821.
- [88] N. Aguila-Camacho, M. A. Duarte-Mermoud ve J. A. Gallegos, *Lyapunov functions for fractional order systems*, **Communications in Nonlinear Science and Numerical Simulation**, 19:9 (2014) 2951-2957.
- [89] D. Matignon, *Stability results for fractional differential equations with applications to control processing*, Computational engineering in systems applications, (1996), pp. 963-968.
- [90] D. Matignon, *Stability properties for generalized fractional differential systems*, ESAIM: proceedings, (1998), pp. 145-158.
- [91] D. Matignon, *Generalized fractional differential and difference equations: stability properties and modelling issues*, Mathematical Theory of Networks and Systems symposium, (1998), pp. 503-506.
- [92] I. Pan ve S. Das, *Intelligent fractional order systems and control: an introduction*, Springer, 2012.
- [93] I. Petras, *Stability of fractional-order systems with rational orders*, **arXiv preprint arXiv:0811.4102** (2008).
- [94] K. Matsuda ve H. Fujii, *H (infinity) optimized wave-absorbing control-Analytical and experimental results*, **Journal of Guidance, Control, and Dynamics**, 16:6 (1993) 1146-1153.

- [95] A. Oustaloup, F. Levron, B. Mathieu ve F. M. Nanot, *Frequency-band complex noninteger differentiator: characterization and synthesis*, **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, 47:1 (2000) 25-39.
- [96] G. Carlson ve C. Halijak, *Approximation of fractional capacitors $(1/s)^{1/n}$ by a regular Newton process*, **IEEE Transactions on Circuit Theory**, 11:2 (1964) 210-213.
- [97] A. Charef, H. Sun, Y. Tsao ve B. Onaral, *Fractal system as represented by singularity function*, **IEEE Transactions on Automatic Control**, 37:9 (1992) 1465-1470.
- [98] I. Podlubny, I. Petráš, B. M. Vinagre, P. O'leary ve L. Dorčák, *Analogue realizations of fractional-order controllers*, **Nonlinear dynamics**, 29:1-4 (2002) 281-296.
- [99] A. Yüce, F. N. Deniz ve N. Tan, *A new integer order approximation table for fractional order derivative operators*, **IFAC-PapersOnLine**, 50:1 (2017) 9736-9741.
- [100] F. N. Deniz, B. B. Alagoz, N. Tan ve D. P. Atherton, *An integer order approximation method based on stability boundary locus for fractional order derivative/integrator operators*, **ISA transactions**, 62 (2016) 154-163.
- [101] B. Krishna, *Studies on fractional order differentiators and integrators: A survey*, **Signal Processing**, 91:3 (2011) 386-426.
- [102] N. Tan, A. Yüce, A. Özel ve F. N. Deniz, Kesirli dereceli kontrol sistemlerinde tamsayı dereceli yaklaşım metotlarının incelenmesi, Otomatik Kontrol Ulusal Toplantısı (TOK'14), (2014).
- [103] D. Xue, C. Zhao ve Y. Chen, A modified approximation method of fractional order system, International Conference on Mechatronics and Automation, (2006), pp. 1043-1048.
- [104] R. Matusů, *Application of fractional order calculus to control theory*, **International journal of mathematical models and methods in applied sciences**, 5:7 (2011) 1162-1169.
- [105] A. A. Dastjerdi, B. M. Vinagre, Y. Chen ve S. H. HosseinNia, *Linear fractional order controllers; A survey in the frequency domain*, **Annual Reviews in Control**, 47 2019/01/01/ (2019) 51-70.
- [106] A. Oustaloup, P. Melchior, P. Lanusse, O. Cois ve F. Dancla, The CRONE toolbox for Matlab, CACSD. Conference Proceedings. IEEE International Symposium on Computer-Aided Control System Design (Cat. No. 00TH8537), (2000), pp. 190-195.
- [107] D. P. M. de Oliveira Valério, *Ninteger v. 2.3 Fractional control toolbox for MATLAB*, **Lisboa, Universidade Technical** (2005).
- [108] A. Tepljakov, E. Petlenkov ve J. Belikov, FOMCON: Fractional-order modeling and control toolbox for MATLAB, Proceedings of the 18th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES 2011, (2011), pp. 684-689.
- [109] Y. Chen, I. Petras ve D. Xue, Fractional order control-a tutorial, American control conference, (2009), pp. 1397-1411.
- [110] D. Atherton, *Control engineering*, Bookboon, 2009.
- [111] N. Tan ve D. P. Atherton, *Stability and performance analysis in an uncertain world*, **Computing & Control Engineering Journal**, 11:2 (2000) 91-101.

- [112] I. Petráš, Y. Chen ve B. M. Vinagre, *A robust stability test procedure for a class of uncertain LTI fractional order systems*, Proc. of ICC2002, May. pp. 27-30.
- [113] C. Yeroğlu, M. M. Özyetkin ve N. Tan, *Frequency response computation of fractional order interval transfer functions*, **International Journal of Control, Automation and Systems**, 8:5 (2010) 1009-1017.
- [114] Z. Gao, *Analytical criterion on stabilization of fractional-order plants with interval uncertainties using fractional-order PD μ controllers with a filter*, **ISA Transactions**, 83 2018/12/01/ (2018) 25-34.
- [115] S. Zheng, *Robust stability of fractional order system with general interval uncertainties*, **Systems & Control Letters**, 99 (2017) 1-8.
- [116] T. Liang, J. Chen ve H. Zhao, *Robust stability region of fractional order PI λ controller for fractional order interval plant*, **International Journal of Systems Science**, 44:9 (2013) 1762-1773.
- [117] A. F. Boz. *Computational approaches to and comparisons of design methods for linear controllers*, PhD thesis, University of Sussex, 1999.
- [118] C. C. Hang, Q.-G. Wang ve Z. Ye, *Tuning of lead compensators with gain and phase margin specifications*, **IFAC Proceedings Volumes**, 38:1 (2005) 343-348.
- [119] A. Loh, X. Cai ve W. W. Tan, *Auto-tuning of phase lead/lag compensators*, **Automatica**, 40:3 (2004) 423-429.
- [120] Y. Kai Shing ve L. Kuo Hsun, *A universal design chart for linear time-invariant continuous-time and discrete-time compensators*, **IEEE Transactions on Education**, 43:3 (2000) 309-315.
- [121] H.-Y. Horng, *Lead-lag compensator design based on genetic algorithms*, 2012 Conference on Technologies and Applications of Artificial Intelligence. pp. 80-85.
- [122] A. G. Khiabani ve R. Babazadeh, *Design of robust fractional-order lead-lag controller for uncertain systems*, **IET Control Theory & Applications**, 10:18 (2016) 2447-2455.
- [123] N. Tan ve I. Kaya, *Computation of stabilizing PI controllers for interval systems*, Proceedings of the 11th Mediterranean Conference on Control and Automation.
- [124] N. Tan. *Robust analysis and design of control systems with parametric uncertainty*, University of Sussex, 1999.
- [125] D. Graham ve R. C. Lathrop, *The synthesis of optimum transient response: criteria and standard forms*, **Transactions of the American Institute of Electrical Engineers, Part II: Applications and Industry**, 72:5 (1953) 273-288.
- [126] D. Atherton ve A. Boz, *Using standard forms for controller design*, UKACC International Conference on Control'98 (Conf. Publ. No. 455), (1998), pp. 1066-1071.
- [127] M. S. Tavazoei, *Notes on integral performance indices in fractional-order control systems*, **Journal of Process Control**, 20:3 2010/03/01/ (2010) 285-291.
- [128] G. C. Goodwin, S. F. Graebe ve M. E. Salgado, *Control system design*, Prentice Hall New Jersey, 2001.
- [129] I. Kaya, *A PI-PD controller design for control of unstable and integrating processes*, **ISA transactions**, 42:1 (2003) 111-121.

- [130] N. Tan, *Computation of stabilizing PI-PD controllers*, **International Journal of Control, Automation and Systems**, 7:2 (2009) 175-184.
- [131] N. Tan, I. Kaya ve D. P. Atherton, *Computation of stabilizing PI and PID controllers*, Proceedings of 2003 IEEE Conference on Control Applications, (2003), pp. 876-881.
- [132] P. Shah ve S. Agashe, *Review of fractional PID controller*, **Mechatronics**, 38 (2016) 29-41.
- [133] S. Das, S. Saha, S. Das ve A. Gupta, *On the selection of tuning methodology of FOPID controllers for the control of higher order processes*, **ISA transactions**, 50:3 (2011) 376-388.
- [134] P. Shah ve S. Agashe, *Design and optimization of fractional PID controller for higher order control system*, International conference of IEEE ICART, (2013), pp. 588-592.
- [135] C. I. Muresan, E. H. Dulf ve R. Both, *A novel tuning algorithm for fractional order IMC controllers for time delay processes*, **International Journal of Mechanical Engineering and Robotics Research**, 4:3 (2015) 218.
- [136] I. Pan, S. Das ve A. Gupta, *Handling packet dropouts and random delays for unstable delayed processes in NCS by optimal tuning of $PI^{\lambda}D^{\mu}$ controllers with evolutionary algorithms*, **ISA transactions**, 50:4 (2011) 557-572.
- [137] R. S. Barbosa, J. Tenreiro Machado ve A. M. Galhano, *Performance of fractional PID algorithms controlling nonlinear systems with saturation and backlash phenomena*, **Journal of Vibration and Control**, 13:9-10 (2007) 1407-1418.
- [138] R. S. Barbosa, M. F. Silva ve J. T. Machado, *Tuning and application of integer and fractional order PID controllers*, **Intelligent Engineering Systems and Computational Cybernetics** (2009) 245-255.
- [139] H. W. Bode, *Network Analysis and Feedback Amplifier Design*, (1945).
- [140] A. Bagis ve H. Senberber, *ABC Algorithm Based PID Controller Design for Higher Order Oscillatory Systems*, **Elektronika ir Elektrotechnika**, 23:6 (2018) 3-9.
- [141] Z. Bingul ve O. Karahan, *Comparison of PID and FOPID controllers tuned by PSO and ABC algorithms for unstable and integrating systems with time delay*, **Optimal Control Applications and Methods**, 39:4 (2018) 1431-1450.
- [142] O. Ercin ve R. Coban, *Comparison of the Artificial Bee Colony and the Bees Algorithm for PID controller tuning*, International Symposium on Innovations in Intelligent Systems and Applications, (2011), pp. 595-598.
- [143] M. A. Sahib ve B. S. Ahmed, *A new multiobjective performance criterion used in PID tuning optimization algorithms*, **Journal of Advanced Research**, 7:1 2016/01/01/ (2016) 125-134.
- [144] D. Karaboga ve B. Akay, *Proportional—Integral—Derivative Controller Design by Using Artificial Bee Colony, Harmony Search, and the Bees Algorithms*, **Proceedings of the Institution of Mechanical Engineers, Part I: Journal of Systems and Control Engineering**, 224:7 (2010) 869-883.
- [145] J.-Y. Cao ve B.-G. Cao, *Design of fractional order controllers based on particle swarm optimization*, 1st IEEE Conference on Industrial Electronics and Applications, (2006), pp. 1-6.
- [146] V. Bijani ve A. Khosravi, *Robust PID controller design based on H_{∞} theory and a novel constrained artificial bee colony algorithm*, **Transactions of the Institute of Measurement and Control**, 40:1 (2018) 202-209.

- [147] M. R. Dastranj, M. Rouhani ve A. Hajipoor, *Design of optimal fractional order PID controller using PSO algorithm*, **International Journal of Computer Theory and Engineering**, 4:3 (2012) 429.
- [148] Z.-L. Gaing, *A particle swarm optimization approach for optimum design of PID controller in AVR system*, **IEEE transactions on energy conversion**, 19:2 (2004) 384-391.
- [149] N. B. HASSEN, K. Saadaoui ve M. Benrejeb, *Lead-lag controller design for time delay systems using genetic algorithms*, **Studies in Informatics and Control**, 26:1 (2017) 88.
- [150] A. A. Kesarkar ve N. Selvaganesan, *Tuning of optimal fractional-order PID controller using an artificial bee colony algorithm*, **Systems Science & Control Engineering**, 3:1 (2015) 99-105.
- [151] M. Nasri, H. Nezamabadi-Pour ve M. Maghfoori, *A PSO-based optimum design of PID controller for a linear brushless DC motor*, **World Academy of Science, Engineering and Technology**, 26:40 (2007) 211-215.
- [152] A. Oshaba, E. Ali ve S. A. Elazim, *PI controller design using ABC algorithm for MPPT of PV system supplying DC motor pump load*, **Neural Computing and Applications**, 28:2 (2017) 353-364.
- [153] Y. Xue, J. Jiang, B. Zhao ve T. Ma, *A self-adaptive artificial bee colony algorithm based on global best for global optimization*, **Soft Computing** (2018) 1-18.
- [154] D. Karaboga, *An idea based on honey bee swarm for numerical optimization*, Technical report-tr06, Erciyes university, engineering faculty, computer engineering department, 2005.
- [155] D. Karaboga ve B. Basturk, *On the performance of artificial bee colony (ABC) algorithm*, **Applied soft computing**, 8:1 (2008) 687-697.
- [156] B. Babayigit ve R. Ozdemir, *A modified artificial bee colony algorithm for numerical function optimization*, **Computers and Communications (ISCC)**, 2012 IEEE Symposium on, (2012), pp. 245-249.
- [157] D. Karaboga ve B. Akay, *Artificial bee colony (ABC) algorithm on training artificial neural networks*, **IEEE 15th Signal Processing and Communications Applications (SIU 2007)** (2007), pp. 1-4.
- [158] J. H. Holland, *Adaptation in natural and artificial systems: an introductory analysis with applications to biology, control, and artificial intelligence*, MIT press, 1992.
- [159] D. E. Goldberg ve K. Deb, *A comparative analysis of selection schemes used in genetic algorithms*, **Foundations of genetic algorithms**, pp. 69-93: Elsevier, 1991.
- [160] P. J. Angeline, *Evolution revolution: An introduction to the special track on genetic and evolutionary programming*, **IEEE Intelligent Systems**:3 (1995) 6-10.
- [161] A. Jayachitra ve R. Vinodha, *Genetic algorithm based PID controller tuning approach for continuous stirred tank reactor*, **Advances in Artificial Intelligence**, 2014 (2014) 9.
- [162] M. Mitchell, *An introduction to genetic algorithms*, MIT press, 1998.
- [163] D. E. Goldberg ve R. Lingle, *Alleles, loci, and the traveling salesman problem*, **Proceedings of an international conference on genetic algorithms and their applications**, (1985), pp. 154-159.
- [164] I. Oliver, D. Smith ve J. R. Holland, *Study of permutation crossover operators on the traveling salesman problem*, **Genetic algorithms and their applications**:

- proceedings of the second International Conference on Genetic Algorithms, Cambridge, (1987).
- [165] L. Davis, Job shop scheduling with genetic algorithms, Proceedings of an international conference on genetic algorithms and their applications, (1985).
- [166] G. Syswerda, *Scheduling optimization using genetic algorithms*, **Handbook of Genetic Algorithms** (1991).
- [167] J. J. Grefenstette, *Credit assignment in rule discovery systems based on genetic algorithms*, **Machine Learning**, 3:2-3 (1988) 225-245.
- [168] Z. Michalewicz, *Genetic algorithms+ data structures= evolution programs*, Springer Science & Business Media, 2013.
- [169] R. Eberhart ve J. Kennedy, A new optimizer using particle swarm theory, Micro Machine and Human Science, 1995. MHS'95., Proceedings of the Sixth International Symposium on, (1995), pp. 39-43.
- [170] R. Poli, J. Kennedy ve T. Blackwell, *Particle swarm optimization*, **Swarm Intelligence**, 1:1 June 01 (2007) 33-57.
- [171] A. Bayrak, F. Dogan, E. Tatlicioglu ve B. Ozdemirel, *Design of an experimental twin-rotor multi-input multi-output system*, **Computer Applications in Engineering Education**, 23:4 (2015) 578-586.
- [172] G. Kavuran, A. Ates, B. B. Alagoz ve C. Yeroglu, *An Experimental Study on Model Reference Adaptive Control of TRMS by Error-Modified Fractional Order MIT Rule*, **Control Engineering and Applied Informatics**, 19:4 (2017) 101-111.
- [173] TRMS, *Twin Rotor MIMO System Control Experiments Manuel*, 33-949S, Feedback Instruments Ltd., Sussex, U.K., 2010.
- [174] S. Ahmad, A. Chipperfield ve M. Tokhi, *Dynamic modelling and open-loop control of a twin rotor multi-input multi-output system*, **Proceedings of the Institution of Mechanical Engineers, Part I: Journal of Systems and Control Engineering**, 216:6 (2002) 477-496.
- [175] S. Ahmad, M. Shaheed, A. Chipperfield ve M. Tokhi, Nonlinear modelling of a twin rotor MIMO system using radial basis function networks, Proceedings of the IEEE 2000 National Aerospace and Electronics Conference, (2000), pp. 313-320.
- [176] S. Ahmad, A. Chipperfield ve O. Tokhi, Dynamic modeling and optimal control of a twin rotor MIMO system, Proceedings of the IEEE 2000 National Aerospace and Electronics Conference, (2000), pp. 391-398.
- [177] I. M. Darus, F. Aldebrez ve M. Tokhi, Parametric modelling of a twin rotor system using genetic algorithms, First International Symposium on Control, Communications and Signal Processing, (2004), pp. 115-118.
- [178] J.-G. Juang, M.-T. Huang ve W.-K. Liu, *PID control using presearched genetic algorithms for a MIMO system*, **IEEE Transactions on Systems, Man, and Cybernetics, Part C (Applications and Reviews)**, 38:5 (2008) 716-727.
- [179] J.-G. Juang, R.-W. Lin ve W.-K. Liu, *Comparison of classical control and intelligent control for a MIMO system*, **Applied Mathematics and Computation**, 205:2 (2008) 778-791.
- [180] C. L. Shih, M. L. Chen ve J. Y. Wang, *Mathematical model set-point stabilizing controller design of a twin rotor MIMO system*, **Asian journal of control**, 10:1 (2008) 107-114.
- [181] P. Wen ve T.-W. Lu, *Decoupling control of a twin rotor MIMO system using robust deadbeat control technique*, **IET Control theory & applications**, 2:11 (2008) 999-1007.

- [182] J.-G. Juang, W.-K. Liu ve R.-W. Lin, *A hybrid intelligent controller for a twin rotor MIMO system and its hardware implementation*, **ISA transactions**, 50:4 (2011) 609-619.
- [183] A. Rahideh, A. H. Bajodah ve M. H. Shaheed, *Real time adaptive nonlinear model inversion control of a twin rotor MIMO system using neural networks*, **Engineering Applications of Artificial Intelligence**, 25:6 (2012) 1289-1297.
- [184] D. Rotondo, F. Nejjari ve V. Puig, *Quasi-LPV modeling, identification and control of a twin rotor MIMO system*, **Control Engineering Practice**, 21:6 (2013) 829-846.
- [185] P. Chalupa, J. Příkryl ve J. Novák, *Modelling of twin rotor MIMO system*, **Procedia Engineering**, 100 (2015) 249-258.
- [186] M. B. Hariz ve F. Bouani, *Design of controllers for decoupled TITO systems using different decoupling techniques*, 20th International Conference on Methods and Models in Automation and Robotics (MMAR), (2015), pp. 1116-1121.
- [187] S. Khandelwal ve K. P. Detroja, *Simplified decoupling based control for processes having complex EOTF dynamics*, IEEE International Conference on Industrial Technology (ICIT), (2017), pp. 872-877.

EKLER

Matsuda'nın 4. Dereceden Yaklaşım Tablosu

| | |
|-----------|--|
| $s^{0.1}$ | $\frac{1.828s^4 + 102.7s^3 + 329.8s^2 + 78.91s + 1}{s^4 + 78.91s^3 + 329.8s^2 + 102.7s + 1.828}$ |
| $s^{0.2}$ | $\frac{3.357s^4 + 161s^3 + 453.9s^2 + 95s + 1}{s^4 + 95s^3 + 453.9s^2 + 161s + 3.357}$ |
| $s^{0.3}$ | $\frac{6.227s^4 + 256.4s^3 + 635s^2 + 116.1s + 1}{s^4 + 116.1s^3 + 635s^2 + 256.4s + 6.227}$ |
| $s^{0.4}$ | $\frac{11.74s^4 + 417.1s^3 + 907.9s^2 + 144.6s + 1}{s^4 + 144.6s^3 + 907.9s^2 + 417.1s + 11.74}$ |
| $s^{0.5}$ | $\frac{22.72s^4 + 698.8s^3 + 1337s^2 + 185s + 1}{s^4 + 185s^3 + 1337s^2 + 698.8s + 22.72}$ |
| $s^{0.6}$ | $\frac{45.73s^4 + 1222s^3 + 2056s^2 + 246.3s + 1}{s^4 + 246.3s^3 + 2056s^2 + 1222s + 45.73}$ |
| $s^{0.7}$ | $\frac{98.22s^4 + 2287s^3 + 3381s^2 + 349.4s + 1}{s^4 + 349.4s^3 + 3381s^2 + 2287s + 98.22}$ |
| $s^{0.8}$ | $\frac{237.8s^4 + 4833s^3 + 6277s^2 + 557s + 1}{s^4 + 557s^3 + 6277s^2 + 4833s + 237.8}$ |
| $s^{0.9}$ | $\frac{770s^4 + 13690s^3 + 15610s^2 + 1182s + 1}{s^4 + 1182s^3 + 15610s^2 + 13690s + 770}$ |

Oustaloup'un 5. Dereceden Yaklaşım Tablosu

| | |
|-----------|--|
| $s^{0.1}$ | $\frac{1.585s^5 + 68.37s^4 + 403.3s^3 + 367.9s^2 + 51.87s + 1}{s^5 + 51.87s^4 + 367.9s^3 + 403.3s^2 + 68.37s + 1.585}$ |
| $s^{0.2}$ | $\frac{2.512s^5 + 98.83s^4 + 531.7s^3 + 442.3s^2 + 56.87s + 1}{s^5 + 56.87s^4 + 442.3s^3 + 531.7s^2 + 98.83s + 2.512}$ |
| $s^{0.3}$ | $\frac{3.981s^5 + 142.9s^4 + 700.9s^3 + 531.7s^2 + 62.36s + 1}{s^5 + 62.36s^4 + 531.7s^3 + 700.9s^2 + 142.9s + 3.981}$ |
| $s^{0.4}$ | $\frac{6.31s^5 + 206.5s^4 + 924s^3 + 639.3s^2 + 68.37s + 1}{s^5 + 68.37s^4 + 639.3s^3 + 924s^2 + 206.5s + 6.31}$ |
| $s^{0.5}$ | $\frac{10s^5 + 298.5s^4 + 1218s^3 + 768.5s^2 + 74.97s + 1}{s^5 + 74.97s^4 + 768.5s^3 + 1218s^2 + 298.5s + 10}$ |
| $s^{0.6}$ | $\frac{15.85s^5 + 431.4s^4 + 1606s^3 + 924s^2 + 82.2s + 1}{s^5 + 82.2s^4 + 924s^3 + 1606s^2 + 431.4s + 15.85}$ |
| $s^{0.7}$ | $\frac{25.12s^5 + 623.6s^4 + 2117s^3 + 1111s^2 + 90.14s + 1}{s^5 + 90.14s^4 + 1111s^3 + 2117s^2 + 623.6s + 25.12}$ |
| $s^{0.8}$ | $\frac{39.81s^5 + 901.4s^4 + 2790s^3 + 1336s^2 + 98.83s + 1}{s^5 + 98.83s^4 + 1336s^3 + 2790s^2 + 901.4s + 39.81}$ |
| $s^{0.9}$ | $\frac{63.1s^5 + 1303s^4 + 3679s^3 + 1606s^2 + 108.4s + 1}{s^5 + 108.4s^4 + 1606s^3 + 3679s^2 + 1303s + 63.1}$ |

Krishna'nın 4. Dereceden Yaklaşım Tablosu

| | |
|-----------|--|
| $s^{0.1}$ | $\frac{1.518s^4 + 21.529s^3 + 44.596s^2 + 18.222s + 1}{s^4 + 18.222s^3 + 44.596s^2 + 21.529s + 1.518}$ |
| $s^{0.2}$ | $\frac{2.316s^4 + 29.333s^3 + 56s^2 + 21s + 1}{s^4 + 21s^3 + 56s^2 + 29.333s + 2.316}$ |
| $s^{0.3}$ | $\frac{3.57s^4 + 40.63s^3 + 71.546s^2 + 24.57s + 1}{s^4 + 12.47s^3 + 71.546s^2 + 40.63s + 3.57}$ |
| $s^{0.4}$ | $\frac{5.594s^4 + 57.538s^3 + 93.5s^2 + 29.333s + 1}{s^4 + 29.333s^3 + 93.5s^2 + 57.538s + 5.594}$ |
| $s^{0.5}$ | $\frac{9s^4 + 84s^3 + 126s^2 + 36s + 1}{s^4 + 36s^3 + 126s^2 + 84s + 9}$ |
| $s^{0.6}$ | $\frac{15.076s^4 + 128.143s^3 + 177.428s^2 + 46s + 1}{s^4 + 46s^3 + 177.428s^2 + 128.143s + 15.076}$ |
| $s^{0.7}$ | $\frac{26.965s^4 + 209.38s^3 + 267.54s^2 + 62.67s + 1}{s^4 + 62.67s^3 + 267.54s^2 + 209.38s + 26.965}$ |
| $s^{0.8}$ | $\frac{54.41s^4 + 386.91s^3 + 456s^2 + 96s + 1}{s^4 + 96s^3 + 456s^2 + 386.91s + 54.41}$ |
| $s^{0.9}$ | $\frac{147.04s^4 + 959.64s^3 + 1042.36s^2 + 196s + 1}{s^4 + 196s^3 + 1042.36s^2 + 959.64s + 147.04}$ |

ÖZGEÇMİŞ

Adı Soyadı: Tufan DOĞRUER

Doğum Yeri ve Tarihi: Tokat - 15.03.1980

Adres: Tokat Gaziosmanpaşa Üniversitesi, Tokat Teknik Bilimler Meslek Yüksekokulu, Elektronik ve Otomasyon Bölümü, TOKAT

E-Posta: tufan.dogrueer@gop.edu.tr, tufandogrueer@gmail.com

Lisans: Erciyes Üniversitesi, Mühendislik Fakültesi, Elektronik Mühendisliği

Yüksek Lisans: Gaziosmanpaşa Üniversitesi, Fen Bilimleri Enstitüsü, Mekatronik Mühendisliği ABD

Mesleki Deneyim ve Ödüller:

2002 yılında Erciyes Üniversitesi, Mühendislik Fakültesi, Elektronik Mühendisliği Bölümü'nden 1 yıl İngilizce hazırlık ve 4 yıl lisans eğitimini tamamlayarak mezun oldu.

Aralık 2002-Aralık 2003 yılları arasında yedek subay olarak askerlik hizmetini tamamladı. Aralık 2003-Ocak 2010 yılları arasında ÇALIK Holding, GAP Güneydoğu Tekstil San ve Tic. A.Ş.'de elektrik ve makine bakım onarım mühendisi olarak görev yaptı. Ocak 2010 yılında Kastamonu Üniversitesi Cide Rıfat Ilgaz Meslek Yüksekokulu'nda göreve başladı. Ocak 2011'de başladığı yüksek lisans eğitimini Ekim 2012'de tamamladı. Ekim 2012'de Gaziosmanpaşa Üniversitesi'nde göreve başladı.

Ekim 2012'den itibaren Gaziosmanpaşa Üniversitesi, Tokat Teknik Bilimler Meslek Yüksekokulu, Elektronik ve Otomasyon Bölümü, Elektronik Teknolojisi Programında Öğretim Görevlisi olarak çalışmaktadır. Evli ve iki çocuk babasıdır. İyi derecede İngilizce bilmektedir.

Ulusal Projelerde Yaptığı Görevler:

Kesirli dereceli kontrol sistemlerinin analiz ve tasarımı için yeni metotların geliştirilmesi ve uygulamalar (Proje No: 115E388), TÜBİTAK projesi, Bursiyer, (01.05.2017-01.09.2018)

Yayın Listesi:

Tez Çalışmasından Üretilen Yayınlar:

Uluslararası (SCI) Hakemli Dergilerde Yayınlanan Makaleler:

1. **T. Doğruer**, N. Tan (2019), "Lead and lag controller design in fractional-order control systems", Measurement and Control, 2019, 52(7–8), pp. 1017–1028. doi: 10.1177/0020294019858094.

Uluslararası Diğer Hakemli Dergilerde Yayınlanan Makaleler:

2. **T. Doğruer**, N. Tan (2016), "Design of Lag-Lead Controller for Fractional Order Systems Containing Time Delay and Uncertainty", Journal of New Results in Science, 5(12), 96-109. (Yayın No: 2904782)
3. **T. Doğruer**, A. Yüce, N. Tan (2017), "*PID* Controller Design based on Reference Model in Fractional Order Control System", Bilge International Journal of Science and Technology Research, 1 (ISMSIT2017), 52-58. (Yayın No: 3814860)
4. **T. Doğruer**, A. Yüce, N. Tan (2017), "Zaman Gecikmesine Sahip Kesir Dereceli Bir Kontrol Sisteminde Optimizasyon Metodu Kullanılarak *PID* Kontrolör Tasarımı", Gaziosmanpaşa Bilimsel Araştırma Dergisi (Gbad), 6 (ISMSIT2017), 30-39. (Yayın No: 3815045)
5. **T. Doğruer**, A. Yüce, N. Tan (2017), "*PID* Controller Design for a Fractional Order System using Bode's Ideal Transfer Function", International Journal of Engineering Research and Development, 9(3), 126-135, Doi: <https://doi.org/10.29137/umagd.350725> (Yayın No: 3869822)

Uluslararası Bilimsel Toplantılarda Sunulan ve Bildiri Kitabında Basılan Bildiriler:

6. **T. Doğruer**, N. Tan (2016), "Kesir Dereceli Kontrol Sistemlerinde ITAE Performans Kriteri Kullanılarak *PID* Kontrolör Tasarımı", 1.Uluslararası Akdeniz Bilim ve Mühendislik Kongresi (IMSEC2016), s:2418-2424, 26-28 Ekim 2016, (Tam Metin Bildiri) (Yayın No:3007415)
7. **T. Doğruer**, N. Tan (2017), "Lead and Lag Controller Design by Optimization Method in Fractional Order Control Systems", International Workshop on Mathematical Methods in Engineering (MME2017) (Özet Bildiri) (Yayın No:3823922)

8. **T. Doğruer**, A. Yüce, N. Tan (2017), "Kesir Dereceli Kontrol Sistemlerinde Referans Modele Dayalı *PID* Kontrolör Tasarımı", Uluslararası Multidisipliner Çalışmalar ve Yenilikçi Teknolojiler Sempozyumu (ISMSIT 2017) (Özet Bildiri) (Yayın No:3816054)
9. **T. Doğruer**, A. Yüce, N. Tan (2017), "Zaman Gecikmesine Sahip Kesir Dereceli Bir Kontrol Sisteminde Optimizasyon Metodu Kullanılarak *PID* Kontrolör Tasarımı", Uluslararası Multidisipliner Çalışmalar ve Yenilikçi Teknolojiler Sempozyumu (ISMSIT 2017) (Özet Bildiri) (Yayın No:3816081)
10. **T. Doğruer**, A. Yüce, N. Tan (2017), "*PID* Controller Design for a Fractional Order System using Bode's Ideal Transfer Function", I. Uluslararası Bilimsel ve Mesleki Çalışmalar Kongresi (BILMES 2017) (Özet Bildiri) (Yayın No:3815929)
11. **T. Doğruer**, A. Yüce, N. Tan (2018), "*PI-PD* Controller Design for Fractional Order Control Systems", II. International Scientific and Vocational Studies Congress (BILMES 2018), Nevşehir (Ürgüp), Turkey, 05 – 08 July 2018. (Tam Metin Bildiri)
12. **T. Doğruer**, N. Tan (2018), "Design of *PI* Controller using Optimization Method in Fractional Order Control Systems", 3rd IFAC Conference on Advances in Proportional-Integral-Derivative Control (PID2018), Ghent, Belgium, May 09-11. (Tam Metin Bildiri)
13. **T. Doğruer**, N. Tan (2018), "*PI-PD* Controllers Design Using Bode's Ideal Transfer Function", The International Conference on Fractional Differentiation and its Applications. 16-18 July, Amman. (Tam Metin Bildiri)
14. **T. Doğruer**, N. Tan (2019), "Decoupling control of a twin rotor MIMO system using optimization method", 11th International Conference on Electrical and Electronics Engineering (ELECO19), Bursa, Turkey, 28-30 November 2019. (Tam Metin Bildiri)

Ulusal Bilimsel Toplantılarda Sunulan ve Bildiri Kitabında Basılan Bildiriler:

15. **T. Doğruer**, N. Tan (2014), "Bode'nin İdeal Transfer Fonksiyonunu Kullanarak Lag/Lead Kontrolör Tasarımı", Otomatik Kontrol Türk Milli Komitesi Ulusal Toplantısı (TOK'14), Kocaeli, Türkiye, s:226-231, 11-13 Eylül 2014. (Tam Metin Bildiri) (Yayın No:1091460)
16. **T. Doğruer**, N. Tan (2015), "Design of phase lead and phase lag filters for fractional order systems", 23rd Signal Processing and Communications Applications Conference (SIU2015) (Tam Metin Bildiri), Malatya, p.p:998-1001, 16-19 May 2015 (Yayın No:1511189)
17. **T. Doğruer**, N. Tan (2015), "Kesirli Dereceli Belirsiz Sistemler için Faz İlerlemeli ve Faz Gerilemeli Kontrolör Tasarımı", Otomatik Kontrol Türk Milli Komitesi Ulusal Toplantısı (TOK'15), Denizli, Türkiye, s:845-850, 10-12 Eylül 2015. (Tam Metin Bildiri)

18. **T. Doğruer**, N. Tan (2016), "Zaman Gecikmesine Sahip Kesirli Dereceli Belirsiz Sistemler için Kontrolör Tasarımı", EEB2016-Elektrik-Elektronik ve Bilgisayar Sempozyumu, s:163-167, 11-13 Mayıs 2016, TOKAT, (Tam Metin Bildiri) (Yayın No:2816857)
19. **T. Doğruer**, N. Tan (2019), "Çift Motorlu Helikopter Modelinin PID ve Kesir Dereceli *PID* ile Gerçek Zamanlı Kontrolü", Otomatik Kontrol Türk Milli Komitesi Ulusal Toplantısı (TOK'19), Muğla, Türkiye, s:151-156, 11-14 Eylül 2019. (Tam Metin Bildiri)

Diğer Yayınlar:

20. A. Yüce, **T. Doğruer**, N. Tan (2017), "Root-Locus Analysis for Fractional Order Transfer Functions in LabVIEW Environment", I. International Scientific and Vocational Studies Congress (BILMES2017) (Özet Bildiri) (Yayın No:3947708)
21. A. Yüce, **T. Doğruer**, N. Tan (2017), "İdeal Röle Elemanlı Kesirli Dereceli Kontrol Sistemlerinde Farklı Tamsayı Dereceli Yaklaşımlar için Limit Çevrim Frekansı Analizi", 2nd International Mediterranean Science and Engineering Congress (IMSEC 2017) (Tam Metin Bildiri) (Yayın No:3816021)
22. A. Yüce, **T. Doğruer**, N. Tan (2018), "Fractional *PID* Modelling Using New Integer Order Approximation and Application on Inverted Pendulum System", II. International Scientific And Vocational Studies Congress (BILMES 2018), 5-8 July, Nevşehir. (Tam Metin Bildiri)
23. A. Yüce, **T. Doğruer**, N. Tan (2018), "Root-Locus Analysis Of Fractional Order Transfer Functions Using Labview: An Interactive Application", 6th International Conference on Control Engineering & Information Technology (CEIT2018), 25-27 October 2018, Istanbul. (Tam Metin Bildiri)
24. A. Yüce, **T. Doğruer**, N. Tan (2018), "Analysis of Numerical Methods in Fractional Order Control Systems with Time Delay and Large Time Coefficient", Journal of New Results in Science, 7 (3), 44-53.
25. **T. Doğruer**, M. Akar (2016), "İndüksiyon Motorlarında Durağan Olmayan Çalışma Şartlarında Kırık Rotor Çubuğu Arızasının Tespiti", EEB2016- Elektrik-Elektronik ve Bilgisayar Sempozyumu, s:253-258, 11-13 Mayıs 2016, TOKAT (Tam Metin Bildiri) (Yayın No:2816858)
26. **T. Doğruer**, M. Akar (2016), "Broken Rotor Bar Fault Diagnosis in Induction Motors Using Resampling Based Order Tracking Analysis Method", Journal of New Results in Science, 5(12), 111-125. (Yayın No: 2904754)